



НАЦИОНАЛЬНАЯ АКАДЕМИЯ НАУК БЕЛАРУСИ
ИНСТИТУТ ТЕХНИЧЕСКОЙ КИБЕРНЕТИКИ

АВТОМАТИЗАЦИЯ ПРОЕКТИРОВАНИЯ ДИСКРЕТНЫХ СИСТЕМ

*Материалы
Четвертой международной
конференции
14 - 16 ноября 2001 г., Минск*

Том 3

COMPUTER-AIDED DESIGN
OF DISCRETE DEVICES
CAD DD'2001

*Proceedings
of the Fourth International Conference
Minsk, November 14-16, 2001*

Volume 3

Минск 2001

ИНТЕРВАЛЬНОЕ ВРЕМЕННОЕ МОДЕЛИРОВАНИЕ БИС НА ПЕРЕКЛЮЧАТЕЛЬНОМ УРОВНЕ

Л.А. Золоторевич

Беларусь, Минск

Рассматривается задача моделирования цифровых МОП БИС на уровне переключательного представления в непрерывном спектре значений задержек распространения сигналов. Предлагается решение задачи на основе интервальной временной алгебры и модифицированных сетей Петри.

1. Постановка задачи

Особенностью современной микроэлектроники является последовательное сокращение линейных размеров транзистора и постепенное их приближение к предельно допустимому уровню 0,05 Мкм. Это требует применения новых методов проектирования СБИС в условиях высокой степени интеграции, требующих более точных моделей для верификации проектов. Стандартизация технологии проектирования в микроэлектронике привела к активному использованию языка проектирования VHDL (Very high speed integrated circuits Hardware Description Language). Этот язык, созданный для описания сверхскоростных интегральных схем, позволяет иерархически описывать электронные структуры на разных уровнях представления (поведенческом, структурном). При этом используются известные подходы, основанные на описании блоков в виде систем булевых функций, таблицами переходов-выходов на абстрактном уровне представления, граф-схемами алгоритмов и др. Использование языка VHDL позволяет при проектировании новой СБИС применять с целью сокращения времени проектирования уже ранее разработанные другими фирмами фрагменты системы, представленные в идеологии VHDL. При этом другие блоки СБИС могут проектироваться заново. Блочный подход к проектированию требует использования более эффективных методов моделирования проектов для их верификации.

При указанном выше дифференцированном подходе к проектированию СБИС весьма актуальной в свете сокращения сроков проектирования является задача логического моделирования разрабатываемой структуры на уровне транзисторного представления (переключательном уровне) и функционально-переключательном с учетом диапазонов флуктуаций задержек переключения сигналов. Известно, что на скорость прохождения сигналов по цепям МОП-структуры определяющее влияние оказывают сопротивления линий связи и паразитные емкости, которые зависят от числа транзисторов в линии, длин линий соединения и ряда других конструктивно-технологических факторов, а также от дестабилизирующего воздействия внешней среды. Так как до

момента разработки топологического проекта длины линий соединений не известны, то с целью сокращения числа итераций цикла “синтез-анализ” целесообразно на стадии функционально-логического проектирования обеспечить работоспособность проекта в некотором диапазоне возможных длин соединений. Это оказывается возможным при моделировании устройства в непрерывном спектре значений задержек сигналов при их распространении от источников к выходам при условии представления переключательной МОП-структуры в виде системы коммутации сигналов постоянных источников и выходных узлов.

2. Описание сигнала интервальной временной функцией

Для решения данной задачи в качестве модели для верификации логического проекта целесообразно использовать интервальную временную модель, которая позволяет учитывать диапазоны флуктуаций задержек сигналов в линиях связи. Интервальная временная алгебра, предложенная в работе [1], основана на троичной логике для представления сигнала и не позволяет учитывать характерное для МОП-структур четвертое состояние сигнала “высокого импеданса”. Здесь предлагается использовать описанную в работе [1] идею интервального подхода к представлению сигнала, однако в рамках указанного общего подхода предлагается увеличить значность применяемой алгебры для решения задач моделирования МОП-структур.

Рассмотрим основные положения интервальной временной алгебры, основанной на четырехзначном временном представлении сигнала. Определим интервальную временную переменную (ИВП) $f(t)$ как заданную строго возрастающую последовательность значений величин времени, стремящуюся к бесконечности, $(t_1, t_1^*, t_2, t_2^*, \dots, t_i, t_i^*, \dots)$, $i = 1, 2, \dots$, и последовательность логических значений $(a_1, a_2, a_3, \dots, a_i, a_{i+1}, \dots)$ ($a_i \in \{0, 1, 0^z, 1^z, x, z\}$). Здесь 0^z означает логическое состояние 0 или z , а 1^z – логическое состояние 1 или z . При этом ИВП определяет сигнал, имеющий логическое значение $a_{i+1} \in \{0, 1, z\}$ для $t_i^* \leq t < t_{i+1}$ и значение $a_i \in \{0^z, 1^z, x\}$ для $t_i \leq t < t_i^*$. Интервальная временная переменная определяется множеством интервалов, закрытых (для определенности) слева и открытых справа, в которых она имеет значение, равное 1, а также множествами интервалов, закрытых слева и открытых справа, на которых она принимает значения 0 и z . На остальных интервалах значение функции в разной степени не определено.

Логические функции от ИВП называются интервальными временными функциями (ИВФ). Множество ИВП обозначим W . На W введем операции сложения, умножения, дополнения и соединения следующим образом:

а) операция сложения: $\delta(t) = f(t) + g(t)$, где $\delta(t) = 1 \Leftrightarrow f(t) = 1$ или $g(t) = 1$; $\delta(t) = 0 \Leftrightarrow f(t) = 0, g(t) \in \{0, z, 0^z\}$ или $g(t) = 0, f(t) \in \{0, z, 0^z\}$; $\delta(t), f(t), g(t) \in W$. В остальных случаях $\delta(t)$ принимает значение x ;

б) операция умножения: $\delta(t) = f(t) * g(t)$, где $\delta(t)$: $\delta(t) = 1 \Leftrightarrow f(t) = 1, g(t) \in \{1, z, 1^z\}$ или $g(t) = 1, f(t) \in \{1, z, 1^z\}$; $\delta(t) = 0 \Leftrightarrow f(t) = 0$ или $g(t) = 0$; $\delta(t), f(t), g(t) \in W$. В остальных случаях $\delta(t)$ принимает значение x ;

в) операция дополнения: $f'(t) = g(t)$, где $g(t)$: $g(t) = 1 \Leftrightarrow f(t) = 0$; $g(t) = 0 \Leftrightarrow f(t) = 1$; $g(t) = z \Leftrightarrow f(t) = z$; $g(t) = 1^z \Leftrightarrow f(t) = 0^z$, $f(t), g(t) \in W$. В остальных случаях $\delta(t)$ принимает значение x ;

г) операция соединения: $\delta(t) = f(t) \# g(t)$, где $\delta(t)$: $\delta(t) = 1 \Leftrightarrow f(t) = 1, g(t) \in \{1, z, 1^z\}$ или $g(t) = 1, f(t) \in \{1, z, 1^z\}$; $\delta(t) = 0 \Leftrightarrow f(t) = 0, g(t) \in \{0, z, 0^z\}$ или $g(t) = 0, f(t) \in \{0, z, 0^z\}$; $\delta(t) = z \Leftrightarrow f(t) = g(t) = z$; $\delta(t), f(t), g(t) \in W$. В остальных случаях $\delta(t)$ принимает значение x .

Определение: Множество ИВП W вместе с введенными операциями сложения, умножения, дополнения и соединения называется интервальной временной алгеброй и обозначается $B = \langle W; +, *, ', \# \rangle$, где $\langle + \rangle, \langle * \rangle, \langle ' \rangle, \langle \# \rangle$ - операции сложения, умножения, дополнения и соединения, определенные на множестве W .

Пусть Z_i - элемент функционально-логической структуры или соединитель МОП - структуры [1], представленной на функционально-переключательном уровне. Представим Z_i , реализующий некоторую функцию, в виде последовательного соединения идеального функционального элемента или соединителя Z_i^1 , мгновенно воспроизводящего заданную для данного функционального блока логическую функцию или функцию соединения (для некоторого узла переключательной структуры), и элемента лз1 с инерциальной задержкой τ_i . К каждой входной цепи идеального элемента присоединена линия задержки с величиной, расположенной в некотором диапазоне времени, заданном минимальными ($t_{i(j)} \min^1$ или $t_{i(j)} \min^0$) и максимальными ($t_{i(j)} \max^1$ или $t_{i(j)} \max^0$) статистически определяемыми величинами паразитных задержек.. Здесь i - номер элемента, j - номер входа элемента, верхний индекс указывает вид переключения сигнала.

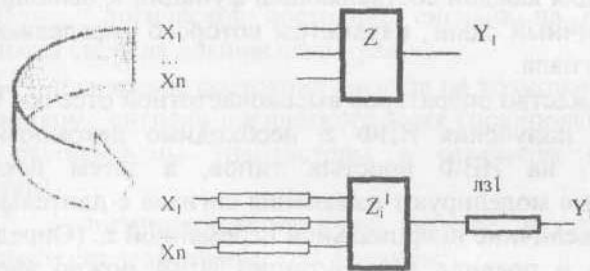


Рис. 1. Модель функционально элемента или соединителя

Сведем задачу логического моделирования цифровой структуры, представленной на функционально-переключательном уровне, к определению ИВФ, описывающих переходный процесс на выходах каждого функционального блока или соединителя, представленных в виде модели, изображенной на рис. 1. Составная ИВФ это есть векторное представление

$$(X)_n = \begin{pmatrix} X_1 \\ X_2 \\ \dots \\ X_n \end{pmatrix}$$

набора ИВФ, описывающих переходной процесс в n контрольных точках моделируемого устройства.

Для моделирования прохождения переключательного процесса, описанного ИВФ, через линию задержки, характеризующуюся свойствами простой или совершенной задержки с величиной, не зависящей от вида переключения сигнала, расположенной в диапазоне времени $[k_1, k_2]$, определим оператор линейного сдвига τ^{k_1, k_2} , $W \Rightarrow W$, где $k_1, k_2 \in \mathbb{R}$, $k_2 \geq k_1$, таким образом, что умножение ИВФ $g(t)$ на τ^{k_1, k_2} дает ИВФ, которая получается из $g(t)$ путем сдвига вправо по оси времени на величину k_1 временных границ диапазонов t_i и на величину k_2 вправо по оси времени временных границ t_i .

Рассмотрим свойства τ^{k_1, k_2} :

- если $f(t), g(t) \in W$, то $\tau^{k_1, k_2} (f(t) * g(t)) = (\tau^{k_1, k_2} f(t)) * (\tau^{k_1, k_2} g(t))$;
- если $f(t), g(t) \in W$, то $\tau^{k_1, k_2} (f(t) + g(t)) = \tau^{k_1, k_2} f(t) + \tau^{k_1, k_2} g(t)$;
- если $f(t), g(t) \in W$, то $\tau^{k_1, k_2} (f(t) \# g(t)) = \tau^{k_1, k_2} f(t) \# \tau^{k_1, k_2} g(t)$;
- если $f(t) \in W$, то $(\tau^{k_1, k_2} f(t))' = \tau^{k_1, k_2} f'(t)$.

Определим оператор симметричного сдвига, $\tau^{m_1, m_2, n_1, n_2}$, $W \Rightarrow W$, где $m_1, m_2, n_1, n_2 \in \mathbb{R}$, $m_2 \geq m_1$, $n_2 \geq n_1$, $m_1 = t_{i(j)} \min^1$, $m_2 = t_{i(j)} \max^1$, $n_1 = t_{i(j)} \min^0$, $n_2 = t_{i(j)} \max^0$, таким образом, что воздействие оператора симметричного сдвига на ИВФ аналогично воздействию оператора линейного сдвига τ^{k_1, k_2} , у которого значения параметров k_1 и k_2 зависят от вида переключения сигнала. Оператор симметричного сдвига $\tau^{m_1, m_2, n_1, n_2}$ моделирует прохождение переключательного процесса, описанного ИВФ, через линию совершенной задержки, величина которой расположена в заданном диапазоне, зависящем от вида переключения сигнала. Воздействие операторов линейного и симметричного сдвига на ИВФ может уменьшить кратность соответствующего переключательного процесса [1].

Определим множество операторов преобразования $W \Rightarrow W$:

$\Omega(m_1, m_2, n_1, n_2) x_j = x_j^*$, где x_j – преобразуемая ИВФ. Для получения ИВФ x_j^* необходимо для каждой составляющей функции x_j выполнить линейный или симметричный сдвиг, параметры которого определяются видом переключения сигнала.

Определим множество операторов высокочастотной отсечки $W \Rightarrow W$: $\Phi(\tau_i) (z_i) = z_i$. Для получения ИВФ z_i необходимо декомпозировать (разделить) ИВФ z_i^* на ИВФ простых типов, а затем исключить составляющие, которые моделируют изменения сигнала с длительностью, меньшей или равной величине инерциальной переменной τ_i . (Определения ИВФ простых типов и правила декомпозиции ИВФ можно ввести по аналогии с [1].)

Тогда если z_i – ИВФ, моделирующая поведение i -го элемента, $(x)_j$ – ИВФ, описывающая входной сигнал, а Z_i^1 – логическая функция, реализуемая идеальным элементом, то реальное функционирование элемента можно описать с помощью суперпозиции операторов преобразования $W \Rightarrow W$:

$$\Phi(\tau_i) Z_i^1 \Omega(x)_j = z_i.$$

3. Моделирование переключательной структуры

В качестве формальной модели переключательной МОП- структуры, представляющей собой систему коммутации источников постоянных и переменных сигналов и выходных узлов, принят двудольный ориентированный мультиграф модифицированной сети Петри [2], структура которого соответствует структуре моделируемого устройства. Теоретико-графовое представление предложенной модифицированной сети Петри - это двудольный ориентированный мультиграф, где переходами описываются источники сигналов и транзисторы структуры, а позициями - линии связи (узлы структуры). Связывающие дуги могут иметь направление от перехода к позиции и от позиции к переходу. Каждая позиция может быть связана дугами с рядом переходов (рис.2), число которых ограничивается технологией изготовления моделируемого устройства. Переход может быть связан не более чем с тремя позициями. В то же время переход, описывающий источник сигнала, связан только с одной позицией. Переход может быть связан с двумя позициями, если он описывает транзистор нагрузочного типа. Позиция связывается с переходами выходной дугой, помеченной двумя стрелками, если она соответствует узлу, связанному с затвором транзистора, который описывается данным переходом. Правила построения графа приведены в работе [2].

Моделирование структуры сводится к выполнению сети, имеющей двойную систему маркировки, позволяющую вычислять функциональные параметры логических сигналов. С каждой выходной дугой переходов связываются интервалы времени $[t_{\min}^i, t_{\max}^i]$, определяющие задержки распространения сигналов по цепям открытых транзисторов к данному узлу.

Кроме того, с каждой позицией сети, а также с выходными дугами переходов связываются четырехэлементные вектор - маркера $S_i = (0^\alpha, 0^\beta, 1^\delta, 1^\epsilon)$ логического состояния сигналов и динамический параметр - интервал времени $[T_{\min}^i, T_{\max}^i]$. Здесь

0^α - логическое состояние сигнала на линии коммутации с источником сигнала логического нуля;

0^β - логическое состояние сигнала на возможной линии коммутации с источником сигнала логического нуля (предполагается, что на данной линии расположены транзисторы в открытом или неопределенном состоянии);

1^δ - логическое состояние сигнала на линии коммутации с источником сигнала логической единицы;

1^ϵ - логическое состояние сигнала на возможной линии коммутации с источником сигнала логической единицы (по аналогии с 0^β).

В работе [2] приведены правила запуска переходов при выполнении сети. Отличия интервального подхода к выполнению сети заключается в вычислении вектор-маркеров позиций и связанных с ними интервалов времени появления сигналов, описываемых данными вектор - маркерами.

Рассмотрим фрагмент переключательной структуры (рис.2,а) и особенности вычисления интервальной временной функции, описывающей логическое состояние выходного узла.

На рис. 1,б приведен граф соответствующей модифицированной сети Петри, построенный по правилам, изложенным в работе [2]. Пусть с выходной дугой перехода t_1 связан логический сигнал, описываемый ИВФ, представленной диаграммой X_1 на рис.2. Здесь ИВП на некотором отрезке времени до момента времени, равного 10 временным единицам, а также после 14 описывает сигнал логической 1, на отрезке от 10 до 11 и от 13 до 14 - сигнал, логическое состояние которого не определено и равно или состоянию логической 1 или Z; на отрезке от 11 до 13 переменная описывает сигнал, равный логическому состоянию Z. С выходной дугой перехода t_2 связан логический сигнал, описываемый ИВП, представленной диаграммой X_2 на рис.2. Интервальная переменная X_2 описывает сигнал, который в интервале времени $[10,11[$ имеет состояние x, в интервале $[11,12[$ - состояние 0, в интервале $[12,13[$ - логическое состояние 0 или z, до момента времени 10 - состояние 1 и, начиная с момента 13, - состояние z. Положим, что $\tau^{m1,m2,n1,n2} = \tau^{4,5,4,5}$. Величина инерциальной переменной равна 5 ($\tau_i = 5$).

Воздействуя на переменные X_1 и X_2 оператором симметричного сдвига получаем функции X_1^* и X_2^* соответственно. Воздействуя на X_1^* и X_2^* оператором идеальной функции (в данном случае функции соединения) получаем

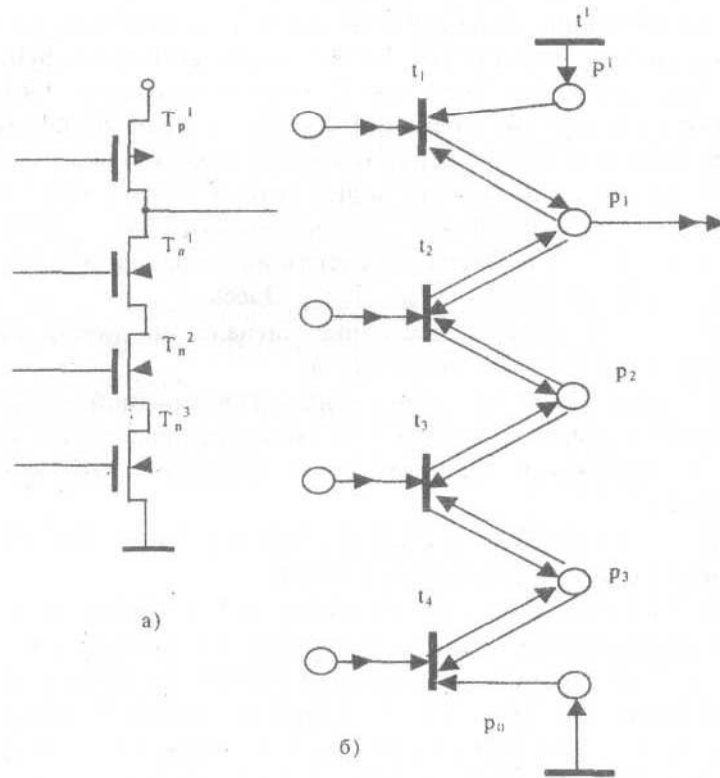


Рис.2. Фрагмент МОП-структуры (а) и сеть Петри

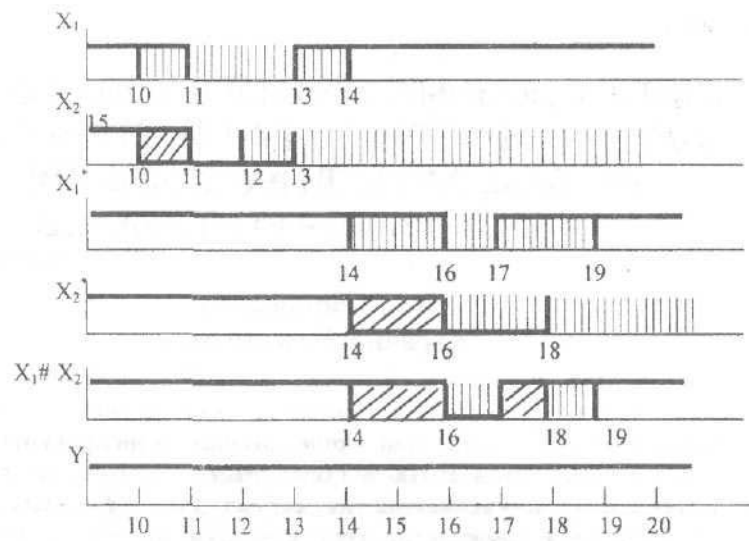


Рис.2. Эпюры ИВФ

ИВФ $X_1 \# X_2$ (рис.2). После воздействия оператора высокочастотной отсечки с величиной инерциальной переменной, равной 5, на результат соединения, получаем функцию Y , описывающую сигнал, равный логической 1 на всем рассматриваемом интервале времени.

4. Заключение

Применение интервального подхода к моделированию МОП - структур на переключательном уровне позволяет получить более точную модель схемы до момента разработки ее топологического проекта, когда еще нет данных относительно длин линий соединения компонентов и поэтому отсутствует информация по задержкам сигналов в линиях связи.

Л и т е р а т у р а

1. Золоторевич Л.А. Интервальная временная алгебра и ее применение для динамического анализа проектируемых устройств ЭВМ // Автоматика и вычислительная техника. - 1984. - № 4. - С. 81-88.
2. Zolotorevich L.A. VLSI simulation and analysis of switch-level hazards // The International Conference Computer- Aided Design of Diskrete Devices (CAD-DD'99). -Minsk. Vol. 1.- 1999. -P. 100-107.
3. Золоторевич Л.А., Юхневич Д.И. Временное моделирование СБИС на переключательном уровне // The International Conference Computer- Aided Design of Diskrete Devices (CAD-DD'99).- Minsk. Vol. 3.- 1999. -P. 93-100.