

РОССИЙСКАЯ АКАДЕМИЯ НАУК
УРАЛЬСКОЕ ОТДЕЛЕНИЕ
ИНСТИТУТ МАШИНОВЕДЕНИЯ
АССОЦИАЦИЯ ИСКУССТВЕННОГО
ИНТЕЛЛЕКТА

**НОВЫЕ ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ В ИССЛЕДОВАНИИ
ДИСКРЕТНЫХ СТРУКТУР**

Екатеринбург
1998

ПЕРЕКЛЮЧАТЕЛЬНОЕ МОДЕЛИРОВАНИЕ СБИС МОДИФИЦИРОВАННОЙ СЕТЬЮ ПЕТРИ

Л.А. Золоторевич

Белорусский государственный университет
Беларусь, 220050, Минск, пр. Ф. Скорины, 4
телефон: 226-58-81, e-mail: zolotorevich@fpm.bsu.unibel.by

Постоянное развитие интегральной схемотехники, широкое распространение цифровой электроники во всех отраслях народного хозяйства требуют совершенствования методов математического и программного моделирования объектов микроэлектроники и устройств цифровой электроники. Рассматривается задача формализации построения логической модели МОП-структуры на переключательном уровне на основе описания модифицированной сетью Петри.

В работе [1] показано, что из всех известных методов квазистатического моделирования цифровых структур на переключательном уровне (то есть не учитывающих в явном виде задержки компонентов) наиболее точным является метод, изложенный в работах Адлера [2,3], который является развитием идеи многозначного моделирования Хейеса [4–7], что и обосновывается в работе [1]. Особенностью метода Адлера, позволяющего повысить точность модели по сравнению с методом Брайента, изложенным в ряде работ [8–11], является использование операции арифметического сложения логических величин вместо операции выбора максимального значения. Это позволяет более точно определить логическую длину цепи переключательной структуры от источников постоянных сигналов к выходам схемы и свести задачу вычисления реакции схемы к задаче отыскания наикратчайшего пути, то есть пути, обладающего наименьшим сопротивлением. Метод Адлера основывается на динамическом подходе к решению задач на орграфах, что позволяет повысить эффективность вычислительных процедур при моделировании. В основе метода Адлера лежит идея динамического определения направления сигнала между двумя узлами переключательной структуры, которое однозначно определяется мощностью воздействующих на смежные узлы сигналов. Предполагается, что сигнал распространяется в направлении к узлу с меньшей мощностью сигнала. При различных логических значениях сигнала и одинаковой их мощности полагается, что сигнал распространяется в обоих направлениях. Слабой стороной метода Адлера является недостаточная формализация процесса динамической корректировки структуры орграфа в процессе моделирования.

Для получения математической модели процесса распространения сигналов в цепях переключательной структуры воспользуемся представлением структуры в виде двудольного ориентированного мультиграфа и сведем процесс моделирования к выполнению модифицированной сети Петри, как было предложено в работе [12].

Теоретико-множественное представление классической сети Петри — это четверка вида $S = (P, T, Y, \mu_0)$, где $P = (p_1, p_2, \dots, p_n)$ — непустое множество

условий (позиций); $T = (t_1, t_2, \dots, t_m)$ — непустое множество событий (переходов); $Y \subseteq F \cup F_1$, $F \subseteq P \times T \cup T \times P$ — отношение инцидентности, а $F_1: P \times T \rightarrow \{0,1\}$ — функция инцидентности; $\mu_0: P \rightarrow \{0,1\}$ — начальная разметка сети, которая ставит в соответствие каждой позиции сети некоторое целое неотрицательное число [13,14].

Построим сеть Петри как в работе [12], отличную от классической, при этом поменяем местами позиции и переходы сети, что позволит обеспечить в большей степени идентичность и простоту графического представления сети по моделируемой электрической схеме. Множество соединителей (по терминологии Хейеса) описывается множеством позиций (условий) $P = (p_1, p_2, \dots, p_n)$. Множество транзисторов различных типов, а также множество источников постоянных и переменных сигналов описывается множеством переходов $T = (t_1, t_2, \dots, t_m)$. Переходы, описывающие источники сигналов, не имеют на графе сети входных дуг. Переходы, описывающие транзисторы структуры, имеют входные и выходные дуги. Переходы, описывающие ключевые транзисторы, имеют среди входных дуг одну дугу, помеченную двойной стрелкой, что указывает на связь некоторой входной позиции с затвором транзистора. Переходы, описывающие транзисторы нагрузочного типа, имеют только одну входную и одну выходную дуги и не имеют дуги с двойной стрелкой. Каждому переходу t_r^k ставится в соответствие параметр Q_r^k , характеризующий электрические свойства проводимости моделируемого элемента.

С каждой позицией сети связывается трехэлементный вектор мощности $S = (S_{def}, S_0, S_1)$, который корректируется при выполнении сети на этапе установки фишки в позицию. Данный вектор моделирует мощность воздействующего на соответствующий соединитель электрического сигнала [3]. С каждой из выходных дуг переходов сети также связывается вектор $S = (S_{def}, S_0, S_1)$, который может не совпадать с вектором мощности, соответствующим позиции, с которой связана выходная дуга данного перехода. Начальное состояние всех векторов мощности сети $S = (0,0,0)$. Как и в работе [3] максимальную мощность сигнала примем равной 100.

В процессе выполнения сети позиции приобретают фишки. Начальное состояние разметки сети характеризуется отсутствием фишек в позициях, а последующее — зависит от безусловно запускаемых переходов, не имеющих входных дуг.

Процедура вычисления сети начинается с нулевого этапа, с запуска переходов, не имеющих входных дуг. Запуск такого перехода сопровождается установкой фишки в выходную позицию и корректировкой соответствующего данной позиции вектора S_i . После корректировки элементы вектора S_i соответствуют входному воздействию электрического сигнала. При этом, если на некотором входе (переход t_i^k) действует сигнал 1(0), то $S_i^k = (100,0,100)$ ($S_i^k = (100,100,0)$) [3]. При воздействии сигнала неопределенности $S_i^k = (100,100,100)$.

Переход фиксируется как разрешенный, если среди входных позиций хотя бы одна получает фишку. Запуск перехода сводится к следующему:

- фишки из входных позиций запускаемого перехода удаляются;

- сравниваются величины всех трех компонент векторов мощности S , соответствующих входным для данного перехода позициям, с которыми данный переход связан дугами с одной стрелкой. Если каждая компонента одного из них больше соответствующей компоненты другого, то фишка ставится в выходную позицию с меньшими значениями компонент. В противном случае - в каждую;

- корректируются компоненты векторов мощности, соответствующих выходным дугам запускаемого перехода, связанные с позициями, в которые устанавливаются фишки. Для этого анализируется состояние вектора мощности S , соответствующего входной позиции, связанной с запускаемым переходом дугой с двойной стрелкой:

при значении $S=(100,0,100)$, если переход соответствует транзистору n - типа, и при значении $S=(100,100,0)$, если переход соответствует транзистору p - типа, перерасчет компонент вектора мощности заключается в уменьшении значений каждой из значащих компонент вектора мощности, связанной с соответствующей входной позицией данного перехода, на величину параметра Q_r^k , характеризующего запускаемый переход;

при значении $S=(100,100,0)$, если переход соответствует транзистору n - типа, и при значении $S=(100,0,100)$, если переход соответствует транзистору p - типа, устанавливаемые вектора $S = (0,0,0)$;

при значении $S = (100,100,100)$ первая компонента вектора S устанавливается равной нулю. Осуществляется перерасчет второй и третьей компонент векторов мощности, что заключается в уменьшении значащих величин указанных компонент вектора, связанного с соответствующей входной позицией данного перехода, на величину параметра Q_r^k , характеризующего запускаемый переход;

- осуществляется перерасчет векторов мощности, связанных с позициями, в которые были установлены фишки на этапе запуска данного перехода;

- фиксируются разрешенные переходы, которые являются выходными для позиций с фишками.

Переходы запускаются до тех пор, пока не останется ни одного перехода в списке разрешенных переходов.

Построим сеть Петри (рис. 1) для фрагмента схемы из работы [2] (рис. 2). Фрагмент содержит пять транзисторов n - типа. На рис. 2 указаны входные сигналы на затворах транзисторов и логические значения величин сопротивлений транзисторов. На рис. 1 источники входных сигналов (земля, питание, внешние входы) представляются переходами $t_i^0, t_i^1, t_i^2, \dots, t_i^6$, выходных — t_0^1, t_0^2 . Каждый транзистор также представляется переходом, на что указывает нижний индекс i в обозначении данного перехода (t_i^1, \dots, t_i^5) . Позиции сети моделируют соединители. Так позиции $(p_i^0, p_i^1, p_i^2, \dots, p_i^6)$ соответствуют соединителям, на которые поступают входные сигналы. Указанные позиции имеют одну входную дугу и произвольное число выходных дуг. Другие позиции — p_1 и p_2 могут иметь, в общем случае, произвольное число входных и выходных дуг, что определяется структурой моделируемой схемы.

Рассмотрим процедуру выполнения сети.

Этап 0. Запускаем в произвольном порядке безусловные переходы $t_i^0, t_i^1, t_i^2, \dots, t_i^6$, т.е. переходы, у которых отсутствуют входные дуги. В результате запуска устанавливаем фишки в выходные позиции $p_i^0, p_i^1, p_i^2, \dots, p_i^6$. Фиксируем множество разрешенных к запуску переходов $\{t_i^1, t_i^2, t_i^3, t_i^4, t_i^5\}$ (В дальнейшем они будут запускаться в произвольном порядке без дополнительного анализа наличия фишек во входных позициях).

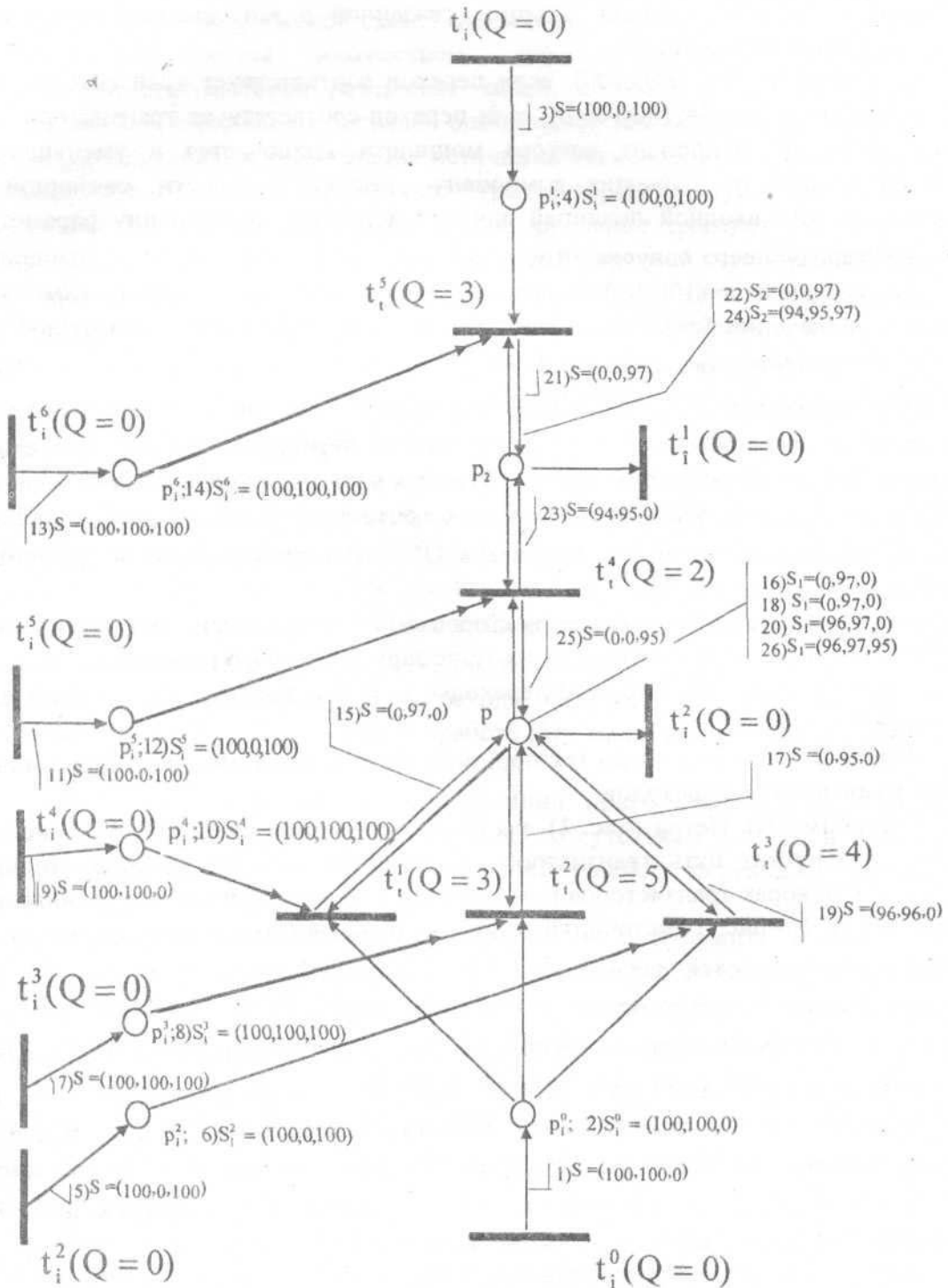


Рис.1. Граф сети Петри, соответствующий фрагменту переключательной структуры, приведенной на рис. 2

Корректируем вектора мощности, связанные с выходными дугами переходов. При этом учитываем логические состояния сигналов, генерируемых соответствующими источниками постоянных и переменных сигналов (см. рис.1). Вычисляем вектора мощности, относящиеся к позициям, в которые на данном этапе установили фишки: $S_i^0 = (100,100,0)$; $S_i^1 = (100,0,100)$; $S_i^2 = (100,0,100)$; $S_i^3 = (100,100,100)$; $S_i^4 = (100,100,100)$; $S_i^5 = (100,0,100)$; $S_i^6 = (100,100,100)$.

Этап 1. Запускаем переход t_i^1 . Сравниваем соответствующие значения векторов мощности S_i^0 и S_i^1 . Вектор S_i^1 на данном этапе содержит нулевые элементы. Корректируем значения элемента вектора мощности, связанного с выходной дугой запускаемого перехода, принимая во внимание значения компонент вектора мощности, относящегося к входной дуге с двумя стрелками. Вычисленное состояние вектора выходной дуги $-S = (0,97,0)$.

Вычисляем новое состояние вектора мощности для выходной позиции p_1 и устанавливаем в данную позицию фишку. Вычисление состояния вектора, связанного с некоторой позицией, осуществляется путем поэлементного сравнения всех векторов, принадлежащих входным для данной позиции дугам, и выбором максимальных значений, что соответствует определению кратчайшего логического расстояния по Адлеру. Исходное состояние вектора $S = (0,0,0)$, новое $-S = (0,97,0)$.

Удаляем фишки из входных для данного перехода позиций p_i^0 и p_i^4 .

Запускаем переходы t_i^2 и t_i^3 аналогично. На рис. 1 показана возможная динамика изменений вектора S_i^1 . Как видно из рисунка, конечное состояние

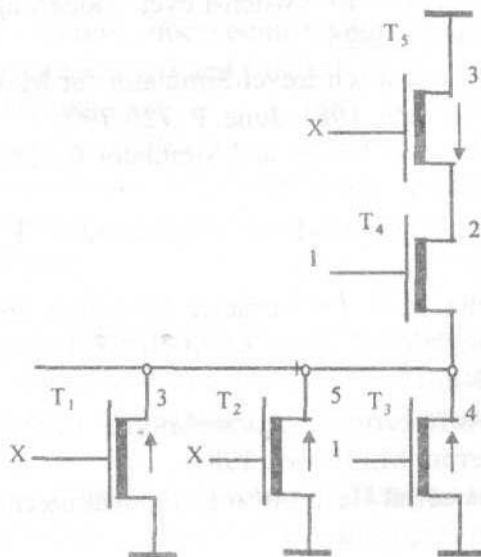


Рис. 2. Фрагмент переключательной структуры

Вектора S_i^1 имеет вид $S_i^1 = (96,97,0)$. Запускаем переходы t_i^4 и t_i^5 . При запуске вначале перехода t_i^5 удаляем фишки из позиций p_i^1 и p_i^6 ; на основе сопоставления векторов мощностей входных позиций фишку устанавливаем в выходную позицию p_2 и рассчитываем новое состояние вектора S_2 , которое

равно $S_2=(0,0,97)$. На рис. 1. приведена динамика изменения векторов мощности, связанных с дугами и позициями сети, состояния которых пронумерованы в соответствии с очередностью их вычисления, по которой можно проследить за процессом выполнения сети.

Предложенная формализация процесса моделирования переключательной структуры, основанного на построении и выполнении модифицированной сети Петри, позволяет упростить разработку программного обеспечения.

Литература

1. Золоторевич Л.А., Юхневич Д.И. Исследование области применения квазистатических моделей СБИС на переключательном уровне // Материалы V межгосударственной конференции, посвященной 75-летию БГУ «Актуальные проблемы информатики: математическое, программное и информационное обеспечение». Минск. 1996. С. 140-147.
2. Adler D. Switch-Level Simulation Using Dynamic Graph Algorithms // IEEE Trans. on Computer-Aided Design of Integrated Curcuits and Systems. March 1991, March. V. 10. № 3. P. 346-355.
3. Adler D. A Dynamically-Directed Switch Model for MOS Logic Simulation // Proc. ACM/ IEEE Design Automation Conference. 1988, June 12-15. New York. P.506-511.
4. Хейес Дж.П. Обобщенная теория переключательных схем и ее применение для проектирования СБИС // ТИИЭР. Т. 70. № 10. 1982. С. 5-19.
5. Hayes J.P. Fault Modelling for Digital MOS Integrated Circuits // IEEE Transaction Computer-Aided Design. 1984, July. P. 200-207.
6. Hayes J.P. Pseudo-Boolean Logic Circuits // IEEE Trans. Comput. Vol. C-35. 1986, July. P. 602-612.
7. Hayes J.P. An Introduction to Switch-Level Modelling // IEEE Des. And Test Comput.. 1987. V. 4. № 4. P. 18-25.
8. Bryant R.E. MOSSIM: a Switch-Level Simulator for MOS LSI // Proc. ACM/ IEEE Design Automation Conference. 1981, June. P. 786-790.
9. Bryant R.E. A Switch-Level Model and Simulator for MOS Digital Systems // IEEE Trans. on Computers. 1984. P. 160-177.
10. Bryant R.E. A Survey of Switch-Level Algorithms // IEEE Design and Test. 1987, Aug. V. 4. № 4. P. 26-40.
11. Bryant R.E., Schuster M.D. Performance Evalution on FMOSSIM, a Concurrent Switch-Level Fault Simulation // Proc. ACM/ IEEE Design Automation Conference. Las Vegas. 1985. P. 715-719.
12. Золоторевич Л.А. Автоматика и телемеханика. 1992. С. 133-144.
13. Котов В.Е. Сети Петри. М.: Наука. 1984.
14. Питерсон Д. Теория сетей Петри и моделирование систем. М.: Мир. 1984.