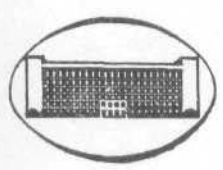




ISSN 0372-5375



# ВЕСТНИК

Белорусского государственного  
университета имени В. И. Ленина

СЕРИЯ 1

ФИЗИКА

МАТЕМАТИКА

МЕХАНИКА

**1**  

---

**1979**

**Главная редакционная коллегия журнала:**

М. Д. ТИВО (*главный редактор*),  
П. Н. БАРАНОВСКИЙ (*ответственный секретарь*), В. С. ГРИГОРЬЕВ, Г. П. ДАВИДЮК, В. Г. ИВАШИН, В. Г. РУДЬ (*зам. главного редактора*), А. М. САРЖЕВСКИЙ, А. Е. СУПРУН, И. Г. ТИЩЕНКО

**Редакционная коллегия серии:**

А. М. САРЖЕВСКИЙ (*ответственный редактор*),  
Ю. С. БОГДАНОВ (*зам. ответственного редактора*), Э. И. ЗВЕРОВИЧ, Е. А. ИВАНОВ, В. В. ИЗОХ, Л. И. КОМАРОВ, Н. А. ЛЕПЕШИНСКИЙ, И. А. ПРУСОВ, А. Н. СЕВЧЕНКО,  
В. Ф. СТЕЛЬМАХ, А. С. ФЕДЕНКО, Б. Ю. ХАНОХ (*ответственный секретарь*), М. П. ХАЛИМАНОВИЧ, А. Ф. ЧЕРНЯВСКИЙ, С. С. ШУШКЕВИЧ

ВЕСТНИК БЕЛОРУССКОГО ГОСУДАРСТВЕННОГО УНИВЕРСИТЕТА  
им. В. И. ЛЕНИНА  
Серия 1, 1979, № 1

Редактор *И. П. Стрельченя*  
Художественный редактор *Л. Г. Медведева*  
Технический редактор и корректор *Г. И. Хмарун*

Сдано в набор 23.10.78. Подписано в печать 18.01.79. АТ 11 010. Формат 70×108<sup>1/16</sup>. Печать высокая. Усл. печ. л. 7,7. Уч.-изд. л. 7,55. Тираж 1200 экз. Заказ 1267. Цена 80 коп.

Издательство Белорусского государственного университета им. В. И. Ленина. Минск. Парковая магистраль, 11. Дом книги. Ордена Трудового Красного Знамени типография издательства ЦК КП Белоруссии. Минск, Ленинский пр., 79.

Адрес редакции: 220080, Минск-80, Университетский городок, юридический факультет, к. 62, тел. 22-87-54.

© Издательство БГУ им. В. И. Ленина, 1979 г.



## ОПРЕДЕЛЕНИЕ МНОЖЕСТВА КОНТРОЛИРУЕМЫХ НЕИСПРАВНОСТЕЙ ПРИ ИТЕРАЦИОННОМ МОДЕЛИРОВАНИИ ЛОГИЧЕСКИХ СХЕМ

Задача построения эффективной логической модели для анализа контролируемых свойств тестов весьма актуальна при разработке автоматизированной системы контроля и диагностики дискретных устройств. Наиболее распространенным на практике методом моделирования неисправных модификаций логических схем является метод их параллельного моделирования, который позволяет за один проход моделировать  $N$  неисправностей ( $N$  — разрядная сетка моделирующей ЭВМ) и успешно применять метод Эйхельбергера для анализа состязаний сигналов в моделируемых неисправных схемных модификациях. Следует отметить, что эффективность этого метода при моделировании схем порядка нескольких тысяч логических элементов (ЛЭ) недостаточно высока. Для больших схем более эффективен метод дедуктивного моделирования [1] при реализации его на ЭВМ с достаточным объемом оперативной памяти, позволяющий за один такт моделирования полностью проанализировать контролируемую способность входного набора. Однако в работе [1] не дается обоснования методики расчета множеств обнаруживаемых неисправностей, а также не приводится способ моделирования элементов замкнутого контура асинхронной последовательностной схемы, что является целью настоящей работы.

**Постановка задачи.** Логическая схема общего вида, построенная на элементах И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, ЛЭ, задана в структурном виде. Требуется определить контролируемую способность входного набора, теста, набора тестов. Под контролирующей способностью входного набора  $T_j$  понимается процент неисправностей схемы, обнаруживаемых в контрольных точках, при воздействии на схему данного входного набора. Рассматриваются константные неисправности на выходах и входах ЛЭ схемы, составляющие 80% всех возможных на практике неисправностей [2].

Пусть ЛЭ схемы имеет  $n$  входов. Введем следующие обозначения:

$A_i$  — множество неисправностей схемы, изменяющих значение сигнала в данном такте на  $i$ -ом входе ЛЭ на противоположное;  $C = \bigcup_{i=1}^n A_i$ ;  
 $B_0 = \bigcap_{i \in N_0} A_i$ ;  $B_1 = \bigcap_{i \in N_1} A_i$ ;  $C_0 = \bigcup_{i \in N_0} A_i$ ;  $C_1 = \bigcup_{i \in N_1} A_i$ . Здесь  $N_0$  ( $N_1$ ) — множество входов ЛЭ с нулевыми (единичными) значениями сигналов при отсутствии неисправностей.

$E$  — множество внутренних неисправностей логического элемента;  $E = \{e_0, e_1\}$ , где  $e_0$  — неисправность ( $\equiv 0$ ) на выходе ЛЭ,  $e_1$  — ( $\equiv 1$ ).

$F$  — множество неисправностей схемы, изменяющих значение сигнала на выходе ЛЭ на противоположное.

$S_i$  — логическое значение сигнала на  $i$ -ом входе ЛЭ исправной схемы.

$S_i^g$  — логическое значение сигнала на  $i$ -ом входе ЛЭ при наличии в схеме неисправности  $g$ .

$f$  — значение функции, реализуемой данным ЛЭ при отсутствии неисправностей,  $f_g$  — при наличии неисправности  $g$ .

Неисправность  $g \in F$  только в том случае, если в результате ее появления в схеме значение сигнала на выходе ЛЭ изменится на противоположное. Очевидно, что включение определенных неисправностей схемы в  $F$  зависит от логического состояния входов элемента в данный момент времени, от значения функции, реализуемой данным элементом, и от множеств  $A_i$ .

**Теорема 1.** Если  $f = \bigvee_{i=1}^n S_i = 1$  или  $f = \bigwedge_{i=1}^n S_i = 1$ , то

$$F = \{e_0\} \cup (B_1 \setminus C_0). \quad (1)$$

Докажем первую часть теоремы. Обозначим  $\{e_0\} \cup (B_1 \setminus C_0) = D$ . Для доказательства необходимо показать, что любой элемент множества  $F$  принадлежит множеству  $D$  и любой элемент множества  $D$  принадлежит множеству  $F$ . Искомое множество  $F$  является подмножеством множества всех неисправностей схемы, связанных с данным ЛЭ, т. е.

$$F \subset E \cup C. \quad (2)$$

Из условия теоремы следует, что  $g \in F$ , если

$$f_g = \bar{f} = 0. \quad (3)$$

I. Пусть  $g \in F$ . В силу условия (2) возможны два случая: а)  $g \in E$ . Тогда, исходя из условия (3),  $g = e_0$ , а значит,  $g \in D$ ; б)  $g \in C$ .

По условию теоремы, а также в силу условия (3) неисправность  $g$  изменит значение функции на противоположное лишь при выполнении условия  $S_i^g = 0$  ( $i = 1, 2, \dots, n$ ), т. е. когда  $g$  приведет к нулевому состоянию входов ЛЭ. По определению, для любого входа из  $N_1$   $\bar{S}_i = 0$ , а для любого входа из  $N_0$   $\bar{S}_i = 1$ . Неисправность  $g \in A_i$  в том случае, если  $S_i^g = \bar{S}_i$ . Тогда для любого входа из  $N_1$   $g \in A_i$  ( $i = 1, 2, \dots, m$ , где  $m$  — размерность множества  $N_1$ ), а для входа из  $N_0$   $g \notin A_i$  ( $i = 1, 2, \dots, k$ , где  $k$  — размерность множества  $N_0$ ). Следовательно,  $g \in \bigcap_{i \in N_1} A_i \setminus \bigcup_{i \in N_0} A_i$ , т. е.  $g \in B_1 \setminus C_0$ .

II. Пусть  $g \in D$ . Здесь также возможны два случая: а)  $g = e_0$ , а это значит, что  $f_g = 0$ , т. е.  $f_g = \bar{f}$ , поэтому  $g \in F$ ; б)  $g \in B_1 \setminus C_0$ . Это значит, что для любого входа из  $N_1$   $g \in A_i$  ( $i = 1, 2, \dots, m$ ), а  $S_i^g = \bar{S}_i = 0$ , а для любого входа из  $N_0$   $g \notin A_i$  ( $i = 1, 2, \dots, k$ ), а  $S_i^g \neq \bar{S}_i \neq 0$ . Значит,  $g \in F$ .

Приведем теоремы об определении множеств неисправностей для ЛЭ, реализующих некоторые функции. Доказательства теорем можно провести по аналогии.

**Теорема 2.** Если  $f = \bigvee_{i=1}^n S_i = 0$ ,  $\bar{f} = \bigwedge_{i=1}^n S_i = 0$ , то  $F = \{e_1\} \cup C$ .

**Теорема 3.** Если  $f = \bigwedge_{i=1}^n S_i = 0$ ,  $\bar{f} = \bigvee_{i=1}^n S_i = 0$ , то  $F = \{e_1\} \cup (B_0 \setminus C_1)$ .

**Теорема 4.** Если  $f = \bigwedge_{i=1}^n S_i = 1$ ,  $\bar{f} = \bigwedge_{i=1}^n S_i = 1$ , то  $F = \{e_0\} \cup C$ .

**Теорема 5.** Если  $f = \overline{S}_i = 1$ , то  $F = \{e_0\} \cup A_i$ .

**Теорема 6.** Если  $f = \overline{S}_i = 0$ , то  $F = \{e_1\} \cup A_i$ .

Используя приведенные соотношения, можно определить множество неисправностей схемы, обнаруживаемых на выходах комбинационной схемы на заданном входном наборе. Для этого вначале вычисляется значение функции, реализуемой ЛЭ, в зависимости от которого выбирается соотношение для расчета множества неисправностей.

Рассмотрим особенности вычисления множеств неисправностей при моделировании асинхронной последовательностной схемы. Как известно, значение сигнала на выходе элемента замкнутого контура схемы зависит не только от входных сигналов, воздействующих на схему в данный момент времени, но и от входной последовательности, поданной на схему ранее. В связи с этим при моделировании элементов контура для получения множеств обнаруживаемых на данном такте неисправностей необходимо учитывать явление «запоминания» неисправностей, обнаруживаемых на предыдущем такте. При итерационном моделировании элементов схемы множества обнаруживаемых неисправностей необходимо перерасчитывать на каждой итерации, а в случае организации событийного моделирования — при изменении логического значения одного из входов ЛЭ или входного списка неисправностей [3].

Приведем особенности построения программы моделирования неисправных модификаций асинхронных последовательностных схем и результаты проведенных экспериментальных исследований.

При вычислении состояний ЛЭ в режиме отсутствия неисправностей применяется троичное моделирование по Эйхельбергеру, что позволяет определить входные наборы, приводящие к состязаниям сигналов. Однако при расчете списков неисправностей используется двоичная логика, так как при появлении неизвестного значения на выходе ЛЭ необходимо рассчитывать два списка. Количество списков может лавинообразно возрастать, что приводит не только к значительному снижению эффективности применения рассматриваемого метода, но и к невозможности его практической реализации. Заметим, что описанный подход может привести к получению неточных списков неисправностей в результате появления состязаний в неисправных модификациях схем, которые в данном случае не учитываются. Вероятность появления ошибки, однако, на практике невелика.

В программной реализации метода для ускорения моделирования применяется условное ранжирование схемы [4], позволяющее за один такт моделирования определять выходную реакцию комбинационной логики на заданное входное воздействие. Последовательностные схемы моделируются итерациями Зейделя [5]. Признаком окончания моделирования схемы при этом является совпадение выходных сигналов ЛЭ на двух соседних итерациях. Заметим, что комбинационные схемы могут также моделироваться путем итераций, если их структура задана в непроранжированном виде. Однако время моделирования при этом может значительно увеличиться. Кроме того, с целью повышения быстродействия операции объединения и пересечения множеств неисправностей выполняются по упрощенным алгоритмам перебора, в которых применяется упорядочение номеров неисправностей списков в порядке их возрастания. При этом выполнение указанных операций над списками возможно за один просмотр элементов списков. В результате получают упорядоченные множества. Применение алгоритмов сокращенного перебора значительно уменьшает время моделирования.

В связи с требованием большого объема оперативной памяти в программе используется динамическое распределение памяти при построении рабочих массивов информации, что позволяет весьма рационально

использовать оперативную память моделирующей ЭВМ. Кроме того, здесь считается, что применение событийного моделирования при машинной реализации рассматриваемого метода на ЭВМ с объемом оперативной памяти до 256К байт нецелесообразно, так как требует на каждом шаге формирования дополнительных массивов информации об элементах схемы, на входах которых появились события. Использование оперативной памяти для этих массивов приведет к потере преимуществ метода по сравнению с методом параллельного моделирования.

Программа, написанная на ЯСК ЭВМ «Минск-32», позволяет определить множества неисправностей, обнаруживаемых в контрольных точках при подаче на схему входного набора или последовательности входных наборов, контролирующую способность и может быть применена для генерации тестов с помощью случайных наборов. Программа допускает моделирование схемы на тестах, заданных потребителем (в данном случае решается задача анализа тестов на полноту), а также на входных наборах, полученных с помощью генератора случайных двоичных векторов, что дает возможность использовать программу для генерации тестов.

Исходная информация о моделируемой схеме задается в виде прямого списка связности (описание входов ЛЭ) и обратного (описание нагрузок ЛЭ). Программа может обрабатывать схемы порядка 1—3 тысяч ЛЭ, что зависит от сложности схемы и размера оперативной памяти моделирующей ЭВМ. Среднее время моделирования комбинационной схемы порядка 200 ЛЭ на одном входном наборе составляет ~10 с.

Отметим, что разработанный аппарат анализа может применяться для моделирования логических схем, составленных из ЛЭ указанных типов, однако при включении блоков моделирования элементов других типов возможности программы в этом отношении легко расширить.

#### ЛИТЕРАТУРА

1. Armstrong D.— «IEEE Trans. Comput.», 1972, с-21, 5.
2. Чжен Г., Мэннинг Е., Метц Г. Диагностика отказов цифровых вычислительных систем. М., 1972.
3. Золоторевич Л. А., Емельяненко З. Н., Медзько Т. В.— «Вестн. Белорусского ун-та. Сер. I, мат., физ., мех.», 1978, № 1, 72.
4. Золоторевич Л. А., Титюра А. Н. МО ЭВМ «Минск-32», 1975, вып. 15, 238.
5. Гробман Д. М. Автоматизированная система контроля. Труды ИНЭУМ. М., 1971, вып. 15, 74.

Поступила в редакцию  
15/IV 1976 г.

ВЦ