

АКАДЕМИЯ НАУК ЛАТВИЙСКОЙ ССР

**АВТОМАТИКА
И
ВЫЧИСЛИТЕЛЬНАЯ
ТЕХНИКА**

1977

ОТДЕЛЬНЫЙ ОТТИСК • ИЗДАТЕЛЬСТВО «ЗИНАТНЕ» • РИГА

УДК 007.52:519.873

Л. А. Золоторевич

ОПРЕДЕЛЕНИЕ ДЛИТЕЛЬНОСТИ ПЕРЕХОДНОГО ПРОЦЕССА
В ЛОГИЧЕСКИХ СХЕМАХ

В связи со значительным возрастанием быстродействия элементной базы весьма актуальной в настоящее время становится задача создания логических моделей для анализа временных параметров цифровых схем.

Известный метод Чапеля [1] позволяет произвести временной анализ схемы и в некоторых случаях может быть применен для анализа гонок и рисков в логической схеме. Метод предполагает моделирование логической схемы на уровне вентилей с различием максимальной и минимальной переходных задержек. При этом под длительностью переходного процесса (ПП) в логической схеме понимается интервал времени между моментами приложения к схеме входного воздействия и достижения логических сигналов на выходах логических элементов (ЛЭ) схемы 90% уровня их конечного значения. К недостаткам метода относится громоздкость проводимых вычислений, неясная физическая интерпретация группы вводимых операторов, а также ошибочность результатов в случае моделирования сходящихся ветвлений.

Рассмотрим сходящееся ветвление (рис. 1, а), вход x_1 которого является выходом соответствующей подсхемы. Предположим, что x_1 изменяется из состояния 1 в 0, причем из-за разброса времени срабатывания элементов подсхемы данное изменение может произойти в любой момент времени в интервале $t_3 \geq t \geq t_1$. Согласно рис. 1, б отрицательный импульс длительностью ω всегда появляется на выходе ЛЭ 2 при $t_3 - t_2 \geq \beta$, а выполнение этого условия определяется только разбросом временных параметров цепей образования сигнала x_1 . Однако схемотехнический анализ показывает, что в действительности на выходе рассматриваемой схемы отрицательный импульс возникает лишь при задержке на срабатывание ЛЭ 2 по входу 2 значительно большей аналогичной задержки по входу 1. Ввиду того что в работе [1] не учитывается различие задержек на срабатывание ЛЭ в зависимости от его входов, моделирование сходящихся ветвлений по данному методу может привести к неправильным результатам.

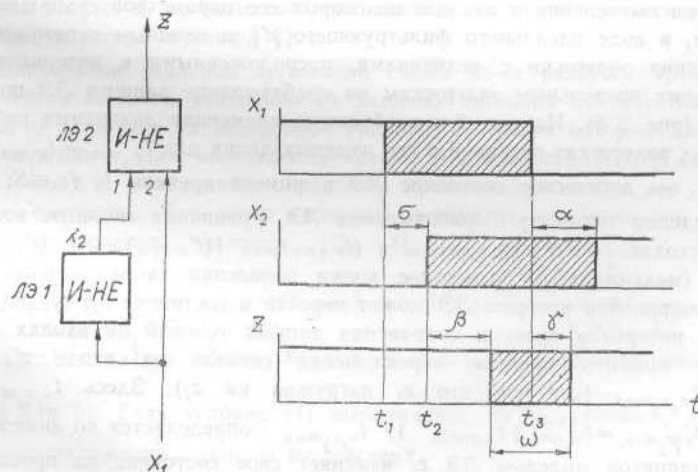


Рис. 1. Сходящееся ветвление: а — схема; б — временная диаграмма. $\sigma(\beta)$ — минимальное время перехода ЛЭ 1 (2) из состояния 0 в 1 (1 в 0); $\alpha(\gamma)$ — максимальное время перехода ЛЭ 1 (2) из состояния 0 в 1.

Метод интервального моделирования логических схем, предлагаемый в статье, учитывает различие предельных задержек на срабатывание ЛЭ схемы по определенным входам и путем двоичного моделирования и дополнительного анализа временных интервалов простых переключений ЛЭ устанавливает границы длительности ПП в комбинационных и последовательностных асинхронных схемах без элементов памяти типа «триггер и линия задержки».

Различение задержек по определенным входам повышает точность моделирования по сравнению с методом Чапеля, однако при моделировании сходящихся ветвлений (петель) предлагаемый метод может дать ошибочные результаты. Во избежание их необходимо путем предварительного анализа топологии схемы определить главные элементы петель и учитывать при их моделировании общность происхождения сигналов боковых ветвей петли (в настоящей статье не приводятся особенности моделирования элементов петель, так как это является предметом особого рассмотрения). Предлагаемый метод предполагает знание структуры логической схемы, предельных задержек распространения сигналов по каждому входу составляющих ее интегральных элементов (ИЭ) и величины высокочастотной отсечки i -го ИЭ τ_{α}^i .

Минимальное (максимальное) время переключения ЛЭ i по входу j из состояния 0 в 1 обозначим $t_{i(j)\min}^1(t_{i(j)\max}^1)$, из состояния 1 в 0 — $t_{i(j)\min}^0(t_{i(j)\max}^0)$ (временные параметры, заданные техническими условиями конкретного ИЭ). Будем учитывать не конкретный физический элемент схемы с достоверно известным временем переключения, а множество M n -входовых элементов с временем включения (перехода из состояния 0 в 1) и выключения (перехода из состояния 1 в 0) соответственно:

$$\min_{j \leq n} t_{i(j)\min}^1 \leq t_{\text{вкл}}^1 \leq \max_{j \leq n} t_{i(j)\max}^1, \quad \min_{j \leq n} t_{i(j)\min}^0 \leq t_{\text{выкл}}^0 \leq \max_{j \leq n} t_{i(j)\max}^0.$$

Процесс мгновенного изменения постоянных значений (0 или 1) назовем простым переключательным процессом. Если реакцией схемы в ответ на простой переключательный процесс на ее входах является простой переключательный процесс, то входной набор будем считать корректным. Ввиду того что задержки срабатывания физических элементов схемы индивидуальны для каждого элемента, простые переключения на входах ЛЭ схемы могут произойти не одновременно, что, в свою очередь, может привести к появлению сложных переключений на выходах ЛЭ схемы и ложного сигнала на выходе схемы. Задача временного моделирования заключается в определении момента установления схемы в устойчивое состояние при воздействии входного набора T_j и сводится к определению моментов установления в устойчивое состояние каждого составляющего схему ЛЭ.

Минимальное (максимальное) время установления k -го ЛЭ схемы в устойчивое состояние при подаче входного воздействия T_j обозначим $t_{k\min}(t_{k\max})$. На примере конъюнктора z_i (рис. 2, а) приведем методику получения временной диаграммы работы ЛЭ путем вычисления и анализа некоторых его параметров срабатывания. Представим ЛЭ z_i в виде идеального фильтрующего z'_i , к входным цепям которого подсоединены линии задержки с величинами, расположенными в интервалах времени, соответствующих предельным задержкам на срабатывание данного ЛЭ по определенным входам (рис. 2, б). На рис. 2, в изображена временная диаграмма работы ЛЭ z_i при различных задержках сигналов в его входных цепях для $t_{x_i\min} = t_{x_i\max}$ ($4 \geq i \geq 1$). Обозначим s_i — логическое состояние ЛЭ в момент времени t_0 ($s_i \in S$; $S = (s_i, s_j)$; $s_i = \bar{s}_j$). Определим параметры срабатывания ЛЭ. Граничные моменты возникновения события на входах $z_i(z'_i) - (t_{\text{е.усл}})_{\min}$ и $(t_{\text{е.усл}})_{\max}$ ($(t'_{\text{е.усл}})_{\min}$ и $(t'_{\text{е.усл}})_{\max}$) — минимально (максимально) возможное время появления таких условий на входах $z_i(z'_i)$, при сохранении которых ЛЭ может перейти в состояние s_j ; $t_{\text{усл}}^+((t_{\text{усл}}^+)')$ — длительность интервала времени сохранения данных условий на входах $z_i(z'_i)$.

Граничные моменты времени переключения сигнала на входе z'_i обозначим $t_{z_i z_j \min}$ и $t_{z_i z_j \max}$ (считаем, что z_i нагружен на z_j). Здесь $t_{z_i z_j \min} = t_{z_j \min} + t_{i(j)\min}^1$ ($t_{z_i z_j \min} = t_{z_j \min} + t_{i(j)\min}^0$); $t_{z_i z_j \max}$ определяется по аналогии. В соответствии с принятой моделью ЛЭ z_i изменяет свое состояние на противоположное дважды, и в результате на его выходе появляется положительный сигнал длительностью ω (рис. 2, в) в том случае, если

$$(t_{\text{усл}}^+)^1 \geq \tau_{\alpha}^1. \quad (1)$$

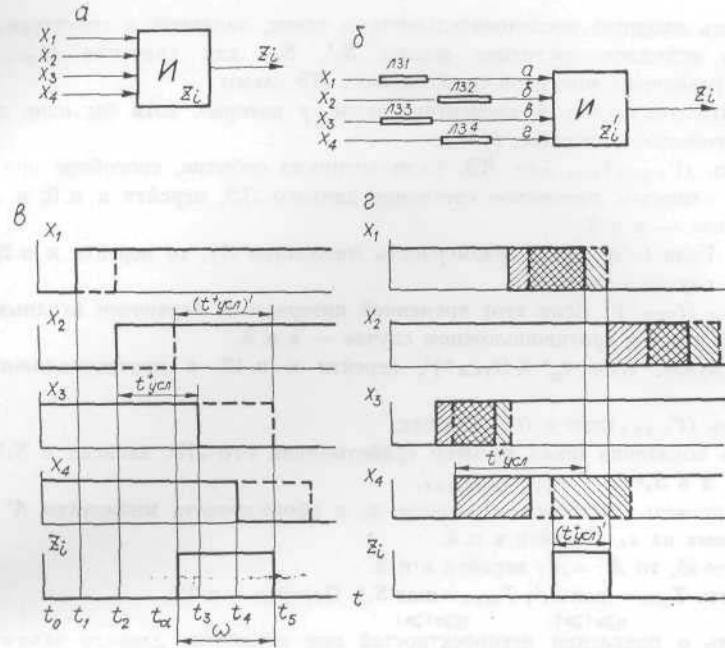


Рис. 2. Временной анализ конъюнктора: а — логическая схема; б — модель с учетом задержек; в — временная диаграмма работы; $t_{x_1 \min} = t_{x_1 \max} = t_1$; $t_{x_2 \min} = t_{x_2 \max} = t_2$; $t_{x_3 \min} = t_{x_3 \max} = t_3$; $t_{x_4 \min} = t_{x_4 \max} = t_4$; ——— моменты изменения сигналов на входах z'_i (в точках $y_1 - y_4$); $(t_{\text{с.усл}})_{\min} = (t_{\text{с.усл}})_{\max} = t_2$; $(t'_{\text{с.усл}})_{\min} = (t'_{\text{с.усл}})_{\max} = t_\alpha$; г — схема определения границ длительности переходного процесса при $t_{x_i \min} \neq t_{x_i \max}$ ($4 \geq i \geq 1$). |||| — интервалы времени возможного изменения логических сигналов на входах z_i , ||||| — то же на входах z'_i .

Заметим, что в данном случае имеют место состязания сигналов, так как в ответ на простые переключения входных сигналов на выходе ЛЭ возникает сложное переключение — появляется сигнал помехи, который может привести к ложному функционированию схемы, содержащей z_i . В том случае, если условие (1) не выполняется, ПП на выходе z_i не возникает, сохраняется состояние логического нуля (происходит высокочастотная отсечка [1]).

При моделировании реальной логической схемы из-за разброса временных параметров элементов моменты изменения их входных сигналов не известны, а имеются лишь данные о длительности интервалов времени, в течение которых данные изменения могут произойти. Для определения границ длительности ПП ($T_{\min}$, $T_{\max}$) на выходе z_i (рис. 2, г) необходимо определить граничные моменты его установления в устойчивое состояние. Для этого вычислим параметры срабатывания данного ЛЭ и проверим соблюдение условия (1): $(t_{\text{с.усл}})_{\min} = \max_{x \in M_1} t_{x \min}$; $(t_{\text{с.усл}})_{\max} = \max_{x \in M_1} t_{x \max}$; $t_{\text{усл}}^+ = \min_{x \in M_0} t_{x \max} - (t_{\text{с.усл}})_{\min}$; $(t'_{\text{с.усл}})_{\min} = \max_{x \in M_1} t_{x \min}$; $(t_{\text{усл}})^+ = \min_{x \in M_1} t_{x \max} - (t'_{\text{с.усл}})_{\min}$. Здесь M_1 (M_0) — входы, изменяющие свое логическое состояние в 1 (в 0). Если условие (1) выполняется, то $T_{\max} = \min_{x \in M_1} t_{x \max} - t_0$, где t_0 — момент приложения входного воздействия.

На основании изложенного можно предложить простой метод определения границ длительности ПП в логической схеме без петель и элементов памяти типа «триггер и линия задержки», содержащей η ЛЭ, при подаче входного набора T_j .

1. Приложить входную последовательность к схеме, заданной в структурном виде. Установить в исходное состояние шкалы S_i^1 , S_i^2 для хранения $t_{i \min}$, $t_{i \max}$ ($\eta \geq i \geq 1$) — граничных моментов срабатывания ЛЭ схемы.

2. Определить множество A элементов схемы, у которых хотя бы один вход изменил свое логическое состояние; $i := 1$.

3. Вычислить $(t'_{\text{с.усл}})_{\min}$ i -го ЛЭ. Если возникло событие, способное при некоторых условиях изменить логическое состояние данного ЛЭ, перейти к п. 5, в противном случае — к п. 4.

4. $i := i + 1$. Если $i < \eta'$ (η' — размерность множества A), то перейти к п. 3, в противном случае — к п. 10.

5. Вычислить $(t_{\text{усл}}^+)'$. Если этот временной интервал не ограничен входными условиями, перейти к п. 7 в противоположном случае — к п. 6.

6. В том случае, если $\tau_{\alpha}^i \leq (t_{\text{усл}}^+)'$, перейти к п. 12, в противном случае — к п. 4.

7. Вычислить $(t'_{\text{с.усл}})_{\min}$ и $(t'_{\text{с.усл}})_{\max}$.

8. Изменить показания шкал времени срабатывания i -го ЛЭ, записав в S_i^1 — $T = (t'_{\text{с.усл}})_{\min}$, а в S_i^2 — $T = (t'_{\text{с.усл}})_{\max}$.

9. Скорректировать логическое состояние z_i и сформировать множество A' элементов, нагруженных на z_i . Перейти к п. 4.

10. Если $A' \neq \emptyset$, то $A := A'$; перейти к п. 3.

11. Вычислить $T_{\min} = \max_{\eta \geq i \geq 1} S_i^1$; $T_{\max} = \max_{\eta \geq i \geq 1} S_i^2$. Перейти к п. 13.

12. Сообщить о появлении некорректностей при обработке данного входного воздействия.

13. Выход.

Методика вычисления параметров срабатывания зависит от функции, реализуемой z_i . С целью сокращения времени моделирования множество A необходимо формировать из элементов, расположенных в порядке возрастания номеров и уровней срабатывания, на входах которых произошли изменения сигналов [3, 4], причем после моделирования каждого ЛЭ из A , изменившего свое логическое состояние на данном входном наборе, необходимо выполнить операцию объединения множеств A и A' и получить упорядоченное результирующее множество A . Для упорядочения по уровням срабатывания элементов замкнутого контура последовательностной асинхронной схемы без элементов памяти типа «триггер и линия задержки» идентификацию контура можно осуществить произвольным образом, так как место идентификации не влияет на результаты моделирования [5].

Так как с увеличением быстродействия интегральных схем задержки сигналов в линиях связи играют все большую роль в общей задержке распространения сигнала, для получения точного результата при определении длительности ПП необходимо учитывать не только временные параметры составляющих схему ИЭ, но и задержки сигналов в линиях связи, которые зависят как от длины линии связи, так и от числа контактов разъемов на линии и от некоторых параметров внешней среды. Рассматриваемый метод позволяет учитывать эти задержки на этапе расчета граничных моментов переключения сигналов на входах z'_i (рис. 2, б).

СПИСОК ЛИТЕРАТУРЫ

1. Chappel S. G., Yau S. S. Simulation of large asynchronous logic circuits using an ambiguous gate model. — AFIPS Conf. Proc., 1971, vol. 39, p. 651—662.
2. Иоффе М. И. Алгоритм событийного моделирования логических схем общего вида. — В кн.: Контроль цифровых схем, 1975, вып. 49, с. 54—56 (М.).
3. Золоторевич Л. А., Титюра А. Н. Упорядочение по рангам вершин ориентированного графа. — В кн.: Математическое обеспечение ЭВМ «Минск-32», 1975, вып. 15, с. 238—243 (Минск).
4. Золоторевич Л. А., Супрун В. П. Некоторые вопросы анализа последовательностных схем. — Вестник БГУ им. В. И. Ленина. Сер. 1, 1975, № 3, с. 14—18.

Поступила в редакцию
22 II 1977 (6 IX 1976)