

РОССИЙСКАЯ АКАДЕМИЯ НАУК

---

АВТОМАТИКА  
И  
ТЕЛЕМЕХАНИКА

(ОТДЕЛЬНЫЙ ОТТИСК)

---

МОСКВА · 1992

(Белгосуниверситет, Минск)

**ПЕРЕКЛЮЧАТЕЛЬНОЕ МОДЕЛИРОВАНИЕ И ТЕСТИРОВАНИЕ  
МОП-СТРУКТУР**

Появление новых технологий МОП, КМОП создания сверхбольших и сверхскоростных интегральных схем, применение БИКМОП технологии требует проведения исследований, создания новых методов и программных средств моделирования таких устройств на уровне их иерархического представления. Это обусловлено новыми задачами, стоящими в области тестового диагностирования в связи с существенным расширением класса возможных неисправностей, большим размером объекта моделирования, отсутствием вентиляльных эквивалентов, что требует обеспечить возможность представления определенных фрагментов на переключательном уровне. Приводится исследование известных путей решения данной задачи и предлагается метод описания и моделирования иерархической структуры модифицированной сетью Петри.

**1. Введение**

В последнее время появилось много сообщений об исследованиях, проводимых в области тестового диагностирования МОП-структур. В работе [1] приводится достаточно обширный список публикаций по данной проблеме, дается краткий перечень рассматриваемых в них вопросов, но обобщений имеющихся результатов нет, как и не предлагаются конкретные пути их использования и развития.

В настоящей работе рассматриваются возможные направления практического решения задачи моделирования МОП-структур, в том числе и их неисправных модификаций, как одной из основных задач, возникающих при разработке средств тестового диагностирования. Приводятся особенности математического моделирования МОП-структур и недостатки классической теории моделирования цифровых структур. При этом акцентируется внимание на тех особенностях МОП-структур, которые не могут быть описаны в рамках сложившихся представлений вентильной теории цифрового моделирования. Ставится задача разработки метода и программных средств для моделирования МОП-структур, представленных на иерархическом уровне, когда задание некоторых фрагментов структуры возможно на транзисторном уровне, других – на уровне функциональных блоков. Подчеркивается актуальность данной задачи, приводится сравнение двух имеющихся в литературе методов переключательного моделирования МОП-структур [2–9]. Показано, что метод Брайента [6–9], основанный на построении неориентированного графа сети, направлен на моделирование чисто переключательной структуры, поэтому не может быть использован для решения задачи в указанной выше постановке. Подход, основанный на многозначной алгебре Хейеса [2–5], требует проведения дополнительных исследований для его практического использования, что и является одной из задач данной работы. Следует отметить, что в работах Хейеса на основе схемотехнического анализа функционирования МОП-структур, глубокого понимания физики происходящих в них процессов предложены имитационные логические модели компонентов этих структур в терминах "соединитель – ключ – аттенюатор", но не приведен метод взаимной увязки между собой этих моделей

в рамках единой модели схемы. Известный метод событийного моделирования цифровых устройств ориентирован на моделирование структур, состоящих из однонаправленных элементов, и не может быть применен в его классическом виде для моделирования МОП-структур, так как основным логическим элементом переключательной структуры является транзистор, моделируемый двунаправленным переключателем, что является в данном случае весьма существенным.

В качестве математической модели МОП-структуры в данной работе предлагается использовать модифицированную сеть Петри. Такая модель оказалась удобной для описания структуры в ее иерархическом представлении. Следует заметить, что имеются публикации с сообщениями о программных реализациях многозначного переключательного моделирования на основе идеи Хейеса [5], однако реализованные в них подходы практически не описаны или описаны крайне недостаточно.

## 2. Особенности МОП-структур и недостатки классической теории переключательного моделирования

Опыт применения классической теории цифровых устройств для синтеза и анализа современных цифровых систем на базе МОП-технологии показал, что данная теория обладает существенными недостатками и не позволяет эффективно решать практические задачи проектирования. Классическая теория логического моделирования была ориентирована на исследование контактных схем электромеханических релейных устройств. В определенной степени она удовлетворяла на этапе вентильного представления цифровых устройств, что объяснялось, возможно, недостаточной проработкой вопросов, связанных с влиянием на функционирование структур дефектов, не описываемых моделью константной неисправности, а также сравнительно невысокими требованиями к надежности систем в целом.

Переход в интегральной схемотехнике к применению МОП-технологии, значительное повышение уровня интеграции и вместе с тем рост функциональной сложности изделий микроэлектроники поставили более высокие требования к обеспечению их функциональной надежности и качеству средств их диагностирования, что привело к необходимости создания новых подходов к решению задач проектирования и повышения адекватности методов их математического моделирования.

Проанализируем сформулированные в работе [4] особенности МОП-структур, влияющие на разработку математической модели. Одна из важнейших особенностей МОП-структур, связанная с двунаправленностью сигналов, может быть учтена в рамках традиционной вентильной теории включением дополнительных входов и выходов в элемент, имеющий двунаправленные выводы. Достаточно просто можно также промоделировать широко применяемую при проектировании МОП-структур монтажную логику включением фиктивного вентильного элемента. Не представляет труда учесть явление высокого импеданса путем расширения значности применяемого алфавита при моделировании сети в ее вентильном представлении. Однако при разработке моделей МОП-структур возникают сложности, которые принципиально нельзя решить при вентильном моделировании. Они заключаются в следующем.

1. При разработке средств тестового диагностирования МОП-структур нельзя обойтись традиционным моделированием константных неисправностей на входах и выходах функциональных блоков, так как существенная часть дефектов, возникающих в МОП-структурах, не описывается моделью неисправности константного типа на вентильном уровне. Для иллюстрации сказанного можно привести пример неисправности  $F_3$  обрыва входа  $x_2$  в переключательной структуре, реализующей функцию Вебба (рис. 1). Такая неисправность при вентильном представлении в рамках традиционного подхода описывается моделью константной неисправности типа  $\equiv 0$  на данном входе. При этом тестом для ее обнаружения является  $\{x_1, x_2\} = \{01\}$ . Однако схемотехнический анализ поведения структуры при обрыве входа  $x_2$  (в зависимости от места обрыва) показывает, что тестом для обнаружения неисправностей  $F_1, F_2$  и  $F_3$  является двухвекторный тест (табл. 1). При этом  $F_1$  обнаруживается любым из трех тестов:  $\{11-00\}, \{10-00\}$

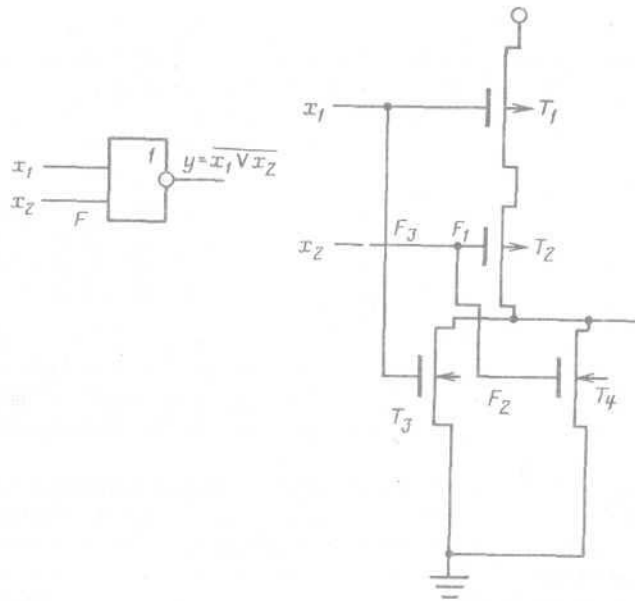


Рис. 1. Структура элемента Вебба с возможными неисправностями обрыва на входе  $x_2$

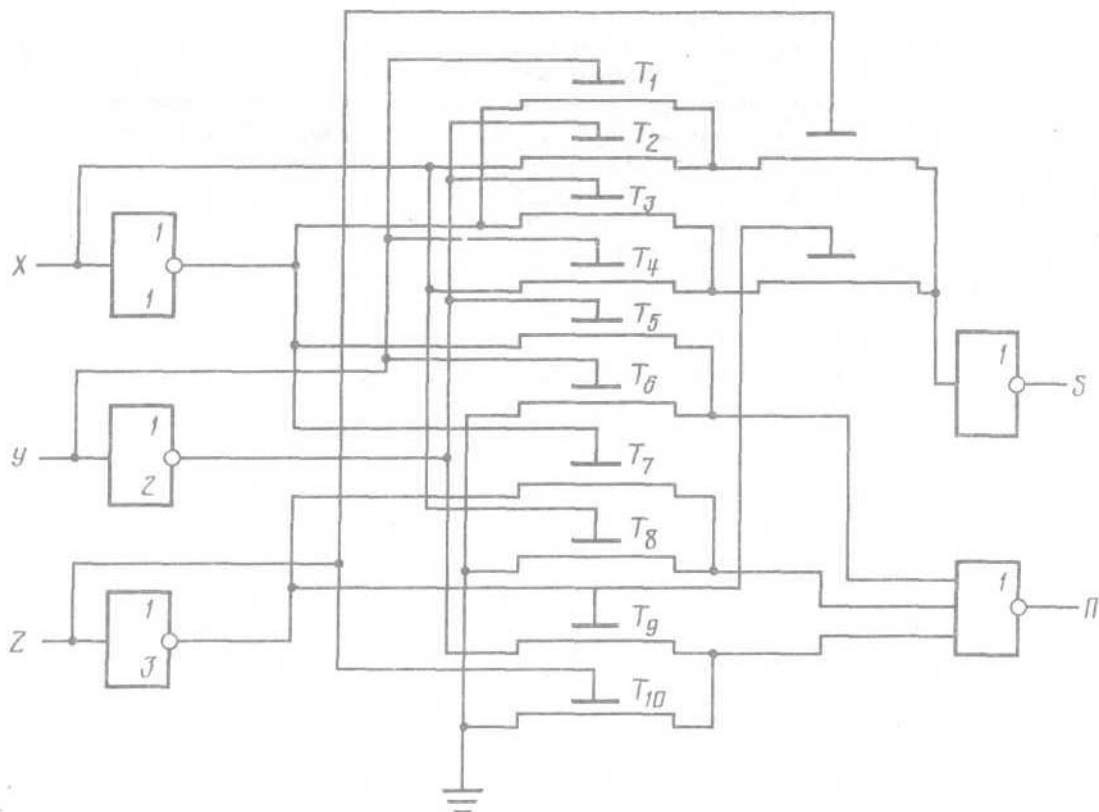


Рис. 2. Схема сумматора с проходными транзисторами

Результаты функционирования структуры (рис. 1) без неисправностей  
и с различными неисправностями обрыва на входе  $x_2$

$x_1$	$x_2$	$Y$	$T_1$	$T_2$	$T_3$	$T_4$	$Y_{F1}$	$T_1$	$T_2$	$T_3$	$T_4$	$Y_{F2}$	$T_1$	$T_2$	$T_3$	$T_4$	$Y_{F3}$	$T_1$	$T_2$	$T_3$	$T_4$
0	0	1	0	0	3	3	П	0	[]	3	3	1	0	0	3	[]	П	0	[]	3	[]
0	1	0	0	3	3	0	0	0	[]	3	0	П	0	3	3	[]	П	0	[]	3	[]
1	0	0	3	0	0	3	0	3	[]	0	3	0	3	0	0	[]	0	3	[]	0	[]
1	1	0	3	3	0	0	0	3	[]	0	0	0	3	3	0	[]	0	3	[]	0	[]

или {01–00},  $F_2$  – тестом {00–01},  $F_3$  – одним из двух тестов {10–00} или {11–00}. В табл. 1 символами "0" и "3" обозначены состояния "открыт" и "закрыт" соответствующего транзистора, знаком [] – состояние транзистора при обрыве затвора, "П" – предыдущее состояние линии.

Таким образом, генерация тестов путем моделирования константных неисправностей на вентиляльной модели не дает ожидаемого результата. С другой стороны, неисправности обрыва могут быть описаны константными неисправностями на уровне транзисторного представления структуры. В рассматриваемом примере обрыв  $F_1$  моделируется неисправностью  $\equiv 1$  на затворе транзистора  $p$ -типа  $T_2$ , а  $F_2$  – неисправностью  $\equiv 0$  на затворе транзистора  $n$ -типа  $T_3$ .

2. Вид применяемых на практике МОП-структур с проходными транзисторами, использование которых зачастую уменьшает сложность и улучшает характеристики МОП-схем, не имеет вентиляльного представления. На рис. 2 приведен пример схемы сумматора, для которой отсутствует вентиляльный эквивалент.

Указанные выше особенности МОП-структур приводят к необходимости перехода на уровень переключательного представления структуры при решении задач ее верификации и тестового диагностирования. Если учесть, что становится весьма актуальной задача моделирования БКМОП-структур, которые в последнее время получают широкое распространение на практике, то целесообразно решать задачу построения модели цифровой структуры на уровне функционально-переключательного представления, когда некоторые фрагменты раскрываются до уровня их транзисторного описания, другие задаются на уровне вентилях или крупных функциональных блоков.

Ниже анализируются альтернативные подходы к переключательному моделированию МОП-структур и предлагается один из возможных путей построения модели иерархической структуры в указанной выше постановке.

### 3. Исследование методов построения переключательных моделей МОП-структур

МОП-структура может быть представлена в виде переключательной  $RC$ -цепи и проанализирована с помощью обычной теории линейных цепей, если построить простую электрическую модель МОП-схемы путем представления транзисторов переключательного типа двухпозиционными переключателями, управляемыми напряжением, и элементов резистивного и емкостного типов обычными аналоговыми резисторами и емкостями (рис. 3). Резистор  $R$  моделирует нагрузочный транзистор, емкость  $C$  – паразитную емкость "затвор – подложка" нагрузочного каскада. Такой подход к моделированию МОП-структур, приведенный в работе [10], является более простым по сравнению с моделями, применяемыми в системах аналогового моделирования типа SPICE. Если заменить в такой модели значения сопротивлений и емкостей некоторым ограниченным набором дискретных величин, то перейдем на уровень переключательного моделирования. Это возможно вследствие того, что указанные величины существенно различаются между собой и оказывается достаточным сохранить только их порядок.

В литературе известны два метода логического моделирования МОП-структур на

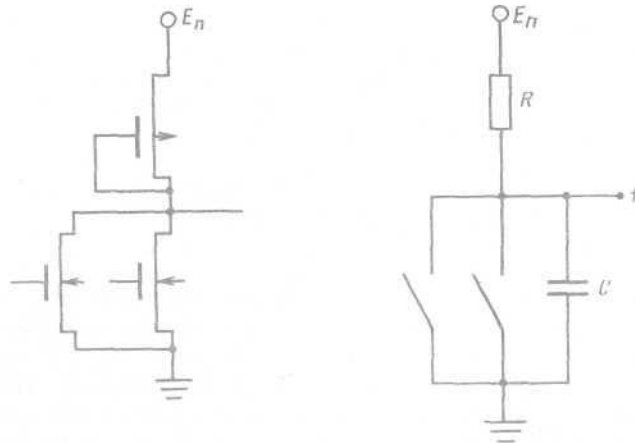


Рис. 3. Представление МОП-структуры элемента Вебба переключающей  $RC$ -цепью

переключательном уровне [2–9]. Эти методы основаны на стремлении сопоставить, косвенным образом отобразить и логически учесть относительные сопротивления участков проводящих цепей, процессы распределения заряда в узлах с различными величинами паразитных емкостей при формировании выходного сигнала. Метод Брайента [6–9] основан на построении неориентированного троичного переключательного графа со взвешенными вершинами и взвешенными ребрами. Вершины графа соответствуют узлам структуры, характеризующимся определенной относительной размерностью, ребра – транзисторам в открытом или неопределенном состоянии, характеризующимся относительной мощностью. Возбужденное состояние вершины определяется в терминах набора путей в неориентированном графе, которые соответствуют проводящим цепям, соединяющим источники сигналов с данной вершиной.

Построенный троичный переключательный граф, соответствующий моделируемой структуре и моделируемому входному воздействию, состоит из множества путей, начинающихся в некоторой начальной вершине (корне) и оканчивающихся в конечной вершине. Так как любой путь в графе представляет собой последовательность сегментов, описывающих транзисторы в открытом или неопределенном состоянии, характеризующиеся определенной мощностью, то путь также характеризуется мощностью, которая приближенно моделирует электрический ток в соответствующей электрической цепи схемы. Величина тока ограничивается элементами цепи с минимальной электрической мощностью. Мощность пути  $P$ , начинающегося в корневой вершине, имеющей размер  $S_r$ , определяется следующим образом:

$$|P| = \min \{ S_r, R \},$$

где  $R$  – множество мощностей сегментов данного пути. Используется понятие неблокируемого пути. Если к заданной вершине имеется несколько путей, то тот путь, для которого не существует другого более мощного пути к данной вершине, является неблокируемым. Пусть, например, к  $i$ -й вершине ведут два неблокируемых пути  $P_1$  и  $P_2$  (рис. 4). Корневые вершины  $j_1$  и  $j_2$  представляют собой источники зарядов, воздействующие с одинаковой мощностью на узел  $i$ . Вычисление установившегося отклика схемы сводится к следующему соотношению:

$$Y_i = \text{lub} \{ Y_j \} = \begin{cases} 1, & \text{если все элементы из } \{ Y_j \} \text{ равны } 1; \\ 0, & \text{если все элементы из } \{ Y_j \} \text{ равны } 0; \\ x & \text{в противном случае,} \end{cases}$$

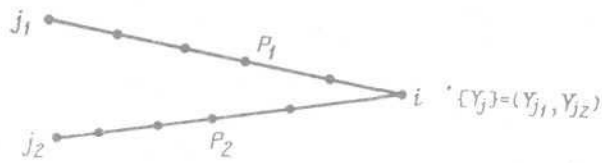


Рис. 4. Неблокируемые пути в троичном переключа-  
тельном графе, ведущие к вершине  $i$

где  $\text{lub}$  — наименьшая верхняя граница множества состояний корневых узлов  $\{Y_j\}$  неблокируемых путей, ведущих к  $i$ -й вершине в троичном переключаемом графе.

Таким образом, в соответствии с результатами работ [6, 11] задача сводится к построению неориентированного троичного переключаемого графа, выделению в нем неблокируемых путей и вычислению установившегося отклика. Очевидно, что метод направлен на моделирование структур, представленных только на переключаемом уровне, и не может быть непосредственно использован для решения задачи в указанной выше постановке.

Проанализируем практическую возможность использования основных результатов, предложенных в работах Хейеса [2–5]. Как и в предыдущем методе, Хейес предлагает логически сопоставить между собой и косвенным образом учесть величины токов, зарядов и сопротивлений. Сущность предложенного сводится к следующему.

1. Логический сигнал представляется двухкомпонентным вектором  $G_i$ , описывающим состояние и силу сигнала,  $G_i = (SS, S)$ ,  $SS \in M, M = \{0, 1, U, Z\}$ ;  $S \in N, N = \{1, 2, 3, \dots\}$ , что позволяет гибко наращивать значность применяемого алфавита моделирования в зависимости от класса моделируемых схем. Заметим, что неопределенное состояние сигнала  $U$  соответствует как состоянию начальной неопределенности, так и некоторому промежуточному уровню сигнала между состояниями 0 и 1, что возможно, например, при возникновении неисправности "постоянно открытый транзистор". Величина промежуточного сигнала определяется соотношением сопротивлений транзисторов, расположенных на проводящем пути.

В дальнейшем при организации процесса моделирования целесообразно выделить из состояния  $U$  состояние начальной неопределенности и обозначить отдельным символом  $X$  с наименьшим уровнем силы, а под состоянием  $U$  понимать состояние переключения уровней и промежуточное состояние сигнала. Если уровень минимальной силы равен 4, то получим 14-значный алфавит моделирования (табл. 2).

2. МОП-структура представляется как логическая взаимосвязь переключателей, аттенуаторов и источников постоянных и переменных статических и динамических сигналов. Эта взаимосвязь описывается посредством логического соединителя [2], моделирующего состояние сигнала на некоторой эквипотенциальной поверхности. Источниками постоянного статического сигнала являются питание и земля, переменного — входные цепи структуры. Динамическое поведение структуры определяющим образом зависит от паразитных емкостей, связанных с затворами нагрузочных элементов, хотя в общем заряд накапливается на паразитных емкостях, имеющих место между каждым выводом транзистора и подложкой. Как известно, эффект накопления и хранения заряда на линии в так называемом высокоимпедансном состоянии моделируется логическим конденсатором, функционирование которого описано диаграммой состояний в работе [4].

3. В качестве модели транзистора принимается управляемый переключатель, сопротивление которого в открытом состоянии зависит от типа и мощности соответствующего транзистора, но намного меньше сопротивления переключателя в закрытом состоянии и величины нагрузочного сопротивления. Для того чтобы сопоставить порядки величин сопротивлений в МОП-структуре, можно нагрузочному сопротивлению, роль которого играет транзистор, находящийся постоянно в полупроводящем состоянии, присвоить дискретное сопротивление, равное 1, ключевому транзистору в открытом

Кодировка сигналов при 14-значном моделировании

Логическое состояние сигнала	(1, 1)	(0, 1)	(u, 1)	(1, 2)	(0, 2)	(u, 2)	(1, 3)
Код сигнала (метка)	1	2	3	4	5	6	7
Логическое состояние сигнала	(0, 3)	(u, 3)	(1, 4)	(0, 4)	(u, 4)	(x, 4)	(z, 4)
Код сигнала (метка)	8	9	10	11	12	13	14

состоянии – 0, в закрытом – 2 [2]. В то же время известно, что сопротивление открытого транзистора  $n$ -типа меньше в 2,5 раза, чем сопротивление открытого транзистора  $p$ -типа. Для того чтобы учитывать и эти соотношения и более точно промоделировать ключевой транзистор, возможно заменить его последовательным соединением ключа и дискретного сопротивления, моделируемого аттенуатором с необходимым логическим сопротивлением.

В соответствии с требуемой точностью модели выбирается значность применяемого алфавита для представления сигнала. Ее можно поставить в соответствие с максимальным числом последовательно включенных открытых транзисторов, как предлагается в работе [12]. Однако в зависимости от класса моделируемых схем этого условия может быть недостаточно, так как общее сопротивление проводящей цепи зависит в общем случае не только от числа открытых транзисторов в данной цепи, как было указано выше, но и от величины их сопротивлений.

#### 4. Моделирование МОП-структуры на иерархическом уровне модифицированной сетью Петри

В разделе 2 дано обоснование необходимости разработки логических моделей МОП и БиКМОП-структур на уровне их иерархического представления. Это обусловлено, в первую очередь, тем, что адекватное моделирование неисправностей из расширенного класса, свойственных МОП-структурам, на вентиляльном уровне невозможно, что было выше показано на примере. Кроме того, ряд МОП-структур с проходными транзисторами не имеет вентиляльного представления. Моделировать же всю проектируемую структуру на переключательном уровне может оказаться необязательной, невозможной или малоэффективной процедурой.

Приведенный в разделе 3 анализ известных результатов в области моделирования цифровых структур на переключательном уровне позволяет сделать вывод о том, что задача разработки математической модели иерархической БиКМОП-структуры требует теоретического и практического решения.

Используем результаты Хейеса [2–5], относящиеся к построению логических моделей компонентов переключательной МОП-структуры. Учитывая то, что двунаправленность компонентов такой структуры не позволяет использовать метод событийного моделирования в его классическом виде, попытаемся построить сеть Петри и свести процесс моделирования структуры к выполнению сети Петри.

Для решения поставленной задачи будем использовать размеченную модифицированную сеть Петри. Теоретико-множественное представление размеченной сети Петри [13, 14] – это четверка вида  $C = (P, T, Y, m_0)$ , где  $P = (p_1, p_2, \dots, p_n)$  – непустое множество условий (позиций);  $T = (t_1, t_2, \dots, t_m)$  – непустое множество событий (переходов);  $Y \subseteq F \cup F_1$ ,  $F \subseteq P \times T \cup T \times P$  – отношение инцидентности, а  $F_1: P \times T \rightarrow \{0, 1\}$  – функция инцидентности;  $m_0: P \rightarrow \{0, 1\}$  – начальная разметка сети, ставя-



чая в соответствии в общем случае каждой позиции сети некоторое целое неотрицательное число.

Для каждого перехода  $t$  определяются комплекты входных позиций  $I(t)$  и выходных  $O(t)$ . Позиция  $p_i$  является входной позицией перехода  $t_j$  в том случае, если  $p_i \in I(t_j)$  и выходной при  $p_i \in O(t_j)$ .

В литературе известны различные подходы к построению сетей Петри. Учитывая практическую направленность решаемой задачи, ее большую размерность, а также принимая во внимание основной недостаток метода моделирования сложных систем сетями Петри – его громоздкость, введем формальные правила описания структуры цифрового устройства, представленного на иерархическом уровне, модифицированной сетью Петри, не содержащей указанного недостатка. С учетом того, что МОП-структуру можно рассматривать как логическую систему коммутации линий связи, причем эту функцию по коммутации сигналов выполняют в терминологии Хейеса [3, 4] соединители, множество соединителей иерархической структуры опишем множеством переходов  $T = (t_1, \dots, t_k)$ . Множество элементов, являющихся источниками сигналов или элементами, управляющими распространением сигналов в цепях, опишем множеством позиций (условий)  $P = (P_I \cup P_O \cup P_R \cup P_T \cup P_F \cup P_C)$ . Подмножество позиций  $P_I$  описывает источники постоянных и переменных сигналов, т.е. источник нуля, источник питания и источники входных сигналов моделируемой структуры; подмножеством позиций  $P_O$  описывает выходные сигналы (контрольные точки) схемы; подмножество позиций  $P_R$  описывает элементы резистивного типа; подмножество позиций  $P_T = (\bar{P}_T \cup \tilde{P}_T)$  описывает ключевые транзисторы  $n$ -типа ( $\bar{P}_T$ ) и транзисторы  $p$ -типа ( $\tilde{P}_T$ ); подмножество позиций  $P_F = (P_{F1} \cup P_{F2} \cup \dots \cup P_{Fi} \cup \dots \cup P_{Fk})$  описывает функциональные блоки моделируемой структуры, где  $P_{Fi}$  – подмножество позиций, описывающих функциональные блоки типа  $i$ ; подмножество позиций  $P_C$  описывает паразитные емкости МОП-структуры, моделируемые логическими конденсаторами в терминологии Хейеса. Заметим, что представление множества позиций сети в виде подмножеств необходимо в связи с введением в сеть системы разметки дуг по правилам, определенным ниже.

При описании модифицированной сетью Петри (рис. 5) иерархической структуры сумматора (рис. 2), содержащего вентиляльные элементы ИЛИ – НЕ и фрагмент на переключательном уровне, содержащий проходные транзисторы, множество позиций  $P = (P_I \cup P_O \cup P_T \cup P_{F1})$ , где  $P_I = \{p_i^1, p_i^2, p_i^3, p_i^4\}$  – позиции, описывающие источник постоянного нуля ( $p_i^1$ ) и источники входных сигналов схемы ( $p_i^2, p_i^3, p_i^4$ );  $P_O = \{p_o^1, p_o^2\}$  – позиции, описывающие выходные сигналы схемы;  $P_T = \{p_t^1, p_t^2, \dots, p_t^{12}\}$  – позиции, описывающие ключевые транзисторы  $n$ -типа;  $P_{F1} = \{p_{f1}^1, p_{f1}^2, \dots, p_{f1}^5\}$  – позиции, описывающие функциональные элементы ИЛИ – НЕ;  $P_R = \phi$ , так как в моделируемой схеме отсутствуют транзисторы, выполняющие роль нагрузочного сопротивления, что имеет место, к примеру, в  $n$ МОП-структурах. При построении сети Петри (рис. 5) не ставилась задача учесть динамические эффекты схемы и не вводились в рассматриваемую структуру (рис. 2) емкости, поэтому  $P_C = \phi$ .

В графовом представлении сети каждая позиция  $p_i \in P_T$  имеет три входные дуги и две выходные (или одну выходную дугу, если позиция описывает транзистор, один из выводов которого непосредственно соединен с источником питания или земли). Входная для позиции  $p_i$  дуга, соответствующая затвору транзистора, на графе сети отмечается двойной стрелкой. Позиция  $p_i \in P_I$  имеет одну выходную дугу, а  $p_i \in P_O$  имеет только входную дугу. Позиция  $p_i \in P_F$ , описывающая  $L$ -входные и  $r$ -выходные функциональные элементы, имеет  $L$  входных и  $r$  выходных дуг (описание блоков памяти имеет некоторые особенности).

Отличие построенной сети Петри заключается в том, что в структуру сети не закладываются реализуемые функции, как это делается, к примеру, в работе [15]. В связи с этим построенная сеть не отличается громоздкостью, существует формальный путь ее построения на основе структуры моделируемого устройства. Функции, выполняемые компонентами структуры, реализуются на уровне системы меток.

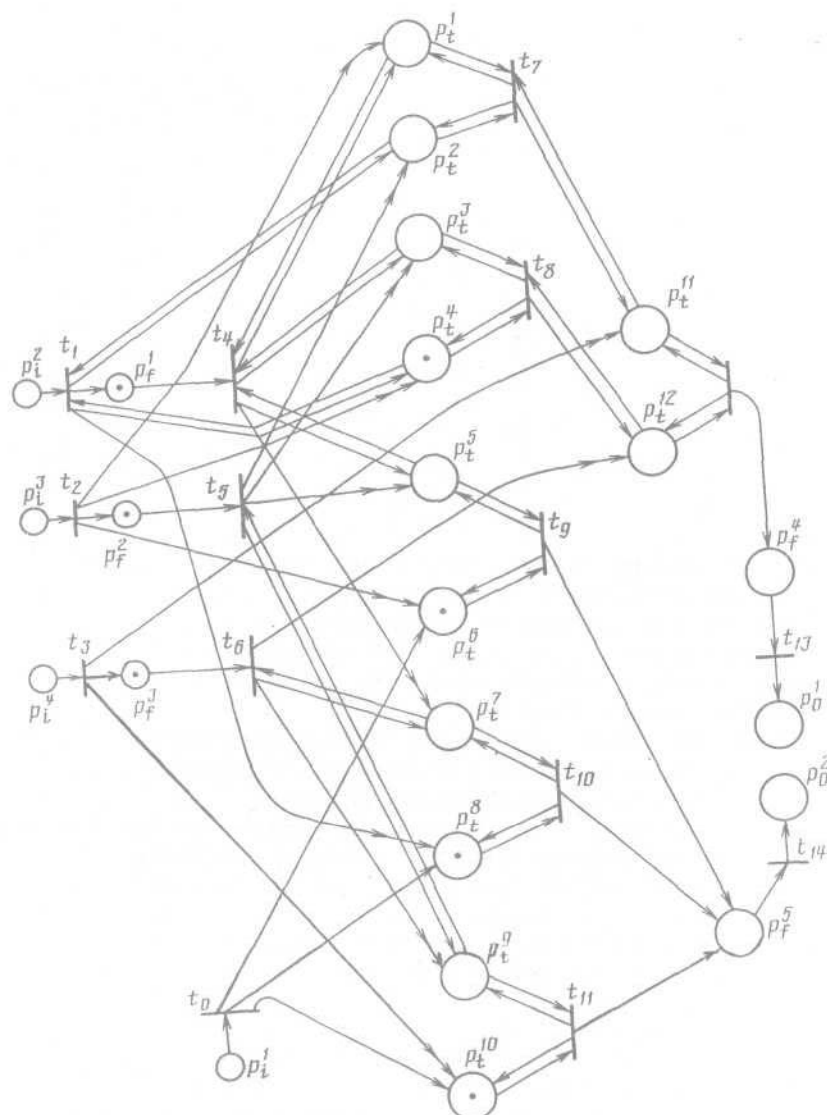


Рис. 5. Ориентированный двудольный граф сети Петри, описывающий схему сумматора (рис. 2)

Каждой дуге, которая является выходной для позиции  $p_i \in P$  и перехода  $t_j \in T$ , присписывается метка  $q = \{1, 2, \dots, 14\}$ , которая означает код логического состояния сигнала в соответствии с табл. 2 при 14-значном моделировании. Принятая система меток и правила запуска переходов позволяют при выполнении сети получать логические состояния коммутируемых линий связи иерархической структуры. Особенность построенной сети заключается в отличии от классического метода запуска переходов. Во-первых, переходы запускаются при наличии фишки хотя бы в одной входной позиции для данного перехода, т.е. в соответствии с правилом ИЛИ. Во-вторых, в обычной сети запуск перехода приводит к добавлению одной фишки в каждую выходную позицию и к ее удалению из входных позиций. В рассматриваемой же сети при запуске перехода фишки из входной позиции перехода убираются, но в выходные позиции может быть помещена фишка лишь в том случае, если изменилась метка выходной

Таблица 3

Правила вычисления меток исходящих из перехода дуг

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
1	1	3	3	1	1	1	1	1	1	1	1	1	1	1
2	3	2	3	2	2	2	2	2	2	2	2	2	2	2
3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
4	1	2	3	4	6	6	4	4	4	4	4	4	4	4
5	1	2	3	6	5	6	5	5	5	5	5	5	5	5
6	1	2	3	6	6	6	6	6	6	6	6	6	6	6
7	1	2	3	4	5	6	7	9	9	7	7	7	7	7
8	1	2	3	4	5	6	9	8	9	8	8	8	8	8
9	1	2	3	4	5	6	9	9	9	9	9	9	9	9
10	1	2	3	4	5	6	7	8	9	10	12	12	12	10
11	1	2	3	4	5	6	7	8	9	12	11	12	12	11
12	1	2	3	4	5	6	7	8	9	12	12	12	12	12
13	1	2	3	4	5	6	7	8	9	12	12	12	12	13
14	1	2	3	4	5	6	7	8	9	10	11	12	13	14

дуги для данного перехода. Таким образом, при запуске перехода осуществляется вычисление значений меток, приписанных исходящим из запускаемого перехода дугам. Если метка исходящей из запускаемого перехода дуги изменилась, то перерасчитываются также и метки дуг, исходящих из выходных для запускаемого перехода позиций. В выходную позицию фишка устанавливается в том случае, если изменилась метка выходной для данной позиции дуги.

Правила вычисления меток, связанных с дугами, исходящими из запускаемого перехода, определяются в соответствии с логикой работы соединителя [2–4] (табл. 3), исходя из меток, относящихся к входным дугам перехода.

Рассмотрим особенности вычисления меток, связанных с дугами, исходящими из позиции  $p_i \in P_T$ . Данная позиция описывает ключевой транзистор  $n$ -типа ( $p$ -типа). Метки дуг, исходящих из позиции  $p_i$ , могут измениться лишь при  $g_i \in \{1, 4, 7, 10\}$ , ( $g_i \in \{2, 5, 8, 11\}$ ), где  $g_i$  — метка, связанная с входной для данной позиции дугой, обозначенной на графе сети двойной стрелкой. В данном случае новые метки исходящих дуг определяются по правилам работы соединителя, исходя из меток двух других входящих в позицию дуг.

Для дуг, исходящих из  $p_i \in P_R$ , метки определяются в общем случае с учетом метки входной дуги  $m_{вх}$  и логического значения моделируемого сопротивления. При этом, если  $R = 1$ , то метка выходной дуги  $m_{вых} = m_{вх} + 3$  (см. табл. 2).

Для  $p_i \in P_F$  метки исходящих дуг определяются в соответствии с функцией, реализуемой на соответствующих выходах моделируемого данной позицией функционального блока.

Перед выполнением сети всем дугам приписывается метка 13, что означает состояние начальной неопределенности линии связи. Дугам, исходящим из позиции, описывающей источник постоянного 0, приписывается метка 2; дугам, исходящим из позиции, описывающей источник постоянной 1 (если такая есть в графе сети), приписывается метка 1.

Рассмотрим выполнение сети, приведенной на рис. 5. Начальные метки для всех дуг сети, кроме дуги, исходящей из позиции  $p_i^1$ , равны 13, что соответствует состоянию начальной неопределенности моделируемой структуры. Дуге, исходящей из позиции  $p_i^1$ , приписывается метка 2 (логическое состояние нуля, табл. 2).

Выполнение сети при  $(X, Y, Z) = (111)$  осуществляется следующим образом.

*1-й этап.* Начальная маркировка содержит одну фишку в позиции, описывающей источник постоянного сигнала (в нашем случае позиция  $p_i^1$ ). После запуска единственного разрешенного к запуску перехода  $t_0$  дуги, исходящие из перехода, получили

новую метку — 2. Метки дуг, исходящих из позиций  $p_t^6, p_t^8, p_t^{10}$ , не изменились. Поэтому фишки в позиции  $p_t^6, p_t^8, p_t^{10}$  не добавляются. Фишка из позиции  $p_i^1$  удаляется.

Разрешенных к запуску переходов нет.

*2-й этап.* Устанавливаем фишки в позиции  $p_i^2, p_i^3, p_i^4$ , а также присваиваем исходящим из указанных позиций дугам метки, соответствующие значению моделируемого входного состояния, т.е. (111).

Разрешенные к запуску переходы —  $t_1, t_2, t_3$ . После запуска перехода  $t_1$  метки дуг, исходящих из данного перехода, изменились с 13 на 1. Вычисляем новые метки дуг, исходящих из позиций  $p_f^1, p_t^2, p_t^4, p_t^8$ , являющихся выходными для перехода  $t_1$ . Метка выходной для  $p_f^1$  дуги изменилась с 13 на 2, так как данная позиция описывает инвертор. Устанавливаем фишку в позицию  $p_f^1$ . Метка выходной для позиции  $p_t^2$  дуги не изменилась, так как на данном этапе метка дуги с двойной стрелкой, входящей в позицию  $p_t^2$ , не равна 1. Фишка в позицию  $p_t^2$  не добавляется. По той же причине не добавляется фишка в позицию  $p_t^4$ . Метка выходной для позиции  $p_t^8$  дуги изменилась с 13 на 2, поэтому в позицию  $p_t^8$  добавляется фишка. После запуска перехода  $t_2$  изменяются метки его выходных дуг с 13 на 1, фишки добавляются в позиции  $p_t^4, p_f^2, p_t^6$ , так как метки исходящих из них дуг изменяются с 13 на 1, 2, 2 соответственно.

После запуска перехода  $t_3$  фишки добавляются в позиции  $p_f^3$  и  $p_t^{10}$  в связи с изменением меток выходных дуг.

Убираем фишки из позиции  $p_i^2, p_i^3, p_i^4$ . Маркировка сети в данный момент соответствует положению фишек на графе сети (рис. 5).

Разрешенные к запуску переходы —  $t_4, t_5, t_6, t_8, t_9, t_{10}, t_{11}, t_1$ .

*3-й этап.* После запуска переходов  $t_4, t_5, t_6, t_9, t_{10}, t_{11}$  метки исходящих из них дуг изменяются и становятся равными 2; после запуска перехода  $t_8$  метки исходящих дуг становятся равными 1. Запуск перехода  $t_1$  метки исходящих дуг не изменяет. Пересчитываются метки дуг, исходящих из позиций  $p_t^1, p_t^3, p_t^5, p_t^2, p_t^9, p_t^{12}, p_t^7, p_t^4, p_t^6, p_t^8, p_t^{10}, p_f^5$ , являющихся выходными для переходов  $t_4, t_5, t_6, t_8, t_9, t_{10}, t_{11}$ . В результате добавляется по одной фишке в позиции  $p_t^1, p_f^5$  и удаляются фишки из позиций  $p_f^1, p_f^2, p_f^3, p_t^4, p_t^6, p_t^8, p_t^{10}$ .

Разрешенные к запуску переходы —  $t_4, t_7, t_{14}$ .

*4-й этап.* После запуска перехода  $t_4$  метки исходящих дуг не изменились. После запуска перехода  $t_7$  метки исходящих дуг изменились и равны 2. После запуска перехода  $t_{14}$  метка исходящей дуги изменилась и стала равной 1. Вычисляем метки дуг, исходящих из позиций  $p_t^1, p_t^2, p_t^{11}$ . Добавляем по одной фишке в позиции  $p_t^{11}$  и  $p_o^2$ . Удаляем фишки из позиций  $p_i^1$  и  $p_f^5$ .

Разрешенный к запуску переход —  $t_{12}$ .

*5-й этап.* После запуска перехода  $t_{12}$  его выходные дуги получают метку 2, добавляется фишка в позицию  $p_f^4$  и удаляется из позиции  $p_t^{11}$ .

Разрешенный к запуску переход —  $t_{13}$ .

*6-й этап.* После запуска перехода  $t_{13}$  его исходящая дуга получает метку 1. Удаляется фишка из позиции  $p_f^4$  и добавляется в позицию  $p_o^1$ .

Разрешенных к запуску переходов нет. Результат моделирования определяется по меткам входных дуг выходных позиций  $p_o^1$  и  $p_o^2$  сети, которые равны 1. В соответствии с табл. 2 результат моделирования равен логическому состоянию (11).

Для моделирования динамики устройства в сеть может быть введен в рассмотрение параметр времени. Время может вводиться в детерминированном виде или рассчитывается в соответствии с заданным законом вероятностного распределения. Ввод времени в сеть Петри для повышения точности моделирования связан с тем, что переход сети из состояния с маркировкой  $m_0$  в некоторое новое состояние, определяемое маркировкой  $m_1$ , происходит не мгновенно, а через некоторый промежуток времени  $t$ , который определяет время, необходимое для свершения определенного события (перехода), которое является результатом определенной деятельности, выполняемой системой, когда она находится в состоянии, обозначенном маркировкой  $m_0$ .

Введение параметра времени может быть просто осуществлено в рамках принятой системы маркировки дуг сети. Метка дуги, характеризующая логическое состояние соответствующей линии связи, может представлять собой двухэлементный вектор (код сигнала, время) или трехэлементный вектор (код сигнала,  $t_{\min}$ ,  $t_{\max}$ ). Это позволяет описывать динамику функционирования МОП-структур. Для того чтобы моделировать динамику схемы, в том числе и с учетом диапазонов флуктуаций задержек компонентов, запуск переходов должен упорядочиваться по времени "созревания" условий для запуска, т.е. в соответствии с временными компонентами двухэлементных векторов меток входных дуг. Динамическое моделирование МОП-структур является предметом отдельного рассмотрения.

Описанный выше метод моделирования иерархических схем, основанный на выполнении сети Петри, реализован на ПЭВМ типа IBM PC на языке S. Полученные результаты на ряде примеров подтвердили его работоспособность.

## 5. Заключение

В работе предложен метод моделирования МОП, КМОП и БиКМОП-структур, представленных на иерархическом уровне, когда некоторые фрагменты описаны на переключательном уровне, другие – на уровне функциональных блоков. Решение задачи сводится к выполнению сети Петри, построенной на основе моделируемой структуры. Используется многозначная алгебра Хейеса для вычисления меток дуг рассматриваемой сети Петри. Положительным является тот факт, что построение сети Петри на основе структуры является формальной процедурой. Разработан язык описания иерархических структур, транслятор с языка. Комплекс программ моделирования, созданный на базе описанного метода, в настоящее время дорабатывается в части моделирования неисправностей и создания необходимой инфраструктуры.

## СПИСОК ЛИТЕРАТУРЫ

1. Вейцман И.Н., Кондратьева О.М. Тестирование КМОП-схем//Авт. 1991. № 2. С. 3–34.
2. Hayes J.P. Fault modeling for digital MOS integrated circuits//IEEE Trans. Computer Aided Design. 1984. V. CAD-3. №3. P. 200–208.
3. Hayes J.P. An introduction to switch-level modelling//IEEE Design and Test Comput. 1987. V. 4. №4. P. 18–25.
4. Хейес Дж.П. Обобщенная теория переключательных схем и ее применение для проектирования СБИС//ТТИЭР. 1982. Т. 70. № 10. С. 5–19.
5. Kawai M., Hayes J.P. An experimental MOS fault simulation program CSASIM//ASM IEEE 21 st Design Automation Conference, 1984. P. 2–9.
6. Bryant R.E. A switch-level model and simulator for MOS digital systems//IEEE Trans Computers. 1984. V. C-33. № 2. P. 160–177.
7. Bryant R.E. MOSSIM: a switch-level simulator for MOS LSI//Proc. ACM/IEEE Design Automation Conf., 1981. P. 766–790.
8. Bryant R.E. A survey of switch-level algorithms//IEEE Design and Test. 1987. V. 4. №4. P. 26–40.
9. Bryant R.E., Schuster M.D. Performance evaluation of FMOSSIM concurrent switch-level fault simulator//Proc. ACM/IEEE Design Automation Conf. 1985. P. 715–719.
10. Terman C.J. Simulation tools for digital LSI design//PhD dissertation. MIT. Cambridge. Mass., 1983.
11. Лобунов В.С. Логическое моделирование МОП-структур на переключательном уровне модифицированным методом Брайента//Электронное моделирование. 1991. № 2. С. 62–66.
12. Козлов В.Н., Хатняев В.В. Принципы повышения адекватности логического моделирования шифровых интегральных МДП- и КМДП-схем // Электронное моделирование. 1990. Т. 12. № 1. С. 60–64.
13. Котов В.Е. Сети Петри. М.: Наука, 1984.
14. Питерсон Д. Теория сетей Петри и моделирование систем. М.: Мир, 1984.
15. Стефанов А.М., Фатхи В.А. Диагностическое моделирование на языке модифицированных сетей Петри//Изв. АН СССР. Техн. кибернетика. 1989. № 3. С. 115–122.

Поступила в редакцию 25.10.91