
ИНТЕЛЛЕКТУАЛЬНЫЕ
СИСТЕМЫ
АВТОМАТИЗИРОВАННОГО
ПРОЕКТИРОВАНИЯ
БОЛЬШИХ
И СВЕРХБОЛЬШИХ
ИНТЕГРАЛЬНЫХ
МИКРОСХЕМ

Под редакцией
В. А. МИЩЕНКО



Москва
«Радио и связь»
1988

ВЕРИФИКАЦИЯ ПРОЕКТОВ В ИСАПР

8.1. ПОСТАНОВКА ЗАДАЧИ И СОСТОЯНИЕ ПРОБЛЕМЫ

Методы автоматического синтеза структур БИС и СБИС базируются на идеализированном представлении о функционировании базовых компонент, не учитывающем динамики их переключения. В то же время на функционирование схемы существенное влияние оказывает ряд конструктивно-технологических факторов (точность технологии, коэффициенты разветвления по выходам и объединения по входам, длина линий связи и др.), а также дестабилизирующее воздействие внешней среды. Указанные факторы приводят к появлению диапазонов флуктуаций задержек компонент, к рассогласованию времен распространения сигналов в каналах связи, в результате чего возможно искажение закона функционирования устройства. Поэтому процесс проектирования в ИСАПР представляет собой последовательность этапов автоматического синтеза и анализа корректности спроектированной структуры. Предусматривается, как правило, двухуровневая структура системы верификации проектов, в которой подвергаются детальному исследованию базовые компоненты на этапе их проектирования (1-й уровень верификации) и осуществляется анализ временных соотношений сигналов на этапе проектирования БИС и СБИС, удовлетворяющие заданному закону функционирования (2-й уровень верификации).

Верификация на этапе создания и расширения элементной базы проекта базируется на построении адекватных моделей ком-

понент и направлена на исследование корректности логики, переходных процессов, влияния задержек сигналов на поведение блока, выявление критических режимов работы схемы в зависимости от соотношений задержек и их разбросов, оценку схемных решений, а также определение временных соотношений между входными сигналами блока, при выполнении которых обеспечивается его функциональная устойчивость.

Известно, что наиболее детальное исследование проектируемой схемы может быть проведено на схемотехническом уровне. В настоящее время на таком уровне возможно моделирование схем размером порядка десяти тысяч компонентов (резисторов, транзисторов), что составляет примерно около 1000—1500 элементов вентиляного типа. В то же время в качестве элемента компилятора в ИСАПР может выступать устройство размером порядка десятков тысяч таких элементов. Увеличение размеров моделируемого на схемотехническом уровне устройства ограничено вычислительными ресурсами современных ЭВМ, а также сложностью анализа большого объема получаемой при моделировании информации. В связи с этим для анализа корректности логического проекта находят применение методы квазистатического и динамического моделирования проектируемых устройств на логическом уровне.

Методы квазистатического анализа применяются в основном для проверки правильности реализуемой функции и детерминированности переключения устройства в новое состояние. К таким методам относятся методы, основанные на моделировании устройства в различных алфавитах без учета в явном виде задержек компонент. Общей особенностью методов структурного квазистатического анализа являются большая громоздкость и сложность соответствующих вычислительных процедур, ориентация на гипотетическое распределение задержек компонент схемы, что не позволяет проанализировать зависимость функциональной устойчивости устройства от значений его реальных конструктивно-технологических параметров и оценить дестабилизирующее влияние внешней среды. Эти методы преимущественное применение получили при анализе корректности тестов и построении тестов моделированием схемы на псевдослучайных входных последовательностях. Известен ряд методов и программных средств, позволяющих учитывать в явном виде номинальные значения задержек компонент при моделировании устройства [103, 122], метод моделирования с учетом фронта (времени нарастания), среза (времени спада) и номинального значения времени задержки. Вводятся минимальные и максимальные значения задержек. Из заданных пределов значения задержек нарастания и спада выбираются произвольно как фиксированные значения с помощью некоторой вероятностной модели, такой как гауссовское распределение, путем использования, например, метода Монте-Карло. В других работах для изучения импульсной помехоустойчивости и влияния внешних факторов на поведение цифрового устройства предла-

гается использовать разбиение уровня сигнала на несколько зон и повысить, таким образом, адекватность модели. Очевидно, что такой подход не позволяет предопределить поведение устройства в реальном спектре значений временных параметров компонент. Ниже дается сравнение известных методов математического описания динамики функционирования цифровых устройств. Излагается формальный метод описания переходных процессов при отсутствии на этапе проектирования информации о фактических задержках компонент [137, 44, 43] (см. § 8.4), который позволяет на этапе создания и пополнения элементной базы ИСАПР исследовать функционирование базовых элементов с учетом разбросов временных параметров компонент.

Верификация проекта БИС и СБИС на 2-м уровне также направлена на исследование вопросов функциональной устойчивости, однако методы моделирования, используемые на 1-м уровне верификации, здесь практически малоприменимы по следующим причинам. Большинство методов динамического анализа цифровых устройств и программных средств, разработанных на их основе, ориентировано на структуры из элементов типа вентиль — триггер и плохо настраиваются на моделирование устройств на уровне функционально сложных компонент. Как правило, подключение к системе моделирования нового элемента требует разработки программной модели его функционирования, что затрудняет процесс настройки системы на определенную элементную базу. Кроме того, на этапе проектирования СБИС разработчик часто находится в затруднении при выборе входных последовательностей для моделирования и при оценке их полноты. И наконец, низкое быстродействие имеющихся программных средств адекватного моделирования не позволяет обеспечить решение задачи анализа проектов СБИС с требуемой эффективностью.

Особенностью задачи анализа корректности проекта цифровой системы в условиях высокой степени интеграции является, во-первых, большой размер объекта анализа, что не позволяет раскрывать структуру составляющих функциональных блоков (элементов алфавита компилятора ИСАПР). Во-вторых, при проектировании на уровне стандартных базовых компонент, составляющих алфавит компилятора, предполагается, что все компоненты отлажены на адекватных моделях и их функциональная устойчивость не подлежит сомнению. В связи с этим при анализе корректности всей СБИС отпадает необходимость моделировать все ее компоненты с одинаковой степенью детализации. Это требует применения нетрадиционных подходов к решению задачи анализа СБИС.

Известно, что методы проектирования цифровых устройств подразделяются на два класса: методы проектирования по синхронной и асинхронной моделям. Проектирование схемы по синхронной модели применяется для повышения функциональной устойчивости проектируемого устройства и упрощения процесса проектирования. В то же время использование цепей внешней синхро-

низации связано с потерей быстродействия и другими нежелательными явлениями, которые необходимо учитывать на этапе проектирования. В настоящее время методы синтеза цифровых устройств по синхронной и асинхронной моделям являются конкурирующими. При любом подходе к проектированию возникают значительные трудности, связанные с обеспечением временной согласованности протекающих в устройстве процессов. При проектировании по асинхронной модели вопросы анализа временных аспектов решаются значительно сложнее и требуют программных средств верификации, как правило, основанных на адекватном моделировании. В то же время при проектировании синхронных схем вопрос корректного проектирования цепей синхронизации также является весьма важным, так как связан с обеспечением таких критериев качества проекта, как функциональная устойчивость и быстродействие.

Известны методы синтеза синхронных схем, функционирование которых не зависит от разбросов задержек сигналов в цепях их распространения. Это достигается за счет специальных проектных решений, наложения ограничений на изменение входных сигналов, а также выполнения определенных правил синхронизации устройства двумя или более несовмещенными синхросигналами. Такой подход к проектированию дает возможность использовать для проверки проекта упрощенные средства анализа. Однако область его применения ограничена частными решениями, существенными недостатками, связанными с введением дополнительных входных и выходных контактов, рядом налагаемых ограничений на изменение входных сигналов и другими ограничениями. В [148] приводятся временные соотношения, которым должны удовлетворять входные сигналы и сигналы синхронизации для того, чтобы обеспечить отсутствие критических состязаний. В [142] решается задача построения последовательностной схемы, надежность функционирования которой достигается, во-первых, за счет обеспечения максимального интервала следования синхросигналов, во-вторых, за счет ограничений на изменение внешних асинхронных сигналов, которые не должны изменяться более одного раза за период синхронизации.

Используемые приемы надежностного проектирования, как правило, приводят к значительному снижению быстродействия, что в ряде случаев имеет решающее значение. Но даже наряду с применением таких приемов проектирования целесообразно проанализировать, исчезают ли импульсные сигналы помехи в схеме до момента включения разрешающего сигнала синхронизации.

Проектируемые в настоящее время СБИС представляют собой структурно сложные системы взаимосвязанных функциональных блоков. Причем часто нельзя точно определить тип схемы. Одна ее часть является комбинационной, другая — последовательностной структурой, в синхронном устройстве могут оказаться несинхронизируемые фрагменты. Поэтому в ИСАПР предусматривается развитая система верификации проекта, включающая как средства моделирования цифровых структур общего вида с различной адекватностью, автоматизированного анализа результата моделирования, так и другие средства эффективной верификации проектов, так называемые средства экспресс-анализа.

8.2. ВЕРИФИКАЦИЯ ПРОЕКТА МЕТОДОМ СКАНИРОВАНИЯ СТРУКТУРЫ

В отличие от методов анализа функционирования проекта на основе данных моделирования, метод сканирования структуры является методом аналитической проверки логических путей и измерения ресурсов времени в различных точках пути [146, 145]. Этот метод позволяет проверять соответствие задержек распространения сигналов по линиям связи принятым при проектировании временным критериям, обеспечение условий для корректного переключения элементов схемы. Основным отличием метода сканирования структуры от методов моделирования является то, что логические функции, реализуемые элементами анализируемой структуры, не вычисляются, а элементы рассматриваются как блоки распространения изменений сигналов от их входов к выходам. Быстродействие метода зависит линейно от числа элементов структуры, поэтому время выполнения анализа оказывается приемлемым для устройств типа СБИС.

Метод анализа проекта сканированием структуры основывается на вычислении величины задержки самого длинного канала распространения сигнала в схеме и величины соответствующего ресурса времени. Причем предполагается, что любой путь распространения сигнала является потенциально критическим. Под ресурсом времени понимается длительность времени запаздывания или опережения изменения сигнала по отношению к запланированному времени.

Рассмотрим комбинационную структуру, приведенную на рис. 8.1. Задержки каждого элемента указаны непосредственно внутри блока наряду с идентификатором элемента. Предположим, что изменения сигналов на входных ли-

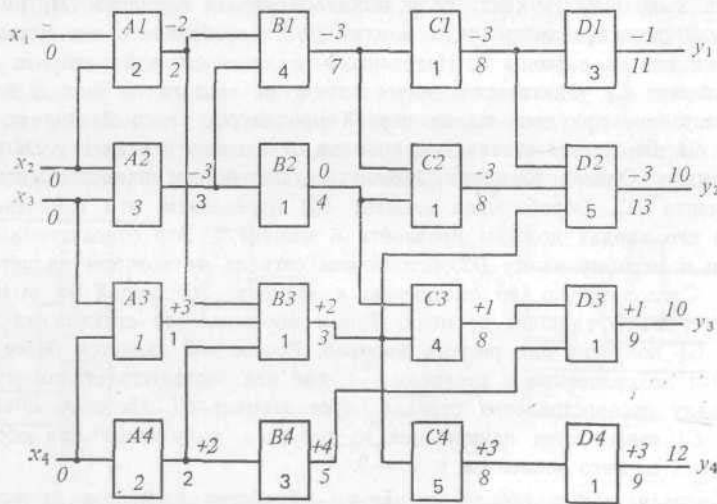


Рис. 8.1. Вычисление ресурсов времени изменения сигналов в цепях схемы

ниях происходят в момент 0 (время изменения сигнала указывается на рисунке под соответствующей линией). Анализ схемы методом сканирования предполагает два этапа обработки элементов. На первом этапе, называемом прямым распространением сигнала, осуществляется вычисление времени изменения сигналов на выходах элементов. При этом обработка элементов выполняется в порядке распространения сигналов по схеме. Вычисляемый момент изменения сигнала на выходе соответствующего элемента является суммой времени самого позднего изменения сигнала на входах элемента и времени задержки данного элемента. Так, на входах элемента *B1* изменения сигналов происходят в моменты 2 и 3, задержка элемента равна 4. Значит, момент изменения сигнала на выходе данного элемента, соответствующий максимальному пути, равен 7. Выполнив аналогичные вычисления максимально возможных моментов изменений сигналов на выходах каждого элемента, осуществим процедуру обратного распространения сигнала. Эта процедура позволяет проанализировать выполнение соотношений между запланированным и фактическим временами изменения сигналов на каждой линии схемы. Предположим, что изменения сигналов на выходах схемы y_1, y_2, y_3, y_4 запланированы в моменты 10, 10, 10 и 12 соответственно. Вычисленные на первом этапе моменты фактического изменения сигналов на выходах схемы равны 11, 13, 9, 9. Очевидно, что изменения сигналов на выходах y_1 и y_2 происходят с запаздыванием на 1 и 3 единицы времени по отношению к запланированному времени их изменения, а изменения на выходах y_3 и y_4 — с опережением на 1 и 3 единицы времени. Следовательно, с выходами y_1 и y_2 связываются отрицательные ресурсы времени, равные -1 и -3 , а с выходами y_3 и y_4 — положительные ресурсы, равные $+1$ и $+3$ (значения ресурсов на рисунке проставлены над линиями, с которыми связываются эти ресурсы). На этапе обратного распространения сигнала элементы обрабатываются в порядке, обратном принятому на этапе прямого распространения. При обработке очередного элемента вычисляются ресурсы времени для каждого сигнала, поступающего на его входы. Ресурс времени входного сигнала определяется задержкой элемента и требуемым временем изменения выходного сигнала. Если выходной сигнал элемента *D1*, имеющего задержку 3, должен измениться в момент 10, то требуемое время поступления сигнала на его вход равно 7. Источником входного сигнала элемента *D1* является элемент *C1*. Фактическое время изменения сигнала на выходе элемента *C1*, рассчитанное при выполнении первой процедуры, равно 8. Значит, выход элемента *C1* изменяется с запаздыванием по отношению к элементу *D1* на единицу времени. Однако элемент *C1* является источником входного сигнала и для элемента *D2*. Обработывая элемент *D2*, определяем, что изменения сигналов на его входах должны произойти в момент 5. Это относится в равной степени и к первому входу *D2*, источником сигнала на котором является элемент *C1*. Следовательно, по отношению к элементу *D2* сигнал на выходе *C1* запаздывает на 3 единицы времени. Таким образом, для сигнала на выходе элемента *C1* получено два ресурса времени. Ресурс -3 является более неблагоприятным по сравнению с ресурсом -1 , так как соответствует самому длинному каналу распространения сигнала через элемент *C1*. Поэтому с выходом элемента *C1* связывается наименьший из ресурсов, полученных при обработке нагруженных на него элементов, т. е. -3 .

Как первая, так и вторая процедуры обработки элементов выполняются за время, пропорциональное числу элементов схемы, и при ранжированной

структуре каждый элемент обрабатывается лишь один раз на этапе прямого и один раз на этапе обратного распространения сигналов.

Полученная информация о ресурсах времени изменения сигналов на выходах элементов используется для решения задачи оптимизационного характера по изменению временных параметров компонент структуры и продолжению процесса проектирования структуры, удовлетворяющей заданным временным критериям.

Метод сканирования структуры позволяет учесть задержку, дифференцированную в зависимости от вида переключения выходного сигнала, т. е. задержку на переключение элемента из 0 в 1 и из 1 в 0. При этом учитывается значение признака инвертируемости выходного сигнала элемента, которое используется при выполнении процедур сканирования структуры. В данном случае на этапе прямого распространения сигнала вычисляются одновременно две величины: первая является временем изменения выходного сигнала из 0 в 1, вторая — из 1 в 0. Причем первая величина для элемента инвертирующего (неинвертирующего) типа является суммой максимального значения времени переключения его входных сигналов из 1 в 0 (из 0 в 1) и времени задержки элемента при его переключении в 1. Вторая величина представляет для элемента инвертирующего (неинвертирующего) типа сумму максимального значения времени переключения его входных сигналов из 0 в 1 (из 1 в 0) и времени задержки элемента при его переключении в 0.

Следует заметить, что наличие элементов с существенно различными задержками на срабатывание в зависимости от входов делает целесообразным учитывать временные параметры элементов дифференцированно не только в зависимости от вида переключения, но и по каждому каналу распространения сигнала через элемент от входа к выходу. Рассмотрим процедуру прямого распространения сигнала для фрагмента схемы, приведенного на рис. 8.2,а. В отличие от рассмотренного выше примера, внутри блоков элементов приведены двумерные векторы, указывающие задержки элементов по каждому входу и виду переключения. Предположим, что на входы схемы воздействуют сигналы, при-

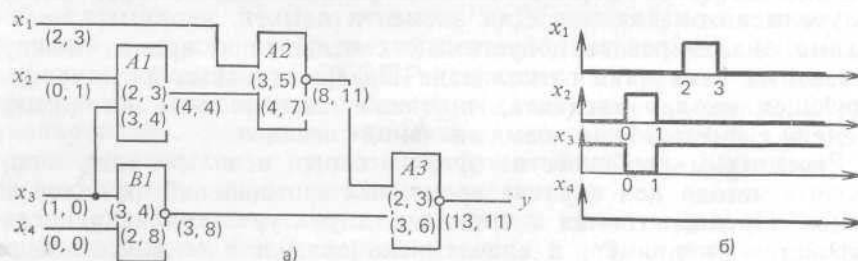


Рис. 8.2. Вычисление ресурсов времени изменения сигналов в цепях схемы с инвертирующими элементами:

а — фрагмент схемы; б — эпюры сигналов

веденные на временной диаграмме (рис. 8.2,б). Как и в предыдущем примере, на схеме под соответствующей линией связи указаны фактические моменты изменения сигналов. Рассмотрим вычисление времени изменения сигнала на выходе элемента *B1*. Так как это элемент инвертирующего типа, то первая компонента результирующего двумерного вектора представляет собой максимальное из двух чисел, первое из которых — сумма второй компоненты двумерного вектора, связанного с первым входом элемента (*0*) и первой компоненты двумерного вектора задержки элемента по данному входу (*3*), а второе — сумма второй компоненты, связанной со вторым входом (*0*) и первой компоненты вектора задержки элемента по второму входу (*2*). При вычислении второй компоненты используются первые компоненты входных векторов и вторые компоненты векторов задержки.

При выполнении процедур анализа учитывались фиксированные значения задержек элементов. Однако на этапе проектирования фактические задержки компонент неизвестны. Можно статистически определить лишь диапазоны времени возможного срабатывания элементов, которые зависят от ряда конструктивно-технологических факторов и дестабилизирующего воздействия внешней среды. В связи с этим для достижения требуемой адекватности результата наряду с вычислением номинальных значений времени изменения сигналов целесообразно рассчитывать также их средние квадратические отклонения.

Метод сканирования структуры позволяет определить временные несоответствия, при которых задержка распространения сигнала по одному из каналов связи, называемому критическим, превышает максимально заданную. Метод сканирования позволяет определить также критически короткий путь распространения сигнала в схеме, когда изменение сигнала происходит ранее запланированного момента времени. Таким образом, анализируется выполнение условий нормального совместного функционирования макроблоков во времени с учетом их временных характеристик. Временные соотношения между входными сигналами для каждого базового элемента на втором уровне верификации схемы известны. Они могут быть как введены в базу данных ИСАПР на этапе формирования алфавита компилятора, так и получены автоматически. Для элемента памяти, например, необходимо анализировать допустимые соотношения времен между моментами изменения сигналов на информационных и синхронизирующем входах элемента, а также длительность интервала времени существования новых значений сигналов.

Рассмотрим особенности практического использования описанного метода для анализа временных соотношений сигналов в схеме. Предполагаются заданными структура анализируемого устройства (например, в виде списка связности между элементами), временные параметры срабатывания элементов, временные параметры сигналов синхронизации (частота, скважность) и точки их идентификации. Логические функции, реализуемые эле-

ментами, не учитываются, но используется признак инвертируемости выходного сигнала элемента. Рассмотрим общее представление синхронной структуры (рис. 8.3) в виде последовательной цепи элементов, охваченных обратной

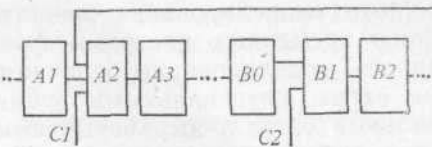


Рис. 8.3. Общее представление синхронной структуры

связью, на входы которых приходят сигналы синхронизации $C1$ и $C2$. Элементами структуры могут быть как элементы вентиляного типа, так и сложные функциональные блоки. Синхросигнал $C1$, поступающий на элемент $A2$ (как правило, элемент памяти), задает время распространения изменения сигнала на выходе элемента $A1$, а синхросигнал $C2$ определяет требуемое время поступления данного изменения на элемент $B1$. Синхросигнал $C2$ задает также время старта изменения сигнала на выходе элемента $B0$, сравнение которого произойдет затем на элементе $A2$.

Известные трудности возникают при анализе структур, генерирующих внутренние сигналы синхронизации.

8.3. ВЕРИФИКАЦИЯ ПРОЕКТОВ СБИС МЕТОДОМ МОДЕЛИРОВАНИЯ СТРУКТУР НА УРОВНЕ ПРИМИТИВОВ

Анализ проектов СБИС с помощью аналитического вычисления максимальной задержки и ресурса изменения сигнала в каналах распространения может эффективно использоваться для определения максимальной частоты функционирования синхронных структур при обеспечении их функциональной устойчивости. Однако для верификации проектов асинхронных СБИС применение данного метода не дает желаемого результата.

Известен метод верификации временных диаграмм СБИС, основанный на «примитивном» интервальном временном моделировании структуры [43, 56]. Отличием данного метода моделирования от интервального временного моделирования СБИС на элементном уровне [43] является то, что схема представляется на уровне элементов-примитивов. В зависимости от функциональной сложности, технологических особенностей, выполняемых функций и других соображений целесообразности все элементы алфавита компилятора ИСАПР делятся на группы элементов-примитивов, отличающихся исходным описанием условий функционирования. Элементы вентиляного типа объединены в одну группу, триггерные и другие устройства объединены, например, в другую группу, двунаправленные элементы — в третью и т. д. Моделирование схемы осуществляется в семизначном алфавите, включающем лог.0 и 1, переключение в 1 и 0, состояние изменения сигнала и его стабильное состояние, а также состояние неопределенности. Учитываются разбросы задержек элементов-примитивов, дифференцированные по входам и видам перехода.

Метод моделирования ориентирован прежде всего на верификацию временных диаграмм функционирования схемы. «Примитивное» моделирование отличается от описания функционирования схемы интервальными временными функциями [43], когда реальный сигнал, вырабатываемый в устройстве, представляется в виде двух множеств временных интервалов, на которых функция принимает значения 1 и 0. При «примитивном» моделировании сигналы на выходах элементов-примитивов некоторых групп могут описываться только множеством интервалов стабильного состояния сигнала или множеством интервалов состояния изменения. Это связано с тем, что сложные функциональные элементы, как и при исследовании проекта методом сканирования структуры, изложенным в § 8.2, представляются в виде блока задержек входных сигналов с заданными на некотором языке соотношениями между допустимыми моментами их изменений. Функция, реализуемая такими элементами, не вычисляется. На этапе их моделирования проверяются входные условия и определяется интервал времени изменения состояния выходов или их неизменное состояние.

«Примитивное» моделирование СБИС позволяет по сравнению с интервальным временным моделированием, изложенным в [43], более эффективно решать задачу верификации временных диаграмм за счет значительного упрощения моделирования ряда функционально сложных элементов, однако требует дополнительной проверки логики схемы.

8.4. АДЕКВАТНОЕ МОДЕЛИРОВАНИЕ НЕСТАНДАРТНЫХ КОМПОНЕНТ СБИС

Проанализируем существующие методы математического описания детерминированных процессов, протекающих в цифровом устройстве. В литературе известны методы формализации описания переходных процессов в цифровом устройстве при условии заданных фиксированных задержек компонент. Так, в [103, 79, 68, 142, 149, 145, 146] для этой цели используются временная булева алгебра, бесконечно-значная логика, теория векторно-временных переключательных функций. Рассмотрим особенности этих методов формального описания переключательных процессов.

Временная булева алгебра предназначена для описания динамических режимов функционирования цифровых устройств с учетом фиксированных задержек переключения составляющих компонент. Переход сигнала от значения i к значению j в момент t_i обозначается x_i^t , а переключательный процесс записывается в виде последовательности таких переходов. При анализе бинарных систем $x_{01} = \varepsilon$, $x_{10} = \sigma$. Переходный процесс записывается в данном случае последовательностью переходов следующим образом: $x(t) = x^{t_0}, \bar{x}^{t_1} x^{t_2}, \dots, x^{t_L}$, где $x \in \{\varepsilon, \sigma\}$. Отдельный импульс пред-

ставляется в виде логического произведения двух переходов, а последовательность импульсов — их логической суммой:

$$x(t) = \varepsilon^{t_0} \sigma^{t_1} \vee \varepsilon^{t_1} \sigma^{t_2} \vee \dots \vee \varepsilon^{t_{L-1}} \sigma^{t_L}.$$

Аналогично пауза записывается логической суммой двух последовательных изменений сигнала, а их последовательность — логическим произведением таких пауз:

$$x(t) = \varepsilon^{t_0} (\sigma^{t_1} \vee \varepsilon^{t_1}) \dots (\sigma^{t_{L-2}} \vee \varepsilon^{t_{L-1}}) \sigma^{t_L}.$$

В [79] временная двоичная последовательность описывается в виде множества M всех моментов времени, в которых сигнал имеет значение 1, т. е. для импульса $\varepsilon^{t_1} \sigma^{t_2}$ получим $M = [t_1, t_2]$. Булевым операциям конъюнкции, дизъюнкции и инверсии над переменными соответствуют теоретико-множественные операции пересечения, объединения и дополнения над множествами действительных чисел, соответствующими единичным значениям переменных. Введен оператор сдвига на величину T . Если $M = [t_1, t_2]$, то операция сдвига преобразует M в $M' = M + \{T\} = [t_1 + T, t_2 + T]$.

В работе [68], базирующейся на бесконечно-значной логике, изменение сигнала из 0 в 1 в момент α обозначается $1'_\alpha$, а изменение из 1 в 0 в момент β — $0'_\beta$. Импульс, начинающийся в момент α и заканчивающийся в момент β , записывается $1(\alpha, \beta)$, а соответствующая пауза — $0(\alpha, \beta)$.

Для результатов, изложенных в [103, 79, 68], характерно то, что все они базируются на описании переключающего процесса в виде некоторой функции, заданной множествами интервалов времени, на которых функция принимает значение 1 [79], или на избыточном описании множествами интервалов, на которых функция равна и 1 и 0. Отличаются рассматриваемые подходы лишь видом описания этих функций, от которого зависит предлагаемый аппарат для их преобразования, имеющий также много общего. Основным их недостатком является невозможность формального описания динамики переключения устройства при отсутствии на этапе проектирования информации о фактических задержках компонент устройства и наличии статистически определяемых разбросов этих параметров.

Ниже рассматривается метод формального описания поведения цифровых устройств в режиме переключения, основанный на введенных интервальных временных функциях [43].

Определим интервальную временную переменную (ИВП) как заданную строго возрастающую последовательность величин времени, стремящуюся к бесконечности $(t_1, t_1^*, \dots, t_i, t_i^*, \dots)$, и последовательность значений булевых величин $(\delta_0, \delta_0^*, \dots, \delta_i, \delta_i^*, \dots)$. При этом ИВП определяет сигнал, имеющий логическое значение δ_0 для $t < t_1$, значение δ_i для $t_i^* \leq t < t_{i+1}$ и значение δ_i^* для $t_i \leq t < t_i^*$, $t \in R$ (R — множество действительных чисел). Здесь $\delta_0, \dots, \delta_i$ — двоичные величины, а $\delta_0^*, \dots, \delta_i^*, \dots$ — неопределенные значения булевой переменной. ИВП определяется множествами

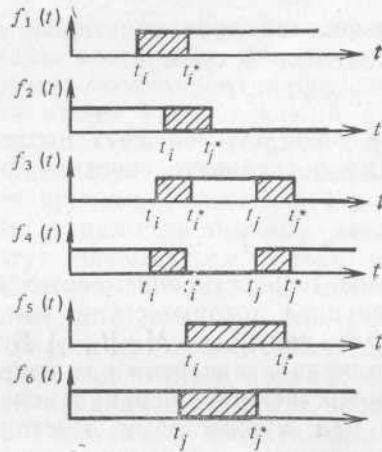


Рис. 8.4. Эпюры интервальных временных функций простых типов

интервалов, закрытых слева и открытых справа, в которых она принимает значение 1 и 0 соответственно (рис. 8.4). В отличие от временных булевых переменных, такое определение ИВП не является избыточным, так как в интервале времени $[t_i, t_i^*]$ значение переменной не определено.

Логические функции $f(t)$ от ИВП назовем интервальными временными функциями (ИВФ). Из определения ИВФ видно, что она сводится при $t_i = t_i^*$ к временной булевой функции. Множество ИВФ обозначим \mathcal{W} . На \mathcal{W} введем операции сложения, умножения и дополнения следующим образом.

а) Операция сложения: $\sigma(t) = f(t) + g(t)$, где $\sigma(t) : \sigma(t) = 1 \Leftrightarrow f(t) = 1$ или $g(t) = 1$, $\sigma(t) = 0 \Leftrightarrow f(t) = g(t) = 0$, $\sigma(t), f(t), g(t) \in \mathcal{W}$. В остальных случаях функция $\sigma(t)$ не определена.

б) Операция умножения: $\sigma(t) = f(t)g(t)$, где $\sigma(t) : \sigma(t) = 1 \Leftrightarrow f(t) = g(t) = 1$; $\sigma(t) = 0 \Leftrightarrow f(t) = 0$ или $g(t) = 0$; $\sigma(t), f(t), g(t) \in \mathcal{W}$. В остальных случаях функция $\sigma(t)$ не определена.

в) Операция дополнения: $f'(t) = g(t)$, где $g(t) : g(t) = 1 \Leftrightarrow f(t) = 0$; $g(t) = 0 \Leftrightarrow f(t) = 1$; $f(t), g(t) \in \mathcal{W}$. В остальных случаях функция $g(t)$ не определена.

Определение 8.1. Множество ИВП \mathcal{W} с определенными операциями сложения, умножения и дополнения назовем интервальной временной алгеброй (интервальной временной структурой) и обозначим $B = \langle \mathcal{W}, +, \cdot, - \rangle$, где $\langle + \rangle, \langle \cdot \rangle, \langle - \rangle$ — операции сложения, умножения и дополнения, определенные на множестве \mathcal{W} .

Назовем Δ -шагом с Δ -фронтом $[t_i, t_i^*]$ ИВФ $f(t) : \exists t_i, t_i^* \in \mathbb{R}, f(t) = 0$ для $t < t_i$ и $f(t) = 1$ для $t \geq t_i^*$. В интервале $[t_i, t_i^*]$ $f(t)$ не определена.

Аналогично Δ -контршагом с Δ -срезом $[t_j, t_j^*]$ называется ИВФ $f(t) : \exists t_j, t_j^* \in \mathbb{R}, f(t) = 1$ для $t < t_j$ и $f(t) = 0$ для $t \geq t_j^*$. В интервале $[t_j, t_j^*]$ $f(t)$ не определена. Прямоугольным Δ -импульсом называется ИВФ $f(t) : \exists t_i, t_i^*, t_j, t_j^* \in \mathbb{R}, f(t) = 1 (f(t) = 0)$ для $t_i^* \leq t < t_j$ $f(t) = 0 (f(t) = 1)$ для $t \geq t_j^*, t < t_i$; $t_i \leq t_i^* < t_j \leq t_j^*$. В интервалах $[t_i, t_i^*], [t_j, t_j^*]$ функция $f(t)$ не определена.

Единичным дребезгом называется ИВФ $f(t) : \exists t_i, t_i^* \in \mathbb{R}, f(t) = 0$ для $t \geq t_i^*$ и $t < t_i$; $t_i < t_i^*$. В интервале $[t_i, t_i^*]$ функция $f(t)$ не определена.

Нулевым дребезгом называется ИВФ $f(t) : \exists t_j, t_j^* \in R, f(t) = 1$ для $t \geq t_j^*$ и $t < t_j$; $t_j < t_j^*$. (В интервале времени $[t_j, t_j^*]$ $f(t)$ не определена.) На рис. 8.4 приведены эпюры ИВФ: Δ -шаг $f_1(t)$, Δ -контршаг $f_2(t)$, прямоугольные Δ -импульсы $f_3(t)$ и $f_4(t)$, единичный дребезг $f_5(t)$ и нулевой дребезг $f_6(t)$, представляющие простые типы ИВФ. Любой переходный процесс в цифровом устройстве с известными диапазонами задержек элементов можно описать в виде суперпозиции ИВФ простых типов. На рис. 8.5 показано представление реального сигнала, возникающего в устройстве, в виде ИВФ.

Определение 8.2. ИВФ называется стабилизированной, если $\exists t_i, t_i^*, t_j, t_j^*, f(t) = 1$ или $f(t) = 0$ для $t < t_i, t \geq t_i^*, t_i \leq t_i^* < t_j \leq t_j^*$. Здесь t_i, t_i^* — пороги стабилизации ИВФ $f(t)$ слева и справа соответственно.

Обозначим порог стабилизации функции $f(t) \in W$ слева (справа) через $PS^a(f(t))$ ($PS^b(f(t))$). Стабилизированными значениями слева и справа стабилизированной ИВФ $f(t)$ являются $VS^a(f(t))$ и $VS^b(f(t))$ — значения функции $f(t)$ для $t < PS^a(f(t))$ и $t > PS^b(f(t))$ соответственно.

Стабилизированной ИВФ описывается переходный процесс, возникающий в любой точке структуры, если в ней отсутствуют контурные связи, приводящие к генерации устройства. Переходные процессы в ряде контрольных точек можно характеризовать с помощью составной интервальной временной функции, являющейся векторным представлением набора ИВФ.

Расширим понятие стабилизированной ИВФ. Составную ИВФ будем называть стабилизированной, если все ее составляющие являются стабилизированными ИВФ.



Рис. 8.5. Представление реального сигнала в виде интервальной временной функции

Если

$$(W(t))_g = \begin{vmatrix} W_1(t) \\ \dots \\ W_i(t) \\ \dots \\ W_g(t) \end{vmatrix} \text{ — стабилизированная ИВФ, то}$$

$$PS^\alpha((W(t))_g) = \min_{i=1, \dots, g} \{PS^\alpha(W_i(t))\}; \quad PS^\beta((W(t))_g) = \max_{i=1, \dots, g} \{PS^\beta(W_i(t))\}.$$

$$VS^\alpha((W(t))_g) = \begin{vmatrix} VS^\alpha(W_1(t)) \\ \dots \\ VS^\alpha(W_i(t)) \\ \dots \\ VS^\alpha(W_g(t)) \end{vmatrix}, \quad VS^\beta((W(t))_g) = \begin{vmatrix} VS^\beta(W_1(t)) \\ \dots \\ VS^\beta(W_i(t)) \\ \dots \\ VS^\beta(W_g(t)) \end{vmatrix}.$$

Утверждение 8.1. Если $(W)_k$ — составная стабилизированная ИВФ, описывающая полное¹ состояние схемы, то максимальная длительность переходного процесса в схеме определяется интервалом времени, заключенным между порогами стабилизации слева и справа ИВФ $(W)_k: T_{\max} = |PS^\beta((W)_k) - PS^\alpha((W)_k)|$.

Введем в рассмотрение декомпозицию составной ИВФ. В дальнейшем при описании переходного процесса будем определять реакцию цифрового устройства на входное воздействие, описанное декомпозированной ИВФ. Определим условия декомпозиции ИВФ. Для этого рассмотрим ИВФ $U(t) \in W$ или $U(t) \in (W)_k$. Определим упорядоченное конечное множество действительных чисел (t_1, \dots, t_l) . Тогда под декомпозицией ИВФ $U(t)$, связанной с множеством (t_1, \dots, t_l) , будем понимать $l+1$ ИВФ, связанных правилом

$R: (U(t), (t_1, \dots, t_l)) \rightarrow (U^0, U_1, \dots, U^l)$, где

$$U^i(t) = \begin{cases} U(t) & \text{для } t_i < t < t_{i+1}; \\ U(t_i) & \text{для } t \leq t_i; \\ U(t_{i+1}) & \text{для } t \geq t_{i+1}; \end{cases}$$

$$U^0(t) = \begin{cases} U(t) & \text{для } t < t_1; \\ U(t_1) & \text{для } t \geq t_1; \end{cases} \quad U^l(t) = \begin{cases} U(t) & \text{для } t > t_l; \\ U(t_l) & \text{для } t \leq t_l. \end{cases}$$

Рассмотрим пример разделения. Предварительно приведем используемый способ описания ИВФ. ИВФ типа Δ -шаг с Δ -фронтом $[t_1, t_2]$ будем описывать $(t_1 - t_2)$, а Δ -контршаг с Δ -срезом — $[t_1, t_2] - (t'_1 - t'_2)$. ИВФ типа единичный или нулевой дребезг с интервалом неопределенности $[t_1, t_2]$ будем описывать в виде логического произведения $(t_1 - t_2)(t'_1 - t'_2)$ или логической суммы

¹ Под полным состоянием схемы будем понимать значение сигналов в каждый рассматриваемый момент на каждом входе и выходе каждого составляющего схему элемента.

$(t'_1 - t'_2) + (t_1 - t_2)$ соответственно. ИВФ общего вида будем описывать в виде логической суммы произведений функций типов Δ -шаг, Δ -контршаг и сигналов дребезга.

Рассмотрим пример. Пусть составная ИВФ $(W)_2$ имеет следующий вид:

$$(W(t))_2 = \left| \begin{array}{cc} (1-3) & (8'-9') + (15-20) \\ (5-7) & (15'-17') + (25-27) \end{array} \right|.$$

$$\begin{aligned} & \text{Вычислим для нее разделение } R(W(t))_2, (4; 7,5; 12; 20) = \\ & = \left| \begin{array}{c} (1-3) \\ A^0 \end{array} \right|; \left| \begin{array}{c} A^1 \\ (5-7) \end{array} \right|; \left| \begin{array}{c} 8'-9' \\ A^1 \end{array} \right|; \left| \begin{array}{c} (15-20) \\ (15'-17') \end{array} \right|; \left| \begin{array}{c} A^1 \\ (25-27) \end{array} \right|. \end{aligned}$$

Здесь A^0 и A^1 — функции, принимающие на любом временном интервале значения 0 и 1 соответственно.

Заметим, что для любой декомпозиции ИВФ характерно следующее свойство: если (U^0, \dots, U^l) — декомпозиция ИВФ $U(t)$ относительно моментов (t_1, \dots, t_l) , в которых $U(t)$ определена, то $VS^\beta(U^i) = VS^\alpha(U^{i+1})$, а $PS^\beta(U^i) < PS^\alpha(U^{i+1})$, $i=0, 1, \dots, l-1$.

При заданном множестве ИВФ $\{U^0, \dots, U^l\}$, в котором все составляющие ИВФ удовлетворяют отношениям указанного выше свойства, можно определить единственную ИВФ $U(t)$, для которой данное множество будет декомпозицией относительно (t_1, \dots, t_l) , где $t_i \in [PS^\beta(U^{i-1}), PS^\alpha(U^i)]$.

Для того чтобы восстановить ИВФ $U(t)$ по одной из ее декомпозиций, определим операцию $\lambda(W \rightarrow W)$: если $U^1, U^2 \in W$, $PS^\beta(U^1) < PS^\alpha(U^2)$ и $VS^\alpha(U^1) = VS^\beta(U^2)$, то

$$U^1 \lambda U^2 = \begin{cases} U^1 \cdot U^2 & \text{при } VS^\beta(U^1) = 1; \\ U^1 + U^2 & \text{при } VS^\beta(U^1) = 0. \end{cases}$$

В остальных случаях операция λ , называемая операцией присоединения, не определена. Применительно к составной ИВФ λ -операция выглядит так:

$$\left| \begin{array}{c} U^1 \\ \dots \\ U^l \end{array} \right| \lambda \left| \begin{array}{c} W^1 \\ \dots \\ W^l \end{array} \right| = \left| \begin{array}{c} U^1 \lambda W^1 \\ \dots \\ U^l \lambda W^l \end{array} \right|.$$

Утверждение 8.2. Если U^0, U^1, \dots, U^l — декомпозиция ИВФ $U(t)$, то $U(t) = U^0 \lambda U^1 \lambda \dots \lambda U^l$.

На основании данного утверждения восстановим ИВФ по одной из ее декомпозиций:

$$\begin{aligned} & \left| \begin{array}{c} (1-3) \\ A^0 \end{array} \right| \lambda \left| \begin{array}{c} A^1 \\ (5-7) \end{array} \right| \lambda \left| \begin{array}{c} (8'-9') \\ A^1 \end{array} \right| \lambda \left| \begin{array}{c} (15-20) \\ (15'-17') \end{array} \right| \lambda \left| \begin{array}{c} A^1 \\ (25-27) \end{array} \right| = \\ & = \left| \begin{array}{cc} (1-3)(8'-9') + (15-20) \\ (5-7)(15'-17') + (25-27) \end{array} \right|. \end{aligned}$$

Используем приведенную выше формализацию для описания реакции цифровой схемы на входное воздействие, представленное в виде ИВФ.

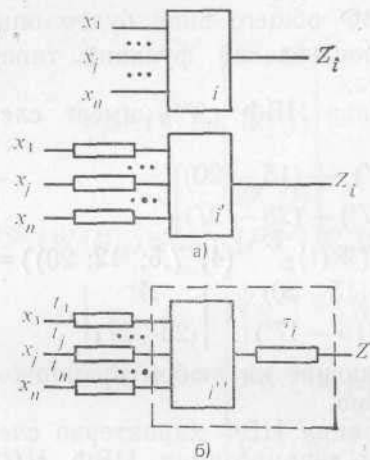


Рис. 8.6. Модель логического элемента

Представим цифровую схему в виде взаимосвязей между логическими элементами. Статистически определяемые граничные задержки распространения сигналов в элементе i обозначим $t_{i(j) \min}^0 (t_{i(j) \max}^0)$ и $t_{i(j) \min}^1 (t_{i(j) \max}^1)$. Здесь верхний индекс означает признак изменения сигнала в состоянии с 1(0), j — номер входа элемента. При равенстве задержек по различным входам индекс j опускается.

Логический элемент i представим в виде элемента i' , к j -й входной цепи которого подсоединена линия совершенной¹ задержки величиной t_j , расположенной в интервале времени, соответствующем граничным значениям паразитной за-

держки на определенное переключение элемента по данному входу (рис. 8.6). Учитывать различие величин задержек на срабатывание элемента в зависимости от входа необходимо в связи с появлением элементов с различными «порогами срабатывания». Для таких элементов существенно то, что достижение порога срабатывания происходит в разные моменты времени даже в том случае, если на все входы сигнал приходит одновременно.

Элемент i' мгновенно обрабатывает соответствующую логическую функцию, однако обладает определенными инерционными свойствами (рис. 8.6,а).

Принятая здесь модель элемента является более точной по сравнению с моделями, используемыми в [68, 137]. В этих работах элемент представляется в виде последовательного соединения идеального элемента и линии задержки, характеризующейся свойствами совершенной задержки. Известно, однако, что на практике не существует физических устройств, точно воспроизводящих поведение совершенной задержки. Поэтому паразитные задержки элементов будем полагать также и инерционными.

Вопрос о точном анализе и классификации различных типов инерционных задержек в зависимости от их поведения остается открытым [7]. Известно, что такая задержка реагирует на изменение входного сигнала спустя время t_{ii} и только в том случае, если за определенный период времени τ_i не произошло нового изменения на ее входе. Таким образом, если состояния входа и выхода инерционной задержки равны 1(0) в момент t_0 , а в мо-

¹ Совершенной задержкой называется такая задержка, которая преобразует входной сигнал $f(t)$ в выходной $f(t-t_j)$. Совершенную задержку обычно называют просто задержкой [20].

мент t_1 входной сигнал изменяет свое значение на противоположное, то выход такой задержки изменится в момент $t_1 + t_{i(t)}$, если длительность времени существования противоположного состояния входа $0(1)$ не меньше величины τ_i . В противном случае значение сигнала на выходе задержки не изменится. Величина инерционной переменной τ_i называется величиной высокочастотной отсечки элемента i .

Таким образом, элемент i' представляется в виде последовательного соединения идеального элемента i'' и инерционной задержки, которая не реагирует на изменение сигнала с частотой выше предельной, определяемой величиной τ_i , и не сдвигает сигнала во времени (рис. 8.6,б).

Аппроксимируя реальное функционирование элемента, опираясь на принятую его модель, будем считать, что на входы элемента действуют сигналы, описываемые стабилизированными ИВФ, а элемент характеризуется временными параметрами:

$$m_1 = t_{i(t) \min}^1, \quad m_2 = t_{i(t) \max}^1, \quad n_1 = t_{i(t) \min}^0, \quad n_2 = t_{i(t) \max}^0,$$

которые в общем случае зависят от многих технологических и эксплуатационных факторов.

Задача моделирования элемента сводится к вычислению ИВФ, описывающей выходной сигнал. Приведем набор операторов, с помощью которых будет осуществляться преобразование ИВФ, описывающих воздействия на входах элемента.

Определим оператор линейного сдвига τ^{k_1, k_2} , $W \rightarrow W$, где $k_1, k_2 \in \tilde{R}$, $k_2 \gg k_1$, таким образом, что умножение ИВФ $g(t)$ на τ^{k_1, k_2} есть ИВФ, которая получается из $g(t)$ путем увеличения моментов $t_i, t_i^* \in \tilde{R}$, определяющих зоны неопределенности функции $g(t)$, на значения k_1 и k_2 соответственно. Приведем свойства τ^{k_1, k_2} :

1. Если $f(t), g(t) \in W$, то $\tau^{k_1, k_2}(f(t) + g(t)) = \tau^{k_1, k_2}f(t) + \tau^{k_1, k_2}g(t)$.
2. Если $f(t), g(t) \in W$, то $\tau^{k_1, k_2}(f(t)g(t)) = (\tau^{k_1, k_2}f(t)) \times (\tau^{k_1, k_2}g(t))$.
3. Если $f(t) \in W$, то $(\tau^{k_1, k_2}f(t))' = \tau^{k_1, k_2}f'(t)$.
4. Если $f(t) \in W$, то при $k_1 = k_2 = k$ $f(t) = \tau^{k_1, k_2}f(t-k)$.

Оператор линейного сдвига моделирует прохождение переключающего процесса, описанного ИВФ, через линию совершенной задержки, величина которой расположена в некотором диапазоне и не зависит от вида переключения.

Определим оператор симметричного сдвига $\tau^{m_1, m_2, n_1, n_2}$, $W \rightarrow W$, где $m_1, m_2, n_1, n_2 \in \tilde{R}$, $m_2 \gg m_1, n_2 \gg n_1$. В результате умножения ИВФ $g(t)$ на $\tau^{m_1, m_2, n_1, n_2}$ ИВФ $\hat{f}(t)$ получается следующим образом:

1) определяем декомпозицию ИВФ $g(t)$, все составляющие которой являются ИВФ типа Δ -шаг, Δ -контршаг, единичный или нулевой дребезг;

2) составляющие декомпозиции преобразуем с помощью оператора линейного сдвига τ^{k_1, k_2} , причем для ИВФ типа Δ -шаг $k_1=m_1, k_2=m_2$; контршаг $k_1=n_1, k_2=n_2$; единичный дребезг $k_1=m_1, k_2=n_2$; нулевой дребезг $k_1=n_1, k_2=m_2$;

3) если величина стабилизации справа первой преобразованной оператором линейного сдвига составляющей декомпозиции равна 1 (равна 0), то логически умножаем (складываем) первую и вторую преобразованные составляющие декомпозиции. Полученную в результате ИВФ логически умножаем или складываем соответственно с последующей преобразованной составляющей декомпозиции и т. д.

Оператор симметричного сдвига $\tau^{m_1, m_2, n_1, n_2}$ моделирует прохождение переключающего процесса через линию совершенной задержки, значение которой расположено в определенном диапазоне, зависящем от вида переключения. Очевидно, что воздействие оператора симметричного сдвига на ИВФ, в отличие от оператора линейного сдвига, может уменьшить кратность соответствующего переключающего процесса.

Для моделирования реакции элемента на входное воздействие, описанное ИВФ, в соответствии с принятой моделью элемента определим множество операторов преобразования $W \rightarrow W$:

$$\Omega (t_{i(j) \min}^1, t_{i(l) \max}^1, t_{i(j) \min}^0, t_{i(j) \max}^0) x_j = x_j'$$

Здесь x_j — преобразуемая ИВФ, описывающая входное воздействие. Для получения ИВФ x_j' необходимо выполнить линейный или симметричный сдвиг ИВФ x_j .

Определим множество операторов преобразования $W \rightarrow W$, которые будем называть операторами высокочастотной отсечки: $\Phi(\tau_i) z_i' = z_i$.

Для получения ИВФ z_i необходимо в ИВФ z_i' исключить единичные и нулевые дребезги с длительностью интервала неопределенности меньшей величины τ_i . Кроме того, исключаются каждые две соседние составляющие декомпозиции, для которых интервал времени, заключенный между порогами стабилизации слева первой составляющей и справа второй составляющей, меньше величины τ_j . Если z_i' — ИВФ, описывающая поведение i -го элемента, x_j — ИВФ, описывающая поведение элементов, являющихся источниками входных сигналов для i -го элемента, а Z_i' — логическая функция, реализуемая идеальным элементом, то реальное функционирование элемента можно описать с помощью композиции операторов преобразования $W \rightarrow W$: $\Phi(\tau_i) Z_i' \Omega x_j = z_i$.

Рассмотрим условия отсутствия ложного сигнала на выходах комбинационной схемы, входные сигналы которой описываются составной ИВФ $(X)_r$, выходные — $(Z)_q$. Декомпозиция функции $(X)_r \rightarrow (X^0, X^1, \dots, X^l)$. Справедливо следующее утверждение.

Утверждение 8.3. Если реакция схемы на входное воздействие, описываемое $(X)_r$, равна результату λ -операции присоединения

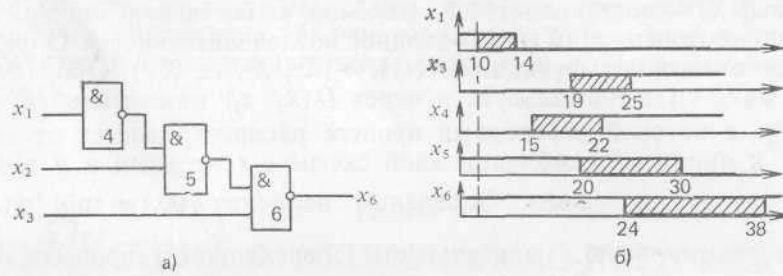


Рис. 8.7. Временное интервальное моделирование фрагмента схемы

реакций схемы, полученных на каждую составляющую X^i декомпозиции $(X)_r$, то комбинационная схема работает без ошибок, т. е. в ответ на простое переключение сигналов на входах происходят также простые переключения на выходах схемы.

Рассмотрим фрагмент схемы (рис. 8.7); временные параметры элементов

$$t_{i \min}^1 = t_{i \min}^0 = 5 \text{ нс}; t_{i \max}^1 = t_{i \max}^0 = 8 \text{ нс}; \tau_i = 5 \text{ нс}.$$

Пусть на входы схемы воздействуют сигналы, описываемые составной ИВФ

$$(X)_3 = \begin{vmatrix} (10' - 14') \\ A^1 \\ (19 - 25) \end{vmatrix}.$$

Рассмотрим декомпозицию

$$R((X)_3, (16)) = \begin{vmatrix} (10' - 14') \\ A^1 \\ A^0 \end{vmatrix}; \begin{vmatrix} A^0 \\ A^1 \\ (19 - 25) \end{vmatrix}.$$

Определим реакцию схемы в ответ на $(X)_3$ и на каждую составляющую X^0 и X^1 ее декомпозиции (рис. 8.7, б). В результате моделирования схемы получаем: $Z((X)_3) = (24' - 38') + (24 - 38)$; $Z(X^0) = A^1$; $Z(X^1) = A^1$. Очевидно, $(24' - 38') + (24 - 38) \neq A^1 \wedge A^1$. В данном случае условие безошибочного функционирования схемы не выполняется. На выходе схемы возможно появление сигнала нулевого дребезга. Если же на входы схемы воздействуют сигналы, представленные ИВФ,

$$(X)_3 = \begin{vmatrix} (10' - 14') \\ A \\ (27 - 33) \end{vmatrix},$$

то $Z((X)_3) = A^1$; $Z(X^0) = A^1$; $Z(X^1) = A^1$. Условия безошибочного функционирования схемы удовлетворены.

Рассмотрим условия отсутствия взаимного влияния реакций комбинационной схемы на каждую составляющую декомпозиции составной ИВФ, описывающей входную последовательность.

Пусть $Z(X)$ — составная ИВФ, моделирующая поведение комбинационной схемы, а $(X(t))_r$ — входной последовательности. Определим декомпозицию функции $(X(t))_r \rightarrow (X^0, X^1, \dots, X^l)$. Обозначим через $d(x_i, z_j)$ минимальную, а через $D(x_i, z_j)$ максимальную задержку, с которой переходный процесс распространяется от входа x_i к линии z_j комбинационной схемы с r входами и g выходами элементов схемы. Определим величину $\delta(x_i) = \min_{i=\overline{1, g}} \{d(x_i, \tilde{z}_j)\}$ — минимальную длительность переходного процесса и $\Delta(x_i) = \max_{i=\overline{1, g}} \{D(x_i, \tilde{z}_j)\}$ — максимальную длительность переходного процесса, возникающего на входе x_i . Для того чтобы реакции схемы в ответ на каждую составляющую разделения функции $(X)_r$ не накладывались во времени друг на друга, необходимо выполнить некоторые условия относительно каждой составляющей декомпозиции, сформулированные в следующем утверждении.

Утверждение 8.4. Если порог стабилизации справа ИВФ $\tilde{Z}_j(X)$, описывающей реакцию схемы в некоторой линии на определенную составляющую декомпозиции функции $(X(t))_r$, меньше порога стабилизации слева функции $\tilde{Z}_j(X)$, описывающей реакцию на каждую последующую составляющую данной декомпозиции, то взаимное влияние реакций схемы в ответ на заданное входное воздействие на данной линии отсутствует.

Иначе, если

$$\max_{i=\overline{1, n}} \{PS^{\beta}(X_i^k) + D(x_i, \tilde{z}_j)\} < \min_{i=\overline{1, n}} \{PS^{\alpha}(X_i^{k+1}) + d(x_i, \tilde{z}_j)\},$$

то условие отсутствия взаимного влияния реакций выполняется. Данное утверждение справедливо и для последовательностных схем. Проведение анализа проектируемого устройства на соблюдение данного условия позволяет строить устройства, имеющие максимальное быстродействие, определяемое технологией.

На базе введенных интервальных временных функций разработаны метод и программные средства интервального временного моделирования цифровых устройств общего вида с учетом разбросов задержек составляющих компонент и их зависимостей от вида переключения элементов. Эти средства позволяют достичь требуемой точности моделей и являются своеобразным программным инструментом для проведения испытаний проекта устройства. В том случае, когда решается задача проверки правильности реализуемой функции в статическом режиме, требуется меньшая точность моделирования. Часто применяют с этой целью троичное моделирование по Эйхельбергеру.

В [147] приведен эффективный метод троичного моделирования функциональных блоков, дающий более точные результаты по сравнению с моделированием по данному методу схем, представленных на вентиляльном уровне. Метод применим к функциональ-

ным блокам, структурные схемы которых заменяются функциональными описаниями, включающими их логические свойства и особенности функционирования, связанные с распределением задержек.