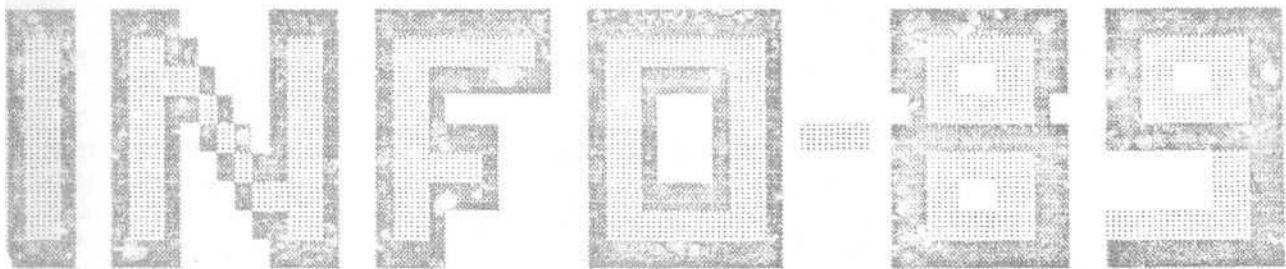


М И Н С К 1989

МЕЖДУНАРОДНЫЙ СИМПОЗИУМ

ТОМ 2

ЧАСТЬ I



PART I

VOLUME 2

INTERNATIONAL SYMPOSIUM

М И Н С К 1989

ОРГАНИЗАТОРЫ:

БЕЛОРУССКОЕ НАУЧНО - ПРОИЗВОДСТВЕННОЕ ОБЪЕДИНЕНИЕ ВЫЧИСЛИТЕЛЬНОЙ
ТЕХНИКИ - В/О "ЭКСПОЦЕНТР" - ЦК ВЛКСМ - ЦК ЛКСМБ - МИНСКИЙ ГОРОДСКОЙ
ЦЕНТР НТТМ ИМЕНИ П.М.МАШЕРОВА

ORGANIZERS:

BYELORUSSIAN RESEARCH AND PRODUCTION ASSOCIATION OF COMPUTERS
- ALL-UNION ASSOCIATION "EXPOCENTR" - CENTRAL COMMITTEE LENINIST
YOUNG COMMUNIST LEAGUE OF THE SOVIET UNION - CENTRAL COMMITTEE
LENINIST YOUNG COMMUNIST LEAGUE OF BYELORUSSIA - MINSK CITY CENTER
FOR CREATIVE SCIENTIFIC AND TECHNICAL WORK OF THE YOUNG PEOPLE
NAMED AFTER P.M.MASHEROV

РАЗРАБОТКА МЕТОДОВ ВЕРИФИКАЦИИ ПРОЕКТОВ СБИС И
ПП ЭВМ НА ИХ ОСНОВЕ

Л. А. Золоторевич

СССР, 220080, Минск, Ленинский проспект, 4.

Белорусский государственный университет им. В. И. Ленина

Существенное влияние на функционирование СБИС и устройств на их основе оказывают конструктивно-технологические факторы, воздействие которых приводит к резкому изменению величин задержек распространения сигналов в схеме по отношению к принятым на этапе функционально-логического проектирования. Предлагаются методы оценки корректности проектов таких устройств, основанные на применении интервальной временной алгебры (ИВА). ИВА позволяет описать функционирование устройства в условиях отсутствия информации о фактических величинах задержек компонентов структуры и линий связи и наличия статистически определяемых диапазонов их флуктуаций. Рассматриваются интервальные модели элементов, описывающие реализуемые функции с учетом разбросов задержек компонентов, а также модели, отражающие лишь свойства задержки сигнала на элементе и в линиях связи. Разработанные на их базе программные средства моделирования и верификации следует рассматривать как альтернативные средства исследования качества проекта.

DEVELOPMENT OF THE VERIFICATION METHODS FOR VLSI
DESIGN AND FOR PERSONAL COMPUTERS BASED ON VLSI

L. A. Zolotorevich

USSR, 220080, Minsk, Lenin avenue, 4.

Byelorussian State University named after V. I. Lenin

Constructive technological factors the effects of which result in significant change in circuit signal propagation delay values (relative to values adopted on the stage of functional logical design) effect significantly the function of VLSI and devices based on them. Correctness evaluation methods for designing of such devices based on the application of interval time logic (ITL) are proposed. ITL allows to describe unit functioning of devices in the absence of the information about

delay values of structure components and of interconnection lines and in the presence of their statistically defined fluctuation ranges. Interval element models describing functions which are realised taking into account component delays dispersions are described. Models representing only properties of signal delays in an element and in interconnection lines are also described. Software for simulation and verification designed on the base of these models should be looked upon as alternative tools for investigating the design quality.

Одной из важных особенностей функционально-логического проектирования сверхбольших (СБИС) и сверхскоростных (ССИС) интегральных схем и устройств на их основе в условиях современной интегральной схемотехники является существенное влияние конструктивно-технологических факторов на функциональную устойчивость устройства, что, в первую очередь, обусловлено соизмеримостью величин задержек компонентов схемы и задержек распространения сигналов в линиях связи. Это привело к изменению технологии проектирования и, в частности, технологии моделирования проекта на этапах функционально-логического и конструкторского проектирования, потребовало использования различных как по эффективности, так и по точности отображения процессов средств исследования корректности проекта.

В работе [1] предложена интервальная временная алгебра (ИВА), которая позволяет формализовать процесс описания динамики переключения цифрового устройства на этапе его проектирования в условиях отсутствия информации о фактических величинах задержек компонентов. ИВА позволяет построить модель схемы с учетом диапазонов флуктуаций задержек составляющих элементов, которые являются статистически определяемыми величинами и выражают влияние ряда конструктивно-технологических факторов и дестабилизирующее воздействие внешней среды на функционирование устройства. В терминах ИВА модель элемента \mathcal{L}_i представляется в виде композиции операторов преобразования интервальных временных функций, описывающих входной переключательный процесс:

$$\mathcal{F}(\tau_i) \mathcal{L}_i^T \Omega x_j = \mathcal{L}_i \quad (1)$$

Здесь x_j - составная интервальная временная функция, описывающая входное состояние элемента; Ω - оператор симметричного сдвига,

моделирующий прохождение переключательного процесса через линию простой задержки с величиной, расположенной в заданном диапазоне времени, зависящем от типа элемента, вида переключения сигнала, от номера входа; \mathcal{L}_i^I - оператор, описывающий реализуемую элементом функцию; $\tilde{\Phi}(\tau_i)$ - оператор высокочастотной отсечки элемента, моделирующий инерциальную составляющую задержки элемента; \mathcal{L}_i - интервальная временная функция, описывающая реакцию элемента на входное воздействие \mathcal{X}_j .

Модель элемента, описываемая соотношением (1), используется для адекватного отображения и динамических свойств схемы, и ее логики. Такая модель направлена, в первую очередь, на исследование проектов асинхронных схем с целью анализа согласованности во времени процессов распространения сигналов. Особенностью методов анализа корректности проектов, основанных на адекватном моделировании поведения устройств, является наряду с низким быстродействием необходимость определить последовательность изменений входных состояний, моделированием схемы на которых можно гарантировать корректность результата исследования. Разработчик зачастую оказывается в затруднении определить такую последовательность. Поэтому использование адекватных моделей и, в частности, интервальной временной модели, описываемой соотношением (1), должно обоснованно сочетаться с другими методами анализа.

В последнее время развитие получил подход, основанный на разделении этапов проверки правильности реализуемой функции в статике и анализа временных соотношений сигналов в структуре. Такой подход оказывается приемлемым при исследовании цифровых структур, построенных по синхронной модели, и позволяет использовать для анализа правильности реализации логики схемы наиболее простые достаточно разработанные теоретически и практически методы.

Рассмотрим возможность использования интервальных временных функций (ИВФ) [1] для описания динамики распространения сигналов в устройстве и разработки методов экспресс-анализа проектов, направленных на выявление ряда некорректностей временного характера со сравнительно небольшими затратами.

Предположим, что на используемую схему воздействуют входные состояния, описываемые составными ИВФ, каждая составляющая которых представляет собой тривиальную ИВФ типа Δ -шаг или Δ -контршаг. Промоделируем структуру, приняв при этом упрощенную

модель элемента, отражающую лишь его свойства задержки. Модель элемента в данном случае имеет следующий вид:

$$\mathcal{F}(\tau_i) \Omega x_j = z_i \quad (2)$$

Эта модель в отличие от (1) не включает оператора \mathcal{Z}_i^I , описывающего реализуемую элементом функцию. Каждый элемент моделируется один раз в порядке распространения сигналов. Результатом воздействия оператора на ИВФ, описывающую входной сигнал, является ИВФ типа Δ -шаг и Δ -контршаг, которые моделируют наименьший и наибольший пути распространения изменений сигналов от входов схемы к выходу моделируемого элемента при изменении на нем сигнала из 0 в 1 и из 1 в 0. Оператор $\mathcal{F}(\tau_i)$ моделирует прохождение переключательного процесса через линию инерциальной задержки. Метод позволяет при исследовании корректности проектов схем общего вида быстро проанализировать условия отсутствия рискованных сигналов в комбинационных фрагментах схемы. При исследовании схем, реализующих не полностью определенные булевы функции, возможно появление рискованного сигнала на нерабочих входных состояниях, что необходимо учитывать при окончательном решении вопроса о корректности реализации фрагмента структуры.

Если в выражении (2) опустить оператор $\mathcal{F}(\tau_i)$, то можно промоделировать влияние на переключательный процесс составляющих простой задержки элементов структуры синхронного типа, для которой рискованные сигналы оказывают существенно меньшее влияние на результат функционирования схемы:

$$\Omega x_j = z_i \quad (3)$$

Использование модели элемента, описываемой соотношением (3), позволяет определить и проанализировать критические цепи распространения сигналов в структуре. В работе [2] предложен метод блочного поиска критических цепей, процедура прямого прохода в котором соответствует процессу моделирования схемы в соответствии с моделью (3). В отличие от других методов при данном подходе отсутствует необходимость выделения всех путей, так как каждый путь считается потенциально-критическим. Решается задача поиска максимального и минимального путей распространения сигналов между элементами памяти. Для этого осуществляется декомпозиция схемы с целью выделения пар триггеров

"источник-приемник" с комбинационной логикой между триггерами. Затем проверяется, как согласуется минимальная длина пути с заданными параметрами синхронизации. Практическое использование метода, изложенного в работе [2] для исследования системы синхронизации, ограничивается следующими причинами. Существуют различные подходы к проектированию системы синхронизации. Синхронизация бывает одно-, двух- и многоуровневая. Практически во всех схемах сигналы внешней синхронизации поступают на элементы комбинационной логики и только после этого - на элементы памяти. Таким образом, элементы пары "источник-приемник" синхронизируются сигналами, сгенерированными внутри данной структуры. Поэтому временные параметры сигналов внутренней синхронизации зависят также и от типа временных параметров элементов цепей их формирования. В реальных структурах часто используется глобальная обратная связь, превращающая триггер-"источник" на определенном этапе в триггер-"приемник". Указанные особенности построения структур могут быть свойственны некоторой одной структуре.

Рассматриваются программные средства статической временной верификации цифровых структур, направленные на выявление линий, потенциально способных генерировать рисковые сигналы, определять критические пути в системе синхронизации, настраивать систему синхронизации на частоту, при которой обеспечивается функциональная устойчивость схемы.

ЛИТЕРАТУРА:

1. Золоторевич Л.А. Интервальная временная булева алгебра и ее применение для динамического анализа проектируемых устройств ЭВМ. - Автоматика и вычислительная техника, 1984, N 4, с.81-88.
2. Robert B.Hitchcock, Sr.Gordon L. Smith, David D. Cheng. Timing Analysis of Computer Hardware. IBM. J.Res.Develop., vol.26, N 1, Jan.1982, p.100-105.

СВЕДЕНИЯ ОБ АВТОРАХ:

Золоторевич Людмила Андреевна, кандидат технических наук, заведующая научно-исследовательской лабораторией математического моделирования в электронике БГУ им.В.И.Ленина, рабочий телефон 26-58-81.

АВТОМАТИЗИРОВАННОЕ ПРОЕКТИРОВАНИЕ ТЕСТОВ
 ДЛЯ ЦИФРОВЫХ УСТРОЙСТВ С ЭЛЕМЕНТАМИ БОЛЬШОЙ ИНТЕГРАЦИИ

Л.А.Золоторевич, А.Е.Люлькин

СССР, 220080, Минск, Ленинский проспект, 4

Белорусский государственный университет им. В.И.Ленина

Рассматриваются особенности цифровых устройств (ЦУ) БЭВМ как объекта тестового диагностирования, в частности, связанные с применением элементов большой интеграции: микропроцессоров, базовых матричных кристаллов, программируемых БИС с матричной структурой и др. В связи с этим возникают две основные проблемы: 1) описание класса допустимых неисправностей в таких элементах, т.е. построение математических моделей возможных физических дефектов; 2) разработка математических моделей элементов большой интеграции, ориентированных на решение задач, возникающих при построении тестов. Предлагаются решения указанных проблем для ЦУ на программируемых БИС с матричной структурой, а также для устройств, компоненты которых представлены на автоматном уровне. Обсуждаются вопросы практической реализации предложенных решений.

AUTOMATIC TEST GENERATION FOR A DIGITAL DEVICES
 OF LSI COMPONENTS

L.A.Zolotorevich, A.E.Lyulkin

USSR, 220080, Minsk, Lenin avenue, 4

Byelorussian State University named after V. I. Lenin

Characteristic features of personal computer digital devices as an object for testing (for example, features relating to the application of LSI components: microprocessors gate array, programmable array logic macro e.a.) are discussed. In this connection two main problems arise: 1) the description of the allowable fault class in such elements, i.e. constructing of a mathematical model of possible physical objects, 2) mathematical model design for LSI components oriented on the solution of the tasks arising in the test generation. The above problems solutions for digital devices based on programmable array logic macros and for the devices the components of which are presented on the automata level are presented. The problems relating to the practical realization of the proposed solutions are discussed.

Особенностью цифровых устройств (ЦУ) ПЭВМ как объектов тестового диагностирования является широкое использование элементов большой интеграции: микропроцессоров, базовых матричных кристаллов, программируемых БИС с матричной структурой и др. При разработке средств тестового диагностирования таких устройств возникают две основные проблемы. Одна из них состоит в описании класса допустимых неисправностей в используемых элементах, т.е. построении математических моделей возможных физических дефектов, которые не сводятся к известной модели константных неисправностей на полюсах элементов или даже в некоторой функционально эквивалентной схеме элемента. Применение новых моделей физических дефектов чаще всего влечет за собой необходимость развития методов и алгоритмов построения тестов.

Другая проблема определяется высокой функциональной сложностью данных элементов, что затрудняет применение для их описания известных математических моделей. Программные системы генерации тестов и анализа тестов на полноту, как правило, базировались на задании структуры взаимосвязей логических элементов малой и средней интеграции. Для описания логических элементов использовались универсальные формы представления булевых функций в виде ДНФ, КНФ и др. Система ДНФ (КНФ и др.) имеет компактное матричное представление [1], ориентированное на машинную обработку. В рамках указанного представления эффективно решаются различные задачи, возникающие при построении тестов (вычисление условий проявления логических неисправностей элемента на его выходных полюсах, транспортировки их через элемент, реакции элемента на входное воздействие, входного воздействия, обеспечивающего заданную реакцию и т.п.). Представление функций элемента в виде ДНФ (КНФ) позволяет описать любые логические неисправности в рамках данной модели.

Особенностью современного подхода к проектированию систем автоматизированного построения тестов является совмещение различных моделей элементов, компактно представляемых в памяти ЭВМ и позволяющих эффективно решать указанные выше задачи. К примеру, для представления таких элементов как программируемые БИС с матричной структурой (ПЛМ, программируемые ЦЗУ, программируемая матричная логика и т.п. [2]) удобной является модель в виде ДНФ, т.к. она позволяет отразить не только функциональные свойства элементов, но также их внутреннюю структуру (схе-

му расположения коммутирующих элементов - транзисторов) и, кроме того, в рамках данной модели легко представить типичные физические дефекты элементов. При этом для описания элементов, реализующих не полностью определенные булевы функции, может быть использовано интервальное представление функций. Рассматриваются вопросы представления базовых элементов устройств в виде автоматных моделей [3], диаграмм альтернативных решений и разработки в рамках указанных представлений методов моделирования неисправностей и анализа тестов на полноту.

Далее в докладе обсуждаются вопросы разработки и практического применения системы автоматизированного построения тестов (САПТ) для ЦУ на ПЛМ и других типах программируемых БИС с матричной структурой.

Объект диагностирования. САПТ ориентирована на достаточно широкий класс ЦУ, реализованных на ПЛМ: ПЛМ и одноуровневые сети из ПЛМ, которые строятся с целью расширения ПЛМ по числу выходов t и числу конъюнкций q ; ПЛМ с памятью (ПЛМП), в линиях обратной связи которой находятся синхронные D-триггеры; комбинационные сети общего вида из ПЛМ. В качестве модели ПЛМ в САПТ используется пара булевых матриц $M_1 = [m_{ij}^1]$, $M_2 = [m_{ik}^2]$, где $j = \overline{1, 2\Delta}$, $i = \overline{1, q}$, $k = \overline{1, t}$, Δ - число входов у ПЛМ, описывающих систему ДНФ булевых функций, реализуемых ПЛМ. Допускается наличие в сетях, кроме ПЛМ, других элементов, функции которых описаны системами ДНФ. Более того, по мере появления других типов программируемых элементов с матричной структурой выяснялось, что принятая модель ПЛМ может использоваться для описания данных элементов, а следовательно САПТ может непосредственно применяться для решения задач тестового диагностирования ЦУ, реализованных на указанных элементах. Ориентация САПТ на комбинационные сети из ПЛМ объясняется несколькими причинами: 1) большой сложностью устройств, реализованных на элементах большой интеграции; 2) необходимостью рассмотрения в ЦУ на базе программируемых микросхем неисправностей из расширенного класса по сравнению с классом константных неисправностей. По указанным причинам для обеспечения удовлетворительного решения задачи построения тестов проектирование устройств такого типа должно выполняться с учетом их дальнейшей контролепригодности, например, по методу LSSD, что позволяет свести задачу построения тестов для

последовательностных устройств к аналогичной задаче для комбинационных устройств.

Класс рассматриваемых неисправностей. Как известно [4 - 6], особенностью программируемых матричных БИС, которую необходимо учитывать при построении тестов, является значительное расширение класса допустимых неисправностей. Расширение класса допустимых неисправностей происходит за счет неисправностей настройки, а также мостиковых неисправностей и других дефектов в структуре программируемой интегральной схемы. Учитывая, что тест для одиночных неисправностей настройки ПЛМ обладает хорошими проверяющими возможностями и в других классах возможных неисправностей, ограничимся при построении тестов для ПЛМ рассмотрением одиночных неисправностей настройки. При построении тестов для логических сетей из программируемых элементов будем рассматривать также константные неисправности на входных и выходных полюсах сети и элементов, на которых построена сеть.

Задачи, решаемые САПТ. К основным задачам, для решения которых создана САПТ, относятся построение проверяющего теста и анализ заданного теста на полноту в классе допустимых неисправностей. САПТ может быть использована также для получения выходной документации на тест (таблицы с тестом, содержащей последовательность входных воздействий и соответствующих выходных реакций исправного ЦУ; списка необнаружимых неисправностей; списка обнаруженных неисправностей и т.п.), определения в ряде случаев избыточности в реализации ЦУ и др.

Методы решения основных задач. Для решения основных задач разработаны и реализованы в САПТ в основном оригинальные методы и алгоритмы, ориентированные на расширенный класс неисправностей и учитывающие регулярную структуру программируемых матричных БИС [4 - 5]. Для повышения эффективности САПТ и экспериментального исследования разработанных методов и алгоритмов в системе также реализованы известные методы построения и анализа на полноту проверяющих тестов, а также их модификации, направленные на повышение эффективности вычислительного процесса и учитывающие принятую матричную модель элементов (эвристический метод построения проверяющего теста ПЛМ, параллельное моделирование константных неисправностей в логических сетях, модификация метода существенных путей со структурным подходом к вычислению условий транспортировки неисправности к выходным

полюсам сети).

Для построения проверяющего теста ПЛМ в САПР реализованы три метода: вероятностный, регулярный и эвристический. Наличие нескольких методов построения теста для ПЛМ обусловлено различной их эффективностью при построении тестов для различных настроек ПЛМ.

ЛИТЕРАТУРА:

1. Закревский А.Д. Логический синтез каскадных схем. - М.: Наука, 1981. - 414 с.

2. Баранов С.И., Скляр В.А. Цифровые устройства на программируемых БИС матричной структурой. - М.: Радио и связь, 1986. - 272 с.

3. Золоторевич Л.А., Опанасенко В.Г. Исследование полноты тестов для цифровых устройств из элементов, представленных на автоматном уровне // Проблемы качества и надежности изделий электронной техники, РЭА и средств управления: Тез. докл. научн. - техн. конф. - Минск, 1988. - С. 153 - 154.

4. Люлькин А.Е., Павлова Т.Г. Синтез тестов для программируемых логических матриц // Микроэлектроника. - 1983. - Т. 12, № 4. - С. 299 - 305.

5. Люлькин А.Е. К тестовой проверке ПЛМ с памятью // Микроэлектроника. - 1986. - Т. 15, № 4. - С. 299 - 307.

СВЕДЕНИЯ ОБ АВТОРАХ

ЗОЛОТОРЕВИЧ Людмила Андреевна, зав. НИИ математического моделирования в электронике, к.т.н., тел. раб. 26-58-81, тел. дом. 64-37-59.

ЛЮЛЬКИН Аркадий Ефимович, старший научный сотрудник, тел. раб. 26-57-08, тел. дом. 48-12-69.