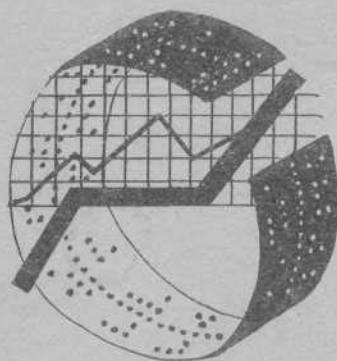


Общество "Знание" РСФСР

Московский Дом научно-технической пропаганды
имени Ф.Э. Дзержинского



"МАШИННОЕ МОДЕЛИРОВАНИЕ"

1979

РЕШЕНИЕ ПРАКТИЧЕСКИХ ЗАДАЧ ДИНАМИЧЕСКОГО АНАЛИЗА
ПРОЕКТИРУЕМЫХ БИС

В связи с увеличением сложности и степени интеграции проектируемых дискретных микроэлектронных устройств, применение моделирования для динамического анализа больших интегральных схем (БИС) при их логическом проектировании значительно сокращает сроки разработки, запуска в серию и затраты на их проектирование.

Определим задачи моделирования, решаемые на этапе логического проектирования БИС:

- определение границ длительности переходного процесса в схеме;
- исследование переходных процессов, определение интервалов времен возможных переключений логических сигналов БИС на определенном переходе при заданных разбросах времен срабатывания составляющих элементов;
- оценка влияния задержек сигналов на поведение схемы, выявление критических режимов работы;
- определение корректности теста;
- анализ асинхронной БИС на корректность по Хаффману.

Задержки распространения сигналов в схеме могут оказать существенное влияние на ее поведение во время переходных процессов и, следовательно, на надежность функционирования схемы. Однако традиционная теория автоматов, на которой основывается большинство существующих методов анализа дискретных устройств (ДУ), позволяет бороться не с практически возможными ошибками функционирования ДУ, а с состязаниями сигналов. Такой подход не позволяет решать указанные задачи моделирования. Он ориентирует разработчика на обеспечение безошибочного переключения схемы даже в случае практически невозможных сочетаний паразитных задержек в ДУ, что ведет к усложнению схемы и снижению ее быстродействия.

Решение задач динамического анализа БИС связано со значительными трудностями. Если моменты изменений входных сигналов и величины задержек составляющих элементов задавать в числовой форме, то при дискретизации временной шкалы анализ переходного процесса сводится к определению состояния элемента в каждый дискретный момент времени. Однако потребности синтеза БИС и других ДУ требуют проведения анализа переходного процесса в общем случае, когда моменты

изменений входных сигналов и величины задержек элементов распределены в некотором временном интервале.

Представим логическую схему в виде взаимосвязей между логическими элементами. Статистически определяемые величины предельных задержек распространения сигналов в элементе i означим $t_i^0(j)_{min}$ ($t_i^0(j)_{max}$) и $t_i^1(j)_{min}$ ($t_i^1(j)_{max}$). Здесь верхний индекс I (0) означает переход элемента в состояние I (0), а j - номер входа i -го элемента. В случае равенства задержек на срабатывание элемента по различным входам параметр j опускается. В дальнейшем под временем включения (выключения) n - входового элемента будем понимать временной интервал

$$T_i = [\min_{j \leq n} t_i^0(j)_{min}, \max_{j \leq n} t_i^0(j)_{max}] \cup [\min_{j \leq n} t_i^1(j)_{min}, \max_{j \leq n} t_i^1(j)_{max}]$$

Физический элемент i представим в виде идеального i' , к входным цепям которого подсоединены линии задержки с величинами, расположенными в пределах указанных ранее временных интервалов (рис. 1а). Известно, что на практике не существует физических устройств, точно воспроизводящих поведение совершенной задержки. Поэтому в дальнейшем будем предполагать паразитные задержки элемента инерциальными. Для i -го элемента эти задержки характеризуются инерциальной переменной τ_i . При этом, если выход задержки равен I (0), а вход меняет свое значение, (причем интервал времени, в течение которых вход равен I (0), равен $\tau_i - \epsilon$, где $0 < \epsilon < \tau_i$, а интервал времени, в течение которых выход равен I (0), равен $\delta > 0$), то выход задержки продолжает оставаться равным I (0). Инерциальную переменную τ_i будем называть высокочастотной отсечкой элемента.

Задача временного моделирования схемы сводится к моделированию логического элемента, на входы которого воздействует сигналы из множества сигналов, изображенных на рис. 1б. Вычисляются параметры срабатывания элемента путем использования операций конъюнкции и дизъюнкции математического аппарата бесконечнозначной логики:

$$\hat{\vee} d_i = \max_{i=1}^n d_i; \quad \hat{\wedge} d_i = \min_{i=1}^n d_i$$

Здесь $d_i, i=1, \dots, n$

вещественные числа из заданного отрезка $[A, B]$.

Данные операции подчинены тем же законам, что и соответствующие операции двузначной логики. К параметрам срабатывания элемента относятся, во-первых, граничные моменты появления на входах элемента условий для его перехода в противоположное состояние, во-вторых, длительность существования этих условий. Анализируя параметры срабатывания элемента и величину его инерциальной переменной делается заключение о характере переходного процесса на выходе

данного элемента.

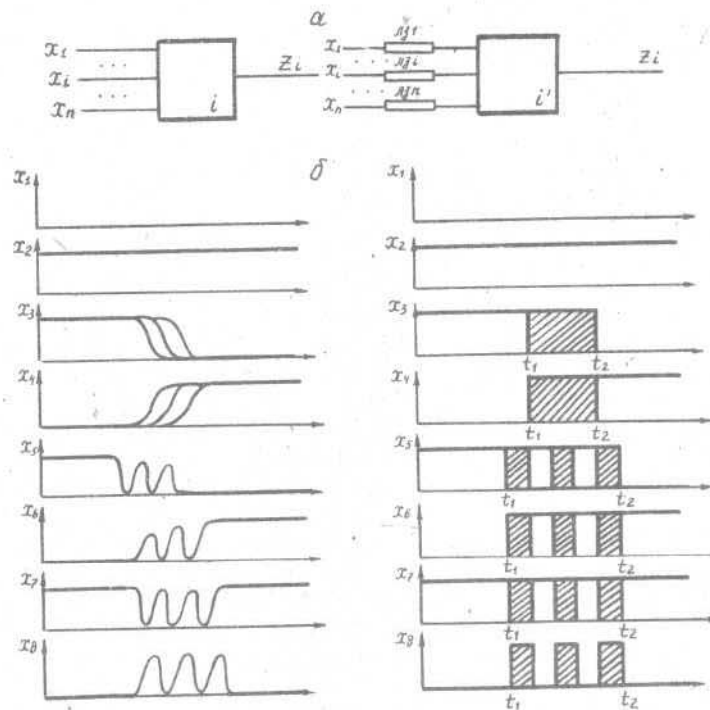


Рис. 1. Представление логического элемента в виде модели (а); сигналы, вырабатываемые в реальной схеме и их соответствующее представление в математической модели (б).

Однако при моделировании БИС со сходящимися ветвлениями такой подход может привести к появлению ошибки [1]. Ошибочный результат получается вследствие того, что при моделировании логического элемента Z_i , являющегося ступенем ветвящегося сигнала Z_w , не учитывается общность происхождения его входных сигналов (рис. 2). С этой целью при моделировании БИС путем предварительного анализа его топологии автоматически осуществляется поиск сходящихся ветвлений общего вида. Одновременно полученное множество сходящихся ветвлений сокращается за счет имеющих одинаковое число инверсий в ветвях распространения сигнала. Моделирование главного элемента Z_i с учетом общности происхождения сигналов ветвей дает возможность получить более точные результаты моделирования ДУ со сходя-

щимися ветвлениями по сравнению с методом, изложенным в работе [2].

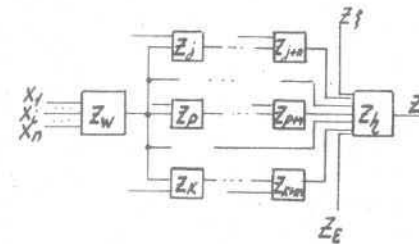


Рис. 2. Сходящееся ветвление общего вида.

При разработке систем временного моделирования ДУ типа БИС существенным является сокращение времени моделирования при ограниченных размерах оперативной памяти моделирующей ЭВМ. Поэтому решающее значение наряду с применяемым алгоритмом временного моделирования имеют внутреннее представление информации о моделируемой БИС и организация процесса моделирования. Компиляционные методы моделирования неприемлемы для обработки БИС, во-первых, из-за большого объема требуемой оперативной памяти ЭВМ; во-вторых, они плохо сочетаются с методами временного моделирования. Интерпретационное моделирование, применяемое в рассматриваемой работе, совмещается с событийным принципом моделирования составляющих элементов. При этом возникающие события упорядочиваются во времени, что приводит к моделированию логических элементов в порядке, соответствующем возникновению событий на их входах. Однако даже в случае моделирования комбинационной логики элементы могут обрабатываться многократно. Поэтому с целью повышения быстродействия моделей метод событийного моделирования совмещается с ранжированием комбинационной логики и расположением описаний элементов БИС в порядке возрастания их номеров. Такой подход упрощает задачу формирования множества возбужденных элементов в порядке возрастания их рангов. Элементы замкнутых контуров при этом в множестве возбужденных элементов упорядочиваются во времени с целью исключения возможных ошибок моделирования.

При разработке системы моделирования БИС с учетом разбросов временных параметров составляющих элементов используется подход, основанный на конструировании пакета прикладных программ (ППП). В отличие от пакетов простой структуры, где комплекс программ пакета состоит лишь из совокупности проблемных программ, любая последовательность которых выполняется под управлением операционной системы

ЭВМ путем задания пользователем соответствующих управляющих операторов из-за отсутствия совокупности средств внутреннего управления, здесь применяется конструирование пакета сложной структуры /3 - 5/. Средства задания пользователем ППП параметров и управляющей информации для настройки пакета на решение определенной задачи, набор программ внутреннего управления и обслуживания пакета разработаны в результате анализа взаимосвязей между отдельными модулями. Независимая конструкция ППП позволяет гибко изменять его состав, заменив или добавив определенные модули. Тело пакета состоит из следующих логических законченных программ:

- трансляции описания БИС исходного языка во внутреннее представление;
- ранжирования комбинационной логики, выделения контурных элементов и построения информационных массивов;
- перекодировки информационных массивов;
- моделирования;
- ввода и анализа полученных результатов моделирования;
- формирования элементной базы.

Программа формирования элементной базы служит для обеспечения элементной базы, настраиваемой в процессе моделирования, что позволяет эффективно использовать ППП при разработке БИС.

Л и т е р а т у р а

1. Золоторевич Л.А. Определения длительности переходного процесса в логических схемах. "Автоматика и вычислительная техника", 1977, № 6, с. 19-22.
2. Cappel S.G., Yau S.S. *Simulation of large asynchronous logic circuits using an ambiguous gate model.* - *AFIPS Conf. Proc.*, 1971, Vol 39, p. 651-662.
3. Башмаков И.А., Бесфамильный М.С. Принципы построения пакетов прикладных программ. Применение и использование вычислительных машин. Труды МЭИ вып. 118, М., 1972.
4. Загацкий Б.А. Прикладные программы для ЕС ЭВМ. Системное программирование. Материалы Всесоюзного симпозиума. 4.2, Новосибирск, 1973.
5. Амбарян С.Л., Адоки М.М., Шукурян Э.Г. Архитектура пакета прикладных программ автоматизации проектирования. "Кибернетика" № 2, 1977, с. 42-46.