

РОССИЙСКАЯ АКАДЕМИЯ НАУК

АВТОМАТИКА И ТЕЛЕМЕХАНИКА

(ОТДЕЛЬНЫЙ ОТТИСК)

МОСКВА

УДК 519.873:519.718.7

© 1998 г. Л. А. ЗОЛОТОРЕВИЧ, канд. техн. наук,
Д. И. ЮХНЕВИЧ
(Белорусский государственный университет, Минск)

ПЕРЕКЛЮЧАТЕЛЬНОЕ КВАЗИСТАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ СБИС. СРАВНЕНИЕ МЕТОДОВ ПО ТОЧНОСТИ МОДЕЛЕЙ

Приводится обзор и сравнительный анализ методов переключательного моделирования МОП-структур с точки зрения точности получаемых моделей. Анализируются методы квазистатического моделирования Хейеса [1–5], Брайента [6–9], Адлера [11, 12]. На ряде примеров показано, что точность переключательного квазистатического моделирования в большой степени определяется точностью вычисления логических сопротивлений проводящих путей от источников постоянных сигналов к выходным полюсам МОП-структуры, представленной в виде системы коммутации источников постоянных сигналов и выходов. Более точные квазистатические модели, ориентированные на решение задач тестового диагностирования, позволяет получить метод Адлера, основанный на применении многозначной алгебры с введенной операцией арифметического сложения логических величин (алгебры расстояний), который следует считать результатом развития идеи СКА-моделирования (соединитель, ключ, аттенюатор) Хейеса.

1. Введение

Интегральная схемотехника является одной из наиболее наукоемких отраслей, требующих постоянного развития методов математического моделирования как единственного инструмента исследования работоспособности объектов микроэлектронной техники. Сложность и объем современных СБИС, задачи, решаемые с помощью моделей как при верификации проектов, так и при разработке средств диагностирования требуют широкого привлечения современных ветвей дискретной математики (многозначные алгебры, сети Петри, теория графов и др.), позволяющих разрешать противоречия между необходимой точностью моделей и затратами вычислительных ресурсов на моделирование. Применение аналоговых моделей приводит к необходимости декомпозировать анализируемую структуру и не позволяет осуществить проверку проекта в целом. Необходимость моделирования всего проекта в целом на заключительных этапах функционально-логического проектирования и после выполнения конструктивно-технологического проекта обусловлена применением в определенной мере ручных методов проектирования. Построение моделей СБИС объемом порядка десятка миллионов вентиляльных элементов требует использования иерархического подхода к представлению структуры и совмещения моделей составляющих компонентов разного уровня в едином цикле моделирования.

В литературе известно много работ в области логического, переключательного и схемотехнического моделирования цифровых устройств, в том числе ориентированных на исследование динамики функционирования объектов. В то же время остается ряд вопросов, касающихся уточнения возможностей каждого из предлагаемых мето-

дов, круга решаемых задач, исследования области целесообразного применения на практике, сравнения различных методов по эффективности моделирования.

Целью настоящей работы является исследование основных направлений логического моделирования цифровых МОП-структур на переключательном уровне и выбор базового подхода для разработки алгоритма функционально-переключательного моделирования цифровых структур (в том числе моделирования неисправностей), представленных в виде конструкций из функциональных блоков различной степени сложности с раскрытием некоторых из них до транзисторного уровня или представлением на переключательном уровне некоторых фрагментов конструкции при невозможности их описания на более высоком функциональном уровне.

2. Анализ точности моделей, основанных на построении НТП-графа

Наиболее широко известен подход Брайента, основанный на представлении электрической схемы в виде неориентированного трюичного переключательного графа (НТП-графа), составлении и решении системы многозначных логических уравнений [6–9]. Модель цифровой структуры на переключательном уровне по методу Брайента представляется НТП-графом как множество вершин (узлов схемы) $n = \{n_1, \dots, n_k\}$, соединенных множеством ребер (транзисторов схемы в открытом или неопределенном состоянии) $t = \{t_1, \dots, t_m\}$. Узлы n_i моделируют истоки и стоки транзисторов. При этом узлы, связанные с питанием, землей, истоками транзисторов, на которые подается входное воздействие, называются входными узлами, все остальные – узлами памяти, что характеризует их способность длительное время сохранять заряд, накапливаемый на паразитных емкостях МОП-структуры.

Состояние y_i узла n_i и состояние z_j любого транзистора t_j определено на множестве $T = \{0, 1, X\}$. Для того, чтобы логически учесть влияние на работу схемы мощностей транзисторов и емкостей узлов, вводятся размеры узлов $k = \{k_1, \dots, k_{\max}, \omega\}$, характеризующие их способность накапливать сигнал определенной величины, и величины мощностей транзисторов $\gamma = \{\gamma_1, \dots, \gamma_{\max}\}$, характеризующих логически средствами величины их сопротивлений в открытом состоянии. При моделировании цифровых МОП-структур Брайент практически использует $\gamma = \{\gamma_1, \gamma_2\}$ и $k = \{k_1, k_2, \omega\}$. Увеличивая мощность множеств γ и k , можно моделировать некоторые классы аналоговых структур.

Вычисление реакции переключательной структуры, представленной НТП-графом, на некоторое входное воздействие по методу Брайента основывается на представлении МОП-структуры в виде системы коммутации выходных узлов схемы с источниками постоянных сигналов, а также с узлами памяти, возможно даже и отключенными в данный момент времени от источников постоянного сигнала, но представляющими некоторый ранее накопленный заряд по проводящему пути. При этом с целью определения степени влияния указанных источников сигнала на логическое состояние выходных узлов сопоставляются величины сопротивлений проводящих путей и зарядов электрически связанных узлов. Схема вычислений по Брайенту сводится к следующему.

1. К внешним входам схемы, находящейся в некотором логическом состоянии, прилагается входное воздействие $A = \{a_1, \dots, a_i, \dots, a_r\}$, $a_i \in \{0, 1, X\}$. Строится НТП-граф, включающий все ребра, которые соединяют узлы, связанные с истоками и стоками транзисторов, находящихся либо в состоянии 1 (открыты), либо в неопределенном состоянии X . Соответствующие ребра графа помечаются метками 1 или X .

2. Для каждого узла n_i определяются все узлы, с которыми данный узел связан 1-ребрами. Путь, состоящий только из 1-ребер, называется определенным путем. Определяется мощность g_i наиболее мощного из числа всех определенных путей, связанных с узлом n_i .

3. Для каждого узла n_i вычисляется мощность $u_i(d_i)$ наиболее мощного пути в графе из числа путей, включающих как 1-ребра, так и X -ребра, ведущих от узлов с логическим состоянием 1 и X (0 и X) и не блокируемых ни одним из определенных путей, ведущих в узел n_i . Мощности путей вычисляются как функции мощностей транзисторов и емкостей узлов и собственно определяют относительную способность зарядов узлов схемы влиять на логическое состояние данного узла. Вычисления проводятся в алфавите

$$B = \{\lambda, k_1, k_2, \dots, k_{\max}, \gamma_1, \gamma_2, \dots, \gamma_{\max}, \omega\},$$

$$\lambda < k_1 < k_2 < \dots < k_{\max} < \gamma_1 < \gamma_2 < \dots < \gamma_{\max} < \omega,$$

где символ λ означает по существу отсутствие электрической связи между двумя узлами.

Над множеством переменных из B определяются операции $\langle + \rangle$, $\langle \bullet \rangle$, $\langle \sim \rangle$, где $\langle + \rangle$ – операция выбора максимального значения, $\langle \bullet \rangle$ – минимального значения, а $\langle \sim \rangle$ – операция блокируемости:

$$a \sim b = \begin{cases} a, & a \geq b; \\ \lambda, & a < b, \end{cases}$$

где $a, b \in B$.

Приведем уравнения для вычисления m -мерных векторов мощностей \mathbf{g} , \mathbf{u} , \mathbf{d} в векторном виде:

$$\mathbf{g} = S + G_1 \bullet \mathbf{g}, \quad S = (s_1, \dots, s_i, \dots, s_m), \quad s_i \in \{k_1, k_2, \dots, k_{\max}, \omega\},$$

где G_1 – матрица размерности $m \times m$ мощностей смежных 1-ребер НТП-графа;

$$\mathbf{u} = [\text{up}(S, y) + (G_i + G_X) \bullet \mathbf{u}] \sim \mathbf{g}; \quad \mathbf{d} = [\text{down}(S, y) + (G_i + G_X) \bullet \mathbf{d}] \sim \mathbf{g},$$

где G_X – матрица размерности $m \times m$ мощностей всех смежных ребер НТП-графа;

$$\text{up}(S, y) = \begin{cases} S, & y \in \{1, X\}; \\ \lambda, & y = 0; \end{cases}$$

$$\text{down}(S, y) = \begin{cases} S, & y \in \{0, X\}; \\ \lambda, & y = 1, \end{cases}$$

где y – текущее логическое состояние узла, $y \in \{0, 1, X\}$.

После вычисления значений \mathbf{g} , \mathbf{u} и \mathbf{d} для каждого узла схемы необходимо определить новое логическое состояние узлов y'_i следующим образом:

$$y'_i = \begin{cases} 1, & d_i = \lambda, \quad u_i \neq \lambda; \\ 0, & u_i = \lambda, \quad d_i \neq \lambda; \\ X, & \text{при других соотношениях.} \end{cases}$$

Используя приведенную схему итерационного вычисления реакции переключательной структуры, промоделируем фрагмент схемы (рис. 1). На рис. 1 указаны логические величины сопротивлений R транзисторов в открытом состоянии ($R_1 = 4$, $R_2 = R_3 = 2$); мощности транзисторов обозначены γ_1, γ_2 ; пронумерованы узлы (1 – узел земли, 2 – узел питания, 3, 4 – узлы памяти). В соответствии с методом Брайента построим НТП-граф, соответствующий входному вектору $X = (011)$, предположив исходное состояние узлов $Y_0^T = (01XX)$ (рис. 1, б). Ребра графа соответствуют транзисторам, находящимся в открытом или неопределенном состоянии, вершины соответствуют узлам памяти исходной схемы. Вершины графа пометим трехэлементным вектором $(\alpha_1 - \alpha_2 - \alpha_3)$, где α_1 – номер соответствующего узла, α_2 – его размер, α_3 – логическое состояние ($\alpha_3 \in \{0, 1, X\}$).

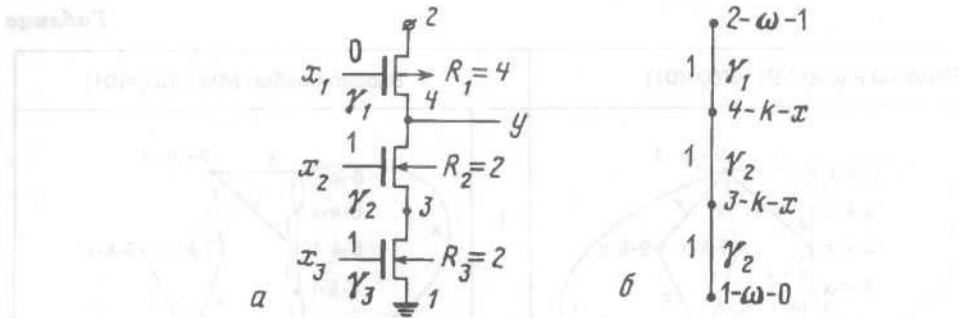


Рис. 1. Фрагмент МОП-структуры; а – транзисторное представление, б – НТП-граф

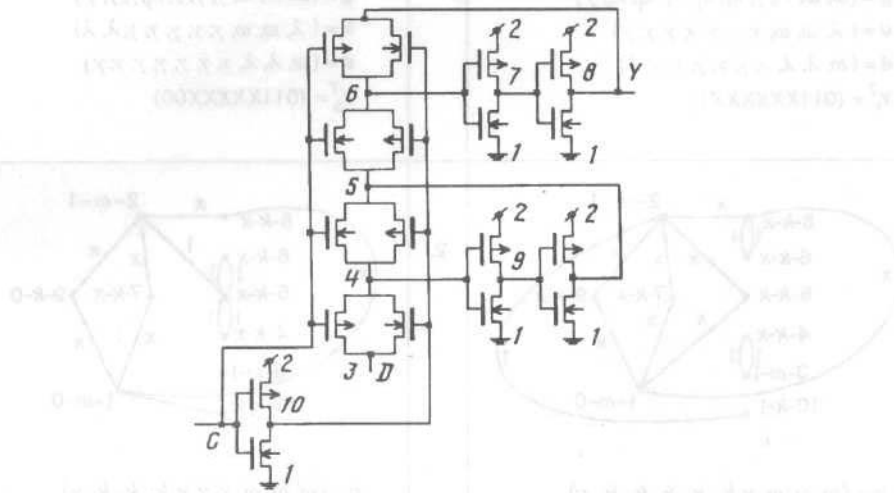


Рис. 2. МОП-структура двухтактного триггера

Вычислим векторы g , u , d , где вектор g описывает мощности наиболее мощных из всех определенных путей, ведущих в каждый узел, $u(d)$ – векторы мощностей наиболее мощных из путей в графе, включающих как 1-ребра, так и X-ребра, ведущих от узлов с логическим состоянием 1 и X (0 и X) и не блокируемых ни одним из определенных путей, ведущих в данный узел:

$$\begin{bmatrix} g_1 \\ g_2 \\ g_3 \\ g_4 \end{bmatrix} = \begin{bmatrix} \omega \\ \omega \\ k_1 \\ k_1 \end{bmatrix} + \begin{bmatrix} \lambda & \lambda & \gamma_2 & \lambda \\ \lambda & \lambda & \lambda & \gamma_1 \\ \gamma_2 & \lambda & \lambda & \gamma_2 \\ \lambda & \gamma_1 & \gamma_2 & \lambda \end{bmatrix} \cdot \begin{bmatrix} g_1 \\ g_2 \\ g_3 \\ g_4 \end{bmatrix}; \quad \begin{cases} g_1 = \omega + \gamma_2 g_3 = \omega \\ g_2 = \omega + \gamma_1 g_4 = \omega \\ g_3 = k_1 + \gamma_2 g_1 + \gamma_2 g_4 = \gamma_2 \\ g_4 = k_1 + \gamma_1 g_2 + \gamma_2 g_3 = \gamma_2 \end{cases}$$

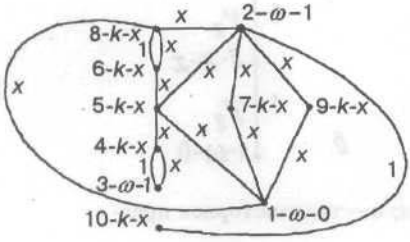
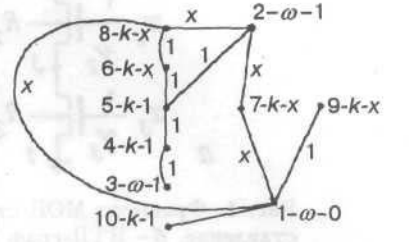
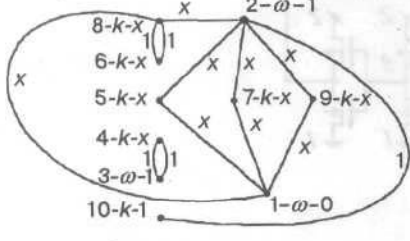
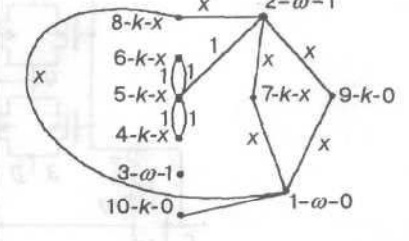
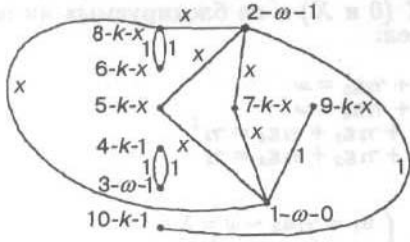
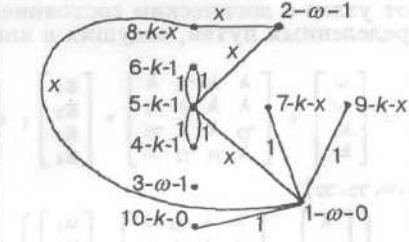
$$g = (\omega, \omega, \gamma_2, \gamma_2);$$

$$\begin{bmatrix} u_1 \\ u_2 \\ u_3 \\ u_4 \end{bmatrix} = \left\{ \begin{bmatrix} \lambda \\ \omega \\ k_1 \\ k_1 \end{bmatrix} + \begin{bmatrix} \lambda & \lambda & \gamma_2 & \lambda \\ \lambda & \lambda & \lambda & \gamma_1 \\ \gamma_2 & \lambda & \lambda & \gamma_2 \\ \lambda & \gamma_1 & \gamma_2 & \lambda \end{bmatrix} \cdot \begin{bmatrix} u_1 \\ u_2 \\ u_3 \\ u_4 \end{bmatrix} \right\} \sim \begin{bmatrix} \omega \\ \omega \\ \gamma_2 \\ \gamma_2 \end{bmatrix}; \quad \begin{cases} u_1 = \gamma_2 u_3 \sim \omega = \lambda \\ u_2 = (\omega + \gamma_1 u_4) \sim \omega = \omega \\ u_3 = (k_1 + \gamma_2 u_1 + \gamma_2 u_4) \sim \gamma_2 = \{\lambda, \gamma_2\} \\ u_4 = (k_1 + \gamma_1 u_2 + \gamma_2 u_3) \sim \gamma_2 = \{\lambda, \gamma_2\} \end{cases}$$

$$u = (\lambda, \omega, \lambda, \lambda);$$

$$\begin{bmatrix} d_1 \\ d_2 \\ d_3 \\ d_4 \end{bmatrix} = \left\{ \begin{bmatrix} \omega \\ \lambda \\ k_1 \\ k_1 \end{bmatrix} + \begin{bmatrix} \lambda & \lambda & \gamma_2 & \lambda \\ \lambda & \lambda & \lambda & \gamma_1 \\ \gamma_2 & \lambda & \lambda & \gamma_2 \\ \lambda & \gamma_1 & \gamma_2 & \lambda \end{bmatrix} \cdot \begin{bmatrix} d_1 \\ d_2 \\ d_3 \\ d_4 \end{bmatrix} \right\} \sim \begin{bmatrix} \omega \\ \omega \\ \gamma_2 \\ \gamma_2 \end{bmatrix}; \quad \begin{cases} d_1 = (\omega + \gamma_2 d_1) \sim \omega = \omega \\ d_2 = \gamma_1 d_4 \sim \omega = \lambda \\ d_3 = (k_1 + \gamma_2 d_1 + \gamma_2 d_4) \sim \gamma_2 = \gamma_2 \\ d_4 = (k_1 + \gamma_1 d_2 + \gamma_2 d_3) \sim \gamma_2 = \gamma_2 \end{cases}$$

$$d = (\omega, \lambda, \gamma_2, \gamma_2); \quad y_1^T = (0100).$$

	Входной набор №01: (CD)=(01)	Входной набор №02: (CD)=(01)
1.	 <p> $g = (\omega, \omega, \omega, \gamma, k_1, k_1, k_1, k_1, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \gamma, \gamma, \gamma)$ $d = (\omega, \lambda, \lambda, \gamma, \gamma, \gamma, \gamma, \gamma, \lambda)$ $Y_1^T = (011XXXXXX1)$ </p>	 <p> $g = (\omega, \omega, \omega, \gamma, \gamma, \gamma, k_1, \gamma, \gamma, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \gamma, \lambda, \lambda)$ $d = (\omega, \lambda, \lambda, \gamma, \gamma, \gamma, \gamma, \gamma, \gamma)$ $Y_6^T = (011XXXXXX00)$ </p>
2.	 <p> $g = (\omega, \omega, \omega, \gamma, k_1, k_1, k_1, k_1, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \gamma, \gamma, \gamma)$ $d = (\omega, \lambda, \lambda, \lambda, \gamma, \gamma, \gamma, \gamma, \lambda)$ $Y_2^T = (0111XXXXX1)$ </p>	 <p> $g = (\omega, \omega, \omega, \gamma, \gamma, \gamma, k_1, k_1, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \gamma, \gamma, \lambda)$ $d = (\omega, \lambda, \lambda, \lambda, \lambda, \gamma, \gamma, \gamma, \gamma)$ $Y_7^T = (011111XXXX1)$ </p>
3.	 <p> $g = (\omega, \omega, \omega, \gamma, k_1, k_1, k_1, k_1, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \gamma, \lambda, \gamma)$ $d = (\omega, \lambda, \lambda, \lambda, \gamma, \gamma, \gamma, \gamma, \lambda)$ $Y_3^T = (0111XXXX01)$ </p>	 <p> $g = (\omega, \omega, \omega, k_1, k_1, k_1, \gamma, k_1, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \lambda, \gamma, \lambda)$ $d = (\omega, \lambda, \lambda, \gamma, \gamma, \gamma, \gamma, \gamma, \gamma)$ $Y_8^T = (011XXXX0X00)$ </p>

Входной набор №01: (CD)=(01)		Входной набор №02: (CD)=(11)	
4.	<p> $g = (\omega, \omega, \omega, \gamma, \gamma, k_p, k_p, k_p, \gamma, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \gamma, \lambda, \gamma)$ $d = (\omega, \lambda, \lambda, \lambda, \lambda, \gamma, \gamma, \gamma, \lambda)$ $Y_4^T = (01111XXXX1)$ </p>	4.	<p> $g = (\omega, \omega, \omega, \gamma, \gamma, \gamma, k_p, \gamma, k_p, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \gamma, \gamma, \gamma)$ $d = (\omega, \lambda, \lambda, \lambda, \lambda, \lambda, \gamma, \lambda, \gamma, \gamma)$ $Y_9^T = (011111X1X0)$ </p>
5.	<p> $g = (\omega, \omega, \omega, \gamma, \gamma, k_p, k_p, k_p, \gamma, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \gamma, \lambda, \gamma)$ $d = (\omega, \lambda, \lambda, \lambda, \lambda, \gamma, \gamma, \gamma, \lambda)$ $Y_5^T = (01111XXXX1)$ </p>	5.	<p> $g = (\omega, \omega, \omega, k_p, k_p, k_p, k_p, \gamma, \gamma, \gamma)$ $u = (\lambda, \omega, \omega, \gamma, \gamma, \gamma, \lambda, \gamma, \lambda)$ $d = (\omega, \lambda, \lambda, \gamma, \gamma, \gamma, \gamma, \gamma, \gamma, \gamma)$ $Y_{10}^T = (011XXXXX00)$ </p>

Схемотехнический анализ не подтверждает полученные результаты моделирования, так как логическое состояние выхода y в данном случае будет неопределенным, а не равным 0, как это получилось в соответствии с методом Брайента.

Промоделируем схему двухтактного D -триггера, изображенного на рис. 2, при входном воздействии $(CD) = (01)-(11)$ и исходном состоянии узлов памяти триггера $Y_0^T = (011XXXXXX)$. Результаты моделирования приведены в таблице.

Анализ результатов моделирования по Брайенту показывает, что итерационный процесс моделирования не сходится, в то время как схемотехнический анализ отрицает возникновение в схеме генерации. Адекватной реакцией триггера на моделируемое воздействие должна быть запись "1". Двухтактный триггер с парафазным управлением, приведенный на рис. 3, моделируется правильно при определенной частоте поступления входных воздействий. Если же среди входных наборов появится состояние $(CC) = (00)$ или $(CC) = (11)$, которое будет воздействовать на схему менее 2 нс, то результаты моделирования также окажутся неверными.

Таким образом, методы переключательного моделирования, основанные на построении НТП-графа, не позволяют получать корректные модели последователь-

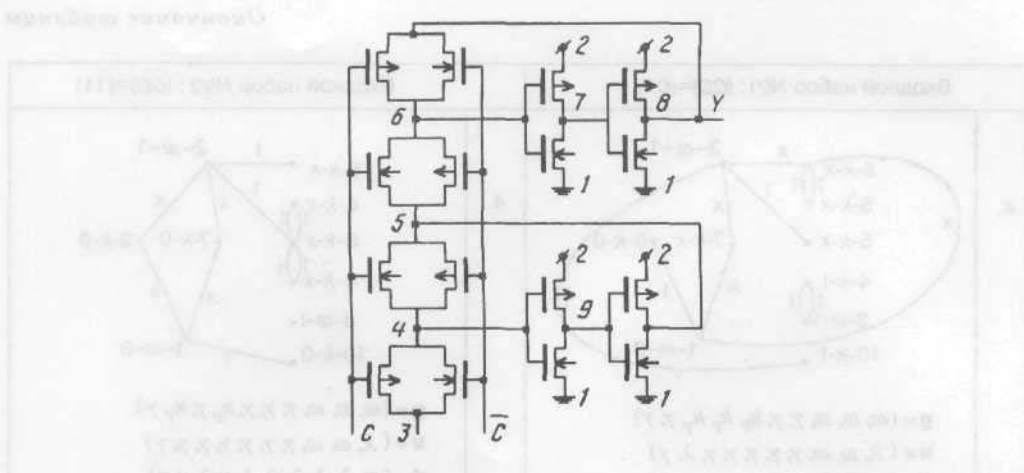


Рис. 3. МОП-структура двухтактного триггера с парафазным управлением

ностных структур из-за упрощенного подхода к сопоставлению величин сопротивлений проводящих путей схемы, при котором мощность пути определяется наименьшей мощностью транзистора, из числа лежащих на данном пути. При этом логическая длина пути, а также мощности других транзисторов в расчет не принимаются.

3. Анализ точности СКА-моделей

В соответствии со СКА-подходом Хейеса [1–5] каждый физический элемент МОП-структуры (транзистор, линия связи, паразитная емкость линии) представляется многозначной логической моделью в общем случае в виде преобразователя многозначного входного сигнала. Логический сигнал принимает значения из множества $V \in \{0, 1, x, z\}$, с которым связывается уровень силы $S \in \{0, 1, \dots, n\}$. Величина n выбирается из соображений точности моделирования и класса моделируемых структур. Собственно МОП-структура как и в подходе Брайента представляется как система коммутации источников постоянного сигнала (питание, земля, внешние сигналы) и выходов схемы. Однако модель такой структуры разрабатывается по известному в теории вентильного моделирования принципу построения событийной модели. Для того, чтобы можно было применить метод событийного моделирования в условиях двунаправленности выводов МОП-транзистора, транзистор по существу представляется функциональным элементом с тремя входами и двумя выходами (рис. 4). Верхним индексом обозначается сила логического сигнала. Если изменяется хоть один вход такого элемента, то вычисляется состояние обоих выходов (в работе [2] это решение рассматривается как определение состояний разнонаправленных сигналов, распространяемых через транзистор).

Метод СКА-моделирования [1–5] и его развитие [11, 12] позволяют улучшить результат моделирования по сравнению с методом Брайента благодаря более точной сравнительной оценке проводимостей логических цепей. В работе [2] содержится идея о возможности дискретизации величин сопротивлений открытых ключевых транзисторов анализируемой структуры, присвоении группам транзисторов с существенно различными диапазонами проводимостей разных логических значений сопротивлений и придании ключу как модели транзистора МОП-структуры свойств ослабления коммутируемых сигналов путем представления ключевого транзистора

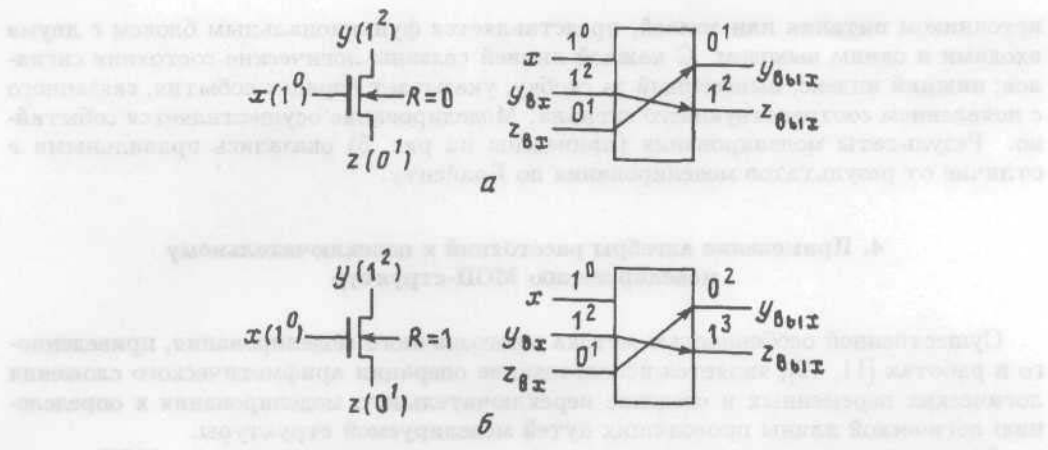


Рис. 4. Вентильная модель двунаправленного транзистора; а - сопротивление транзистора $R = 0$; б - сопротивление транзистора $R = 1$

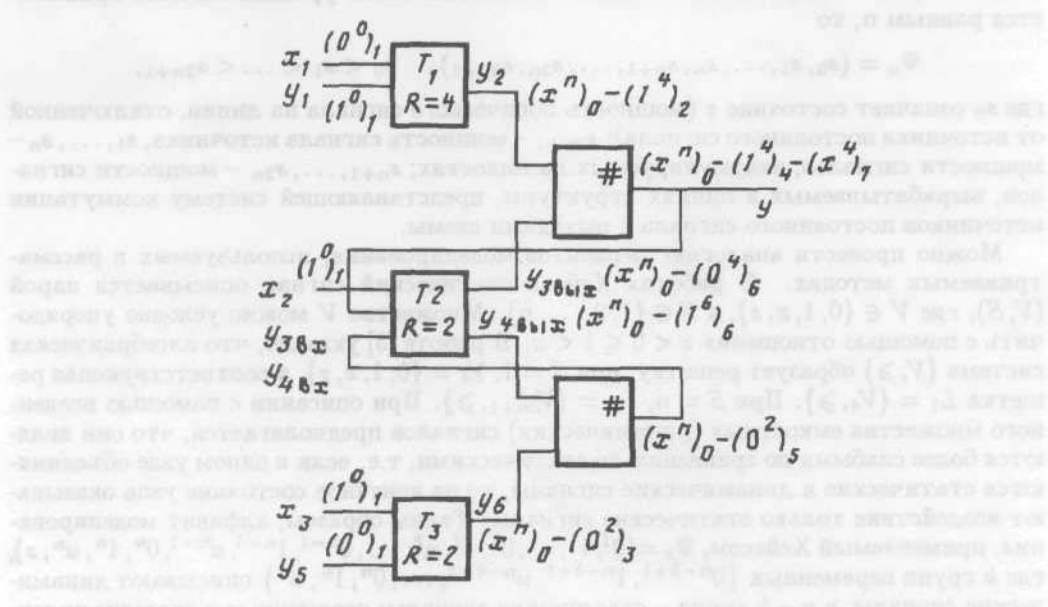


Рис. 5. Вентильная модель структуры, приведенной на рис. 2, состоящей из двунаправленных транзисторов

последовательным соединением идеального ключа и некоторого логического сопротивления. Эта идея легко реализуется увеличением значности применяемой алгебры.

Промоделируем фрагмент, приведенный на рис. 1, по методу, изложенному в работе [2]. На рис. 5 приведена двунаправленная вентильная модель данного фрагмента. Исходное состояние линий принято равным x^n , где n - постоянная, определяющая значность алфавита моделирования. Транзисторы представлены в виде функциональных блоков, реализующих функцию коммутации со свойствами ослабления коммутируемых сигналов. Транзистор, один из выводов которого соединен с

источником питания или землей, представляется функциональным блоком с двумя входами и одним выходом. С каждой линией связаны логические состояния сигналов; нижний индекс, вынесенный за скобку, указывает порядок события, связанного с появлением соответствующего сигнала. Моделирование осуществляется событийно. Результаты моделирования (приведены на рис. 5) оказались правильными в отличие от результатов моделирования по Брайенту.

4. Применение алгебры расстояний к переключательному моделированию МОП-структур

Существенной особенностью метода многозначного моделирования, приведенного в работах [11, 12], является использование операции арифметического сложения логических переменных и сведение переключательного моделирования к определению логической длины проводящих путей моделируемой структуры.

Формализация процесса моделирования заключается в следующем. МОП-структура представляется в виде ориентированного графа с помеченными ребрами, в котором в процессе моделирования динамически устанавливается ориентация ребер орграфа. Сигнал в цифровой схеме описывается упорядоченной парой (s, t) , где s — мощность, а t — логическое состояние. Если количество уровней сигнала принимается равным n , то

$$\Psi_a = (s_0, s_1, \dots, s_n, s_{n+1}, \dots, s_{2n}, s_{2n+1}), \quad s_0 < s_1 < \dots < s_{2n+1},$$

где s_0 означает состояние z (мощность логического сигнала на линии, отключенной от источника постоянного сигнала); s_{2n+1} — мощность сигнала источника, s_1, \dots, s_n — мощности сигналов, аккумулируемых на емкостях; s_{n+1}, \dots, s_{2n} — мощности сигналов, вырабатываемых в линиях структуры, представляющей систему коммутации источников постоянного сигнала с выходами схемы.

Можно провести аналогию алфавитов моделирования, используемых в рассматриваемых методах. В работах Хейеса статический сигнал описывается парой (V, S) , где $V \in \{0, 1, x, z\}$, а $S \in \{1, 2, \dots, n\}$. Множество V можно условно упорядочить с помощью отношения $z < 0 \leq 1 < x$. В работе [3] указано, что алгебраическая система $\{V, \geq\}$ образует решетку; при $S = 1$, $V_4 = \{0, 1, x, z\}$, а соответствующая решетка $L_1 = \{V_4, \geq\}$. При $S = n$, $L_n = \{V_{3n+1}, \geq\}$. При описании с помощью введенного множества емкостных (динамических) сигналов предполагается, что они являются более слабыми по сравнению со статическими, т.е. если в одном узле объединяются статические и динамические сигналы, то на конечное состояние узла оказывают воздействие только статические сигналы. Таким образом, алфавит моделирования, применяемый Хейесом, $\Psi_x = \{0^1, 1^1, u^1, 0^2, 1^2, u^2, \dots, 0^{n-1}, 1^{n-1}, u^{n-1}, 0^n, 1^n, u^n, z\}$, где k групп переменных $\{0^{n-k+1}, 1^{n-k+1}, u^{n-k+1}, \dots, 0^n, 1^n, u^n\}$ описывают динамические сигналы, а $n - k$ групп — статические сигналы; переменные с верхним индексом 1 описывают сигналы наибольшей силы, сигналы от источников питания, земли и других внешних источников постоянных сигналов. Если учесть, что символы в множестве Ψ_a также описывают мощности сигналов, то легко увидеть идентичность множеств Ψ_a и Ψ_x в плане обеспечения адекватного описания происходящих процессов.

Сравнивая методы Хейеса [1–5] и Адлера [11, 12] в плане точности получаемых моделей, необходимо отметить, что они, в основном, отличаются степенью формализации процессов моделирования. С точки зрения применяемой многозначной алгебры отличие проявляется в технике моделирования.

В то же время, отличие метода Брайента [6–9] от метода Адлера [11, 12] заключается в том, что Брайентом используется операция выбора максимального и минимального значения, а в алгебре Адлера операция выбора максимального зна-



Рис. 6. К иллюстрации установления направленности ребер графа

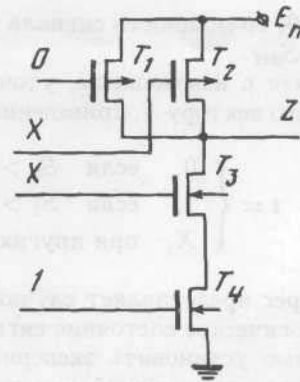


Рис. 7. Фрагмент структуры

чения заменена алгебраическим сложением. Это позволило Адлеру свести задачу вычисления реакции схемы на некоторое входное воздействие к задаче отыскания пути с наименьшим сопротивлением от источников постоянных сигналов к выходам схемы, а алгебру логических состояний заменить алгеброй расстояний.

В основе метода Адлера стоит идея динамического определения направления сигнала между двумя узлами переключательной структуры. Направление определяется мощностью сигналов источников, воздействующих на данные узлы в текущий момент времени. Предполагается, что сигнал распространяется от узла с более высокой мощностью сигнала к узлу с меньшей мощностью. При этом узел с более мощным сигналом оказывает воздействие на другой узел, связанный с данным. Степень воздействия определяется величиной сопротивления цепи, связывающей эти два узла.

Так, если в узле n_1 (рис. 6) действует более сильный сигнал чем в узлах n_2 и n_3 , то направление распространения сигнала будет от n_1 к n_2 и от n_1 к n_3 . Если во взаимосвязанных узлах мощности сигналов одинаковы, то динамическое направление сигнала не устанавливается. Однако при различных значениях сигналов и одинаковой мощности в узлах сигнал передается в обоих направлениях.

Процесс ослабления мощности при распространении сигнала по линии с сопротивлением связи r_t вычисляется следующим образом:

$$s_k - r_t = \begin{cases} s_{\max(n+1, k-t)}, & k > n; \\ s_k, & k \leq n, \end{cases}$$

где s_k – мощность более сильного сигнала (сигнала-источника); r_t – суммарное сопротивление цепи из открытых транзисторов, составляющих путь от одного узла к другому.

Мощность сигнала, воздействующего на некоторый узел, описывается в работе [11] в виде трехэлементного вектора $S = (S_{\text{def}}, S_0, S_1)$, в котором S_{def} описывает наибольшую мощность определенного сигнала, воздействующего на данный узел (определенный сигнал воздействует на узел, если имеется хотя бы один путь от одного из источников постоянного сигнала через последовательную цепь открытых транзисторов к данному узлу; в противном случае $S_{\text{def}} = 0$), $S_0(S_1)$ – наибольшая мощность сигнала, который может воздействовать на данный узел от источника постоянного 0 (постоянной 1) по путям, проходящим через транзисторы, находящиеся в открытом или неопределенном состоянии ($S_0 = 0$ ($S_1 = 0$), если такие пути отсутствуют). При этом очевидно, что если S_{def} определяет влияние на данный узел

сигнала 0, то мощность сигнала S_0 может быть только больше или равна мощности сигнала S_{def} .

В связи с изложенным, уточним критерий определения логического состояния узла по его вектору S , приведенный в работе [11], где логическое состояние сигнала t

$$t = \begin{cases} 0, & \text{если } S_0 > 0, \quad S_1 < S_{\text{def}}; \\ 1, & \text{если } S_1 > 0, \quad S_0 < S_{\text{def}}; \\ X, & \text{при других соотношениях.} \end{cases}$$

Интерес представляет случай, когда $S_0 > 0$, $S_1 > 0$ и $|S_0 - S_1| < \Delta S_{\text{min}}$. Здесь также логическое состояние сигнала следует принять равным X , а значение ΔS_{min} необходимо установить экспериментально. Про моделируем по Адлеру фрагмент структуры, приведенный на рис. 7. Положим мощность сигнала не более 100. Вектор S , описывающий силу сигнала, появляющегося на выходе фрагмента Z в ответ на входное воздействие, приведенное на рис. 7, в зависимости от логических сопротивлений транзисторов может иметь следующий вид:

$$S_Z = (91, 91, 91) \quad \text{при} \quad R(T_1) = 9, \quad R(T_2) = 10, \quad R(T_3) = 6, \quad R(T_4) = 3;$$

$$S_Z = (91, 90, 91) \quad \text{при} \quad R(T_1) = 9, \quad R(T_2) = 10, \quad R(T_3) = 6, \quad R(T_4) = 4;$$

$$S_Z = (91, 90, 92) \quad \text{при} \quad R(T_1) = 9, \quad R(T_2) = 8, \quad R(T_3) = 6, \quad R(T_4) = 4.$$

Очевидно, что во всех трех случаях необходимо логическое состояние сигнала принять равным X (а не только в первом из рассматриваемых случаев в соответствии с приведенным выше критерием Адлера), так как $|S_0 - S_1| \leq 2$.

5. Заключение

Проведенный сравнительный анализ методов позволил сделать следующие выводы:

1. Логическое моделирование МОП-структур сводится к вычислению и сопоставлению между собой логических сопротивлений проводящих и потенциально проводящих (на которых отсутствуют заведомо закрытые транзисторы) путей, ведущих от источников постоянных сигналов к выходным полюсам структуры.
2. Использование минимаксных операций многозначной логики при определении логических сопротивлений путей возможного распространения сигналов в работах [6-9] не позволяет достичь требуемой точности модели.
3. Замена операции выбора максимального значения операций арифметического сложения и использование алгебры расстояний в работах [11, 12] позволяют существенно повысить точность моделирования.
4. Метод Брайента [6-9] плохо сочетается с динамическими методами вычислений на графах, что сказывается на его эффективности, а также с иерархическим подходом к моделированию сложных СБИС.
5. Метод, изложенный в работах [11, 12], следует считать развитием идеи, приведенной в работе [2].
6. Для получения более точного результата логического моделирования переключательных структур необходимо применить более точный метод определения общего логического сопротивления параллельных цепей структуры, по которым распространяется воздействие на данный узел.

СПИСОК ЛИТЕРАТУРЫ

1. Хейес Дж. П. Обобщенная теория переключательных схем и ее применение для проектирования СБИС // ТИИЭР. 1982. Т. 70. № 10. С. 5-19.

2. *Kawai M., Hayes J. P.* An Experimental MOS Fault Simulation Program CSASIM // / Proc. ACM / IEEE Design Automation Conference. New Mexico. 1984, 25-27 June. P. 2-9.
3. *Hayes J. P.* Fault Modeling for Digital MOS Integrated Circuits // IEEE Transaction Computer-Aided Design. 1984, July. P. 200-207.
4. *Hayes J. P.* Pseudo-Boolean Logic Circuits // IEEE Trans. Comput. V. C-35. 1986, July. P. 602-612.
5. *Hayes J. P.* An Introduction to Switch-Level Modeling // IEEE Des. And Test Comput. 1987. V. 4. No. 4. P. 18-25.
6. *Bryant R. E.* MOSSIM: a Switch-Level Simulator for MOS LSI // / Proc. ACM / IEEE Design Automation Conference. 1981, June. P. 786-790.
7. *Bryant R. E.* A Switch-Level Model and Simulator for MOS Digital Systems // IEEE Trans. on Computers. 1984. P. 160-177.
8. *Bryant R. E.* A Survey of Switch-Level Algorithms // IEEE Design and Test. 1987. V. 4. No. 4. P. 26-40.
9. *Bryant R. E., Schuster M. D.* Performance Evaluation on FMOSSIM, a Concurrent Switch-Level Fault Simulation // / Proc. ACM / IEEE Design Automation Conference. Las Vegas, 1985. P. 715-719.
10. *Золоторевич Л. А., Юзевич Д. И.* Исследование области применения квазистатических моделей СБИС на переключательном уровне // Материалы V межгосударственной конференции, посвященной 75-летию БГУ (14-18 мая) "Актуальные проблемы информатики: математическое, программное и информационное обеспечение". С. 140-147.
11. *Adler D.* Switch-Level Simulation Using Dynamic Graph Algorithms // IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems. 1991. V. 10. No. 3. P. 346-355.
12. *Adler D.* A Dynamically-Directed Switch Model for Mos Logic Simulation // / Proc. ACM / IEEE Design Automation Conference. New York. 1988, 12-15 June. P. 506-511.

Поступила в редакцию 21.07.97