

ЛАТВИЙСКИЙ УНИВЕРСИТЕТ

# АВТОМАТИКА И ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА

2002

ИЮЛЬ-АВГУСТ

4

НАУЧНО-ТЕОРЕТИЧЕСКИЙ ЖУРНАЛ  
ВЫХОДИТ 6 РАЗ В ГОД С ЯНВАРЯ 1967 Г.

РИГА  
ИНСТИТУТ ЭЛЕКТРОНИКИ И ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

## ЛОГИЧЕСКОЕ МОДЕЛИРОВАНИЕ MOS VLSI НА ОСНОВЕ ИНТЕРВАЛЬНОЙ ВРЕМЕННОЙ АЛГЕБРЫ

Л.А. ЗОЛОТОРЕВИЧ, кандидат технических наук, доцент

Белорусский государственный университет

просп. Ф.Скорины, 220050 Минск, Беларусь

E-mail: [zolotorevich@fpm.bsu.unibel.by](mailto:zolotorevich@fpm.bsu.unibel.by)

Рассматривается задача моделирования цифровых интегральных схем (MOS VLSI) на уровне переключательного представления в непрерывном спектре значений задержек распространения сигналов. Особенно актуальной эта задача стала при переходе интегральной схемотехники в субмикронный диапазон, когда более существенным стало влияние паразитных эффектов на функционирование устройства. Предлагается решение задачи на основе интервальной временной алгебры и модифицированных сетей Петри.

**Ключевые слова:** цифровые интегральные схемы, сети Петри, интервальная временная алгебра, задержка распространения сигнала

---

### 1. ВВЕДЕНИЕ

Особенностью современной микроэлектроники является последовательное сокращение линейных размеров транзистора и постепенное их приближение к физическому пределу – к уровню 0,05 Мкм. Это требует применения новых методов проектирования сверхбольших интегральных схем (VLSI) в условиях высокой степени интеграции, требующих более точных моделей для верификации проектов. Стандартизация технологии проектирования в микроэлектронике привела к активному использованию языка проектирования VHDL (Very high speed integrated circuits Hardware Description Language). Этот язык, созданный для описания сверхскоростных интегральных схем, позволяет иерархически описывать электронные структуры на разных уровнях представления (поведенческом, структурном). При этом используются известные подходы, основанные на описании блоков в виде систем булевых функций, таблицами переходов-выходов на абстрактном уровне представления, граф-схемами алгоритмов и др. Использование языка VHDL позволяет при проектировании новой VLSI применять с целью сокращения времени проектирования уже ранее разработанные другими фирмами фрагменты системы, представленные в идеологии VHDL. При этом другие блоки VLSI могут проектироваться заново. Блочный подход к проектированию требует использования более эффективных методов моделирования проектов для их верификации.

При указанном выше дифференцированном подходе к проектированию VLSI актуальной в свете сокращения сроков проектирования является задача логического моделирования разрабатываемой структуры на уровне транзисторного представления (переключательном уровне) [1,2] и функционально-переключательном с учетом диапазонов флуктуаций задержек переключения сигналов. Известно, что на скорость прохождения сигналов по цепям MOS-структуры определяющее влияние оказывают сопротивления линий связи и паразитные емкости, которые зависят от числа транзисторов в линии, длин линий соединения и ряда других конструктивно-технологических факторов, а также от дестабилизирующего воздействия внешней среды. Так как до момента разработки топологического проекта длина линий соединений не известна, то с целью сокращения числа итераций цикла "синтез-анализ" целесообразно на стадии функционально-логического проектирования обеспечить работоспособность проекта в некотором диапазоне возможных длин соединений. Это оказывается возможным при моделировании устройства в непрерывном спектре значений задержек сигналов при их распространении от источников к выходам при условии представления переключательной MOS-структуры в виде системы коммутации сигналов постоянных источников и выходных узлов.

## 2. ОПИСАНИЕ СИГНАЛА ИНТЕРВАЛЬНОЙ ВРЕМЕННОЙ ФУНКЦИЕЙ

Для решения данной задачи в качестве модели для верификации логического проекта целесообразно использовать интервальную временную модель, которая позволяет учитывать диапазоны флуктуаций задержек сигналов в линиях связи. Интервальная временная алгебра, предложенная в работе [3], основана на трюичной логике для представления сигнала и не позволяет учитывать характерное для MOS-структур четвертое состояние сигнала "высокого импеданса". Здесь предлагается использовать описанную в работе [3] идею интервального подхода к представлению сигнала, однако в рамках указанного общего подхода предлагается увеличить значность применяемой алгебры для решения задач моделирования MOS-структур.

Рассмотрим основные положения интервальной временной алгебры, основанной на четырехзначном временном представлении сигнала. Определим интервальную временную переменную  $f(t)$  как заданную строго возрастающую последовательность значений величин времени, стремящуюся к бесконечности,  $(t_1, t_1^*, t_2, t_2^*, \dots, t_i, t_i^*, \dots)$ ,  $i = 1, 2, \dots$ , и последовательность логических значений  $(a_1, a_2, a_3, \dots, a_i, a_{i+1}, \dots)$  ( $a_i \in \{0, 1, 0^z, 1^z, x, z\}$ ). Здесь  $0^z$  означает логическое состояние 0 или  $z$ , а  $1^z$  – логическое состояние 1 или  $z$ . При этом интервальная временная переменная определяет сигнал, имеющий логическое значение  $a_{i+1} \in \{0, 1, z\}$  для  $t_i^* \leq t < t_{i+1}$  и значение  $a_i \in \{0^z, 1^z, x\}$  для  $t_i \leq t < t_i^*$ . Интервальная временная переменная определяется множеством интервалов, закрытых (для определенности) слева и открытых справа, в которых она имеет значение, равное 1, а также множествами интервалов, закрытых слева и открытых справа, на которых она принимает значения 0 и  $z$ . На остальных интервалах значение функции в разной степени не определено.

Логические функции от интервальных временных переменных называются интервальными временными функциями ITF (interval timing function). Множество интервальных временных переменных обозначим через  $\mathcal{W}$ . На множестве  $\mathcal{W}$  введем операции сложения, умножения, дополнения и соединения следующим образом:

а) операция сложения:

$$\delta(t) = f(t) + g(t); \quad \delta(t): \delta(t) = 1 \Leftrightarrow f(t) = 1 \text{ or } g(t) = 1; \quad (1)$$

$$\delta(t) = 0 \Leftrightarrow f(t) = 0, \quad g(t) \in \{0, z, 0^{\bar{z}}\} \text{ or } g(t) = 0, \quad (2)$$

$$f(t) \in \{0, z, 0^{\bar{z}}\}; \quad \delta(t), f(t), g(t) \in W. \quad (3)$$

В остальных случаях  $\delta(t)$  принимает значение  $x$ ;

б) операция умножения:

$$\delta(t) = f(t) * g(t); \quad \delta(t): \delta(t) = 1 \Leftrightarrow f(t) = 1, \quad g(t) \in \{1, z, 1^{\bar{z}}\} \text{ or } g(t) = 1, \quad (4)$$

$$f(t) \in \{1, z, 1^{\bar{z}}\}; \quad (5)$$

$$\delta(t) = 0 \Leftrightarrow f(t) = 0 \text{ or } g(t) = 0; \quad \delta(t), f(t), g(t) \in W. \quad (6)$$

В остальных случаях  $\delta(t)$  принимает значение  $x$ ;

в) операция дополнения:

$$f'(t) = g(t); \quad g(t): g(t) = 1 \Leftrightarrow f(t) = 0; \quad g(t) = 0 \Leftrightarrow f(t) = 1; \quad (7)$$

$$g(t) = z \Leftrightarrow f(t) = z; \quad g(t) = 1^{\bar{z}} \Leftrightarrow f(t) = 0^{\bar{z}}, \quad f(t), g(t) \in W. \quad (8)$$

В остальных случаях  $\delta(t)$  принимает значение  $x$ ;

г) операция соединения:

$$\delta(t) = f(t) \# g(t); \quad \delta(t): \delta(t) = 1 \Leftrightarrow f(t) = 1, \quad g(t) \in \{1, z, 1^{\bar{z}}\} \text{ or } g(t) = 1, \quad (9)$$

$$f(t) \in \{1, z, 1^{\bar{z}}\}; \quad (10)$$

$$\delta(t) = 0 \Leftrightarrow f(t) = 0, \quad g(t) \in \{0, z, 0^{\bar{z}}\} \text{ or } g(t) = 0, \quad f(t) \in \{0, z, 0^{\bar{z}}\}; \quad (11)$$

$$\delta(t) = z \Leftrightarrow f(t) = g(t) = z; \quad \delta(t), f(t), g(t) \in W. \quad (12)$$

В остальных случаях  $\delta(t)$  принимает значение  $x$ .

**Определение:** Множество интервальных временных переменных  $W$  вместе с введенными операциями сложения, умножения, дополнения и соединения называется интервальной временной алгеброй и обозначается

$$B = \langle W; +, *, ', \# \rangle, \quad (13)$$

где  $\langle + \rangle$ ,  $\langle * \rangle$ ,  $\langle ' \rangle$ ,  $\langle \# \rangle$  – операции сложения, умножения, дополнения и соединения, определенные на множестве  $W$ .

Пусть  $Z_i$  – элемент функционально-логической структуры или соединитель MOS- структуры, представленной на функционально-переключательном уровне. Представим  $Z_i$ , реализующий некоторую функцию, в виде последовательного соединения идеального функционального элемента или соединителя  $Z_i^j$ , мгновенно воспроизводящего заданную для данного функционального блока логическую функцию или функцию соединения (для некоторого узла переключательной структуры), и элемента del с инерциальной задержкой  $\tau_i$ . К каждой входной цепи идеального элемента присоединена линия задержки с величиной, расположенной в некотором диапазоне времени, заданном минимальными ( $t_{i(j)} \min^1$  или  $t_{i(j)} \min^0$ ) и максимальными ( $t_{i(j)} \max^1$  или  $t_{i(j)} \max^0$ ) статистически определяемыми величинами паразитных задержек. Здесь  $i$  – номер элемента,  $j$  – номер входа элемента, верхний индекс указывает вид переключения сигнала.

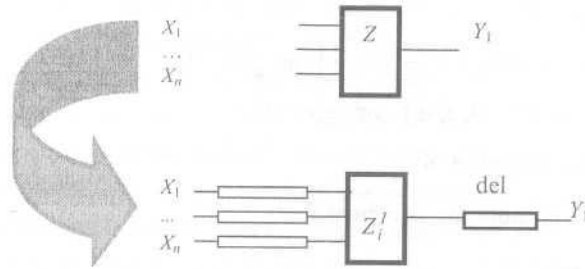


Рис.1. Модель функционального элемента или соединителя.

Сведем задачу логического моделирования цифровой структуры, представленной на функционально-переключательном уровне, к определению ИТФ, описывающих переходный процесс на выходах каждого функционального блока или соединителя, представленных в виде модели, изображенной на рис.1. Составная интервальная временная функция есть векторное представление набора ИТФ,

$$(X)_n = \begin{pmatrix} X_1 \\ X_2 \\ \dots \\ X_n \end{pmatrix}, \quad (14)$$

описывающих переходный процесс в  $n$  контрольных точках моделируемого устройства.

Для моделирования прохождения переключательного процесса через линию задержки, характеризующуюся свойствами простой или совершенной задержки с величиной, не зависящей от вида переключения сигнала, расположенной в диапазоне времени  $[k_1, k_2]$ , определим оператор линейного сдвига

$$\tau^{k_1, k_2}, W \Rightarrow W; \quad k_1, k_2 \in R, \quad k_2 \geq k_1, \quad (14.1)$$

таким образом, что умножение ИТФ  $g(t)$  на  $\tau^{k_1, k_2}$  дает ИТФ, получаемую из  $g(t)$  путем сдвига вправо по оси времени на величину  $k_1$  временных границ диапазонов  $t_i$  и на величину  $k_2$  вправо по оси времени временных границ  $t_i^*$ .

Рассмотрим свойства  $\tau^{k_1, k_2}$ :

- if  $f(t), g(t) \in W$ , then  $\tau^{k_1, k_2} (f(t) * g(t)) = (\tau^{k_1, k_2} f(t)) * (\tau^{k_1, k_2} g(t))$ ; (15)

- if  $f(t), g(t) \in W$ , then  $\tau^{k_1, k_2} (f(t) + g(t)) = \tau^{k_1, k_2} f(t) + \tau^{k_1, k_2} g(t)$ ; (16)

- if  $f(t), g(t) \in W$ , then  $\tau^{k_1, k_2} (f(t) \# g(t)) = \tau^{k_1, k_2} f(t) \# \tau^{k_1, k_2} g(t)$ ; (17)

- if  $f(t) \in W$ , then  $(\tau^{k_1, k_2} f(t))' = \tau^{k_1, k_2} f'(t)$ . (18)

Определим оператор симметричного сдвига

$$\tau^{m_1, m_2, n_1, n_2}, W \Rightarrow W,$$

$$m_1, m_2, n_1, n_2 \in R, \quad m_2 \geq m_1, \quad n_2 \geq n_1,$$

$$m_1 = t_{i(j)} \min^1, \quad m_2 = t_{i(j)} \max^1, \quad n_1 = t_{i(j)} \min^0, \quad n_2 = t_{i(j)} \max^0, \quad (19)$$

таким образом, что воздействие оператора симметричного сдвига на ИТФ аналогично воздействию оператора линейного сдвига  $\tau^{k_1, k_2}$ , у которого значения параметров  $k_1$  и  $k_2$  зависят от вида переключения сигнала. Оператор симметричного сдвига  $\tau^{m_1, m_2, n_1, n_2}$  моделирует прохождение переключательного процесса через линию совершенной задержки, величина которой расположена в заданном диапазоне, зависящем от вида переключения сигнала. Воздействие операторов линейного и симметричного сдвига на ИТФ может уменьшить кратность соответствующего переключательного процесса [3].

Определим множество операторов преобразования  $W \Rightarrow W$ :

$$\Omega(m_1, m_2, n_1, n_2) x_j = x_j^*, \quad (20)$$

где  $x_j$  – преобразуемая ИТФ. Для получения ИТФ  $x_j^*$  необходимо для каждой составляющей функции  $x_j$  выполнить линейный или симметричный сдвиг, параметры которого определяются видом переключения сигнала.

Определим множество операторов высокочастотной отсечки  $W \Rightarrow W$ :

$$\Phi(\tau_i)(z_i^*) = z_i. \quad (21)$$

Для получения ИТФ  $z_i$  необходимо декомпозировать (разделить) ИТФ  $z_i^*$  на ИТФ простых типов, а затем исключить составляющие, которые моделируют изменения сигнала с длительностью, меньшей или равной величине инерциальной переменной  $\tau_i$ . (Определения ИТФ простых типов и правила декомпозиции ИТФ можно ввести по аналогии с [3]).

Тогда если  $z_i$  – ИТФ, моделирующая поведение  $i$ -го элемента,  $(x)_j$  – ИТФ, описывающая входной сигнал, а  $Z_i^f$  – логическая функция, реализуемая идеальным элементом, то реальное функционирование элемента можно описать с помощью суперпозиции операторов преобразования  $W \Rightarrow W$ :

$$\Phi(\tau_i) Z_i^f \Omega(x)_j = z_i. \quad (22)$$

### 3. МОДЕЛИРОВАНИЕ ПЕРЕКЛЮЧАТЕЛЬНОЙ СТРУКТУРЫ

В качестве формальной модели переключательной MOS-структуры, представляющей собой систему коммутации источников постоянных и переменных сигналов и выходных узлов, принят двудольный ориентированный мультиграф модифицированной сети Петри [4], структура которого соответствует структуре моделируемого устройства. На рис.2 приведен фрагмент MOS-структуры и соответствующий граф модифицированной сети Петри. Переходами описываются источники сигналов и транзисторы структуры, а позициями – линии связи (узлы структуры). Связывающие дуги могут иметь направление от перехода к позиции и от позиции к переходу. Каждая позиция может быть связана дугами с рядом переходов (рис.2), число которых ограничивается технологией изготовления моделируемого устройства.

Переход может быть связан не более чем с тремя позициями. В то же время переход, описывающий источник сигнала, связан только с одной позицией. Переход может быть связан с двумя позициями, если он описывает транзистор нагрузочного типа. Позиция связывается с переходами выходной дугой, помеченной двумя стрелками, если она соответствует узлу, связанному с затвором транзистора, который описывается данным переходом.

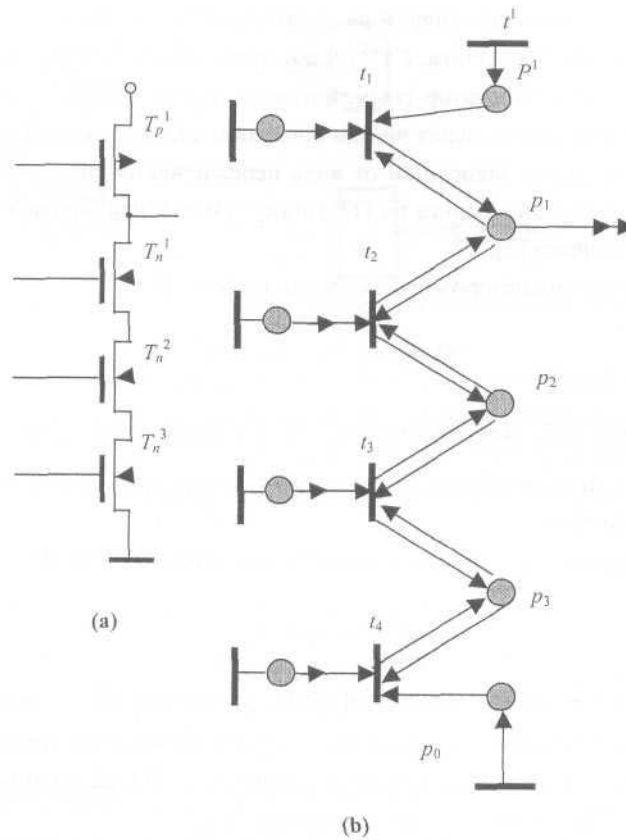


Рис.2. Фрагмент MOS-структуры (а) и сеть Петри (b).

Моделирование структуры сводится к выполнению сети, имеющей двойную систему маркировки, позволяющую вычислять функциональные параметры логических сигналов. Каждой выходной дуге переходов соответствуют интервалы времени  $[t_{\min}^i, t_{\max}^i]$ , определяющие минимальную и максимальную задержки распространения сигналов по цепям открытых транзисторов к соответствующему узлу.

Кроме того, каждой позиции сети, а также выходным дугам переходов соответствуют четырехэлементные вектор-маркеры  $S_i = (0^\alpha, 0_*^\beta, 1^\delta, 1_*^\epsilon)$  логического состояния сигналов и динамический параметр – интервал времени  $[T_{\min}^i, T_{\max}^i]$ . Здесь

- $0^\alpha$  – логическое состояние сигнала на линии коммутации с источником сигнала логического нуля;
- $0_*^\beta$  – логическое состояние сигнала на возможной линии коммутации с источником сигнала логического нуля (предполагается, что на данной линии расположены транзисторы в открытом или неопределенном состоянии);
- $1^\delta$  – логическое состояние сигнала на линии коммутации с источником сигнала логической единицы;
- $1_*^\epsilon$  – логическое состояние сигнала на возможной линии коммутации с источником сигнала логической единицы (по аналогии с  $0_*^\beta$ ).

Каждому переходу ставится в соответствие параметр  $Q$ , величина которого характеризует проводимость соответствующего транзистора.

#### 4. ПРАВИЛА ЗАПУСКА ПЕРЕХОДОВ

Запуск безусловных переходов (переходов, моделирующих источники постоянных и переменных сигналов) сводится к установке вектор-маркера логического состояния и времени, соответствующих выходной дуге запускаемого перехода. Вектор-маркер имеет максимальную силу сигнала от постоянного или переменного источника. Для единичного сигнала  $S = (0, 0, 100, 100)$ , для нулевого  $-S = (100, 100, 0, 0)$ .

Запуск разрешенного перехода осуществляется следующим образом:

На этапе 1 сравниваются состояния текущих вектор-маркеров входных позиций, связанных с переходом дугами с одной стрелкой. При условии 1, если все параметры одного вектор-маркера (например, соответствующего  $P_1$ ) больше соответствующих параметров другого вектор-маркера (относящегося к  $P_2$ ) определяется выходная для данного перехода дуга, для которой необходимо рассчитывать вектор-маркер на этапе 2 (дуга, идущая от перехода к позиции  $P_2$ ). При условии 2, если сравниваемые вектор-маркеры имеют все одинаковые параметры, то запуск перехода на данном этапе завершается. Если вектор-маркеры входных позиций не сравнимы, то на этапе 3 будут рассчитываться вектор-маркеры обеих выходных дуг (условие 3).

Будем считать, что вектор-маркеры двух позиций не сравнимы в том случае, если соответствующие узлы имеют связь с разными источниками сигналов.

На этапе 2 по значению параметров вектор-маркера входной дуги, связанной с запускаемым переходом дугой с двойной стрелкой, определяется правило вычисления новых значений вектор-маркеров выходных дуг, запланированных на этапе 1.

- If  $S = (\alpha, \beta, 0, 0)$  ( $\alpha \neq 0, \beta \neq 0$ ) or  $S = (\alpha, \beta, \delta, \varepsilon)$  (23)

$$(\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0), \alpha - \delta > a_{\min}, \alpha - \varepsilon > a_{\min} \quad (24)$$

(мощность сигнала от источника земли существенно выше мощности возможных сигналов от источника питания),  $t \in T^p$ ;

$$S = (0, 0, \delta, \varepsilon) (\delta \neq 0, \varepsilon \neq 0) \quad (25)$$

$$S = (\alpha, \beta, \delta, \varepsilon) (\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0), \quad (26)$$

$$\delta - \alpha > a_{\min}, \delta - \beta > a_{\min} \quad (27)$$

(мощность сигнала от источника питания существенно выше мощности возможных сигналов от источника земли),  $t \in T^n$ , – то новые значения параметров вектор-маркера выходной дуги вычисляются путем вычитания параметра  $Q$  (соответствующего запускаемому переходу), из каждого параметра  $a_i \neq 0$  вектор-маркера соответствующей входной позиции. При этом, если новое значение параметра  $b_j < 0$ , то  $b_j := 0$ .

- If  $S = (\alpha, \beta, 0, 0)$  ( $\alpha \neq 0, \beta \neq 0$ ) or  $S = (\alpha, \beta, \delta, \varepsilon)$  (28)

$$(\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0), \alpha - \delta > a_{\min}, \alpha - \varepsilon > a_{\min}, t \in T^n, \quad (29)$$

$$\text{or } S = (0, 0, \delta, \varepsilon) (\delta \neq 0, \varepsilon \neq 0) \text{ or } S = (\alpha, \beta, \delta, \varepsilon) \quad (30)$$

$$(\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0), \delta - \alpha > a_{\min}, \delta - \beta > a_{\min}, t \in T^p, \quad (31)$$

то устанавливаются нулевые значения параметров вектор-маркера выходной дуги:  $S = (0, 0, 0, 0)$ .

- If  $S = (\alpha, \beta, \delta, \varepsilon)$  ( $\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0$ ),  $|\delta - \alpha| \leq a_{\min}$  (32)



(мощности сигналов источников земли и питания, воздействующих по цепям открытых транзисторов, соизмеримы по величине), или

$$\text{от } \delta - \alpha > a_{\min}, \delta - \beta \leq a_{\min} \text{ от } \alpha - \delta > a_{\min}, \alpha - \varepsilon \leq a_{\min}, \quad (33)$$

то новые значения параметров  $\beta$  и  $\varepsilon$  вектор-маркера выходной дуги вычисляются путем вычитания параметра  $Q$  из параметра вектор-маркера соответствующей входной позиции. При этом  $\alpha := 0, \delta := 0$ . Если новое значение параметров

$$\beta \leq 0, \text{ то } \beta := 0, \varepsilon \leq 0, \text{ то } \varepsilon := 0. \quad (34)$$

На этапе 3 вычисляются новые значения вектор-маркеров выходных дуг запускаемого перехода по правилам, определенным на этапе 2. Кроме того, вычисляются граничные значения соответствующих временных параметров.

На этапе 4 осуществляется вычисление нового вектор-маркера выходной позиции, если изменилось логическое состояние входной для данной позиции дуги. Заметим, что изменение параметров вектор-маркера не обязательно приводит к изменению логического состояния сигнала, так как может измениться лишь мощность сигнала источника, а логическое состояние сигнала при этом может оставаться прежним.

На этапе 5 разрешаются к запуску новые переходы, если изменение параметров вектор-маркера позиции привело к изменению логического состояния соответствующего сигнала.

Отличия интервального подхода к выполнению сети Петри заключается в вычислении вектор-маркеров позиций и связанных с ними интервалов времени появления сигналов, описываемых данными вектор-маркерами.

Рассмотрим фрагмент переключающей структуры (рис.2(а)) и особенности вычисления интервальной временной функции, описывающей логическое состояние выходного узла.

На рис.2(б) приведен граф соответствующей модифицированной сети Петри, построенный по правилам, изложенным в работе [4]. Пусть с выходной дугой перехода  $t_1$  связан логический сигнал, описываемый интервальной временной функцией, представленной диаграммой  $X_1$  на рис.3. Здесь интервальная переменная на некотором отрезке времени до момента времени, равного 10 временным единицам, а также после 14 описывает сигнал логической 1, на отрезке от 10 до 11 и от 13 до 14 – сигнал, логическое состояние которого не определено и равно или состоянию логической 1 или Z; на отрезке от 11 до 13 переменная описывает сигнал, равный логическому состоянию Z. С выходной дугой перехода  $t_2$  связан логический сигнал, описываемый интервальной временной переменной, представленной диаграммой  $X_2$  на рис.3. Интервальная переменная  $X_2$  описывает сигнал, который в интервале времени  $[10,11[$  имеет состояние  $x$ , в интервале  $[11,12[$  – состояние 0, в интервале  $[12,13[$  – логическое состояние 0 или z, до момента времени 10 – состояние 1 и, начиная с момента 13, – состояние z. Положим, что  $\tau^{m_1, m_2, n_1, n_2} = \tau^{4,5,4,5}$ . Величина инерциальной переменной равна 5 ( $\tau_i = 5$ ).

Воздействуя на переменные  $X_1$  и  $X_2$  оператором симметричного сдвига получаем функции  $X_1^*$  и  $X_2^*$  соответственно. Воздействуя на  $X_1^*$  и  $X_2^*$  оператором идеальной функции (в данном случае функции соединения) получаем интервальную временную функцию  $X_1 \# X_2$  (рис.2). После воздействия оператора высокочастотной отсечки с величиной инерциальной переменной, равной 5, на результат соединения, получаем функцию  $Y$ , описывающую сигнал, равный логической 1 на всем рассматриваемом интервале времени.

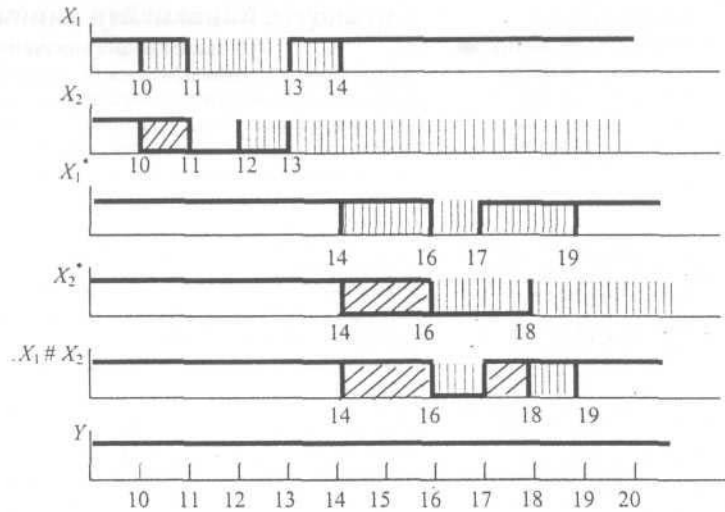


Рис.3. Временная диаграмма.

### 5. ЗАКЛЮЧЕНИЕ

Применение интервального подхода к моделированию MOS-структур на переключательном уровне позволяет получить более точную модель схемы до момента разработки ее топологического проекта, когда еще нет данных относительно длин линий соединения компонентов и поэтому отсутствует информация по задержкам сигналов в линиях связи.

### СПИСОК ЛИТЕРАТУРЫ

- [1] Золоторевич Л.А. Переключательное моделирование и тестирование MOS-структур // Автоматика и телемеханика. - Москва. 1992. -N 11, - С. 133-144.
- [2] Золоторевич Л.А., Юхневич Д.И. Переключательное квазистатическое моделирование VLSI. Сравнение методов по точности моделей // Автоматика и телемеханика. - 1998. - №9. - С. 130-141.
- [3] Золоторевич Л.А. Интервальная временная алгебра и ее применение для динамического анализа проектируемых устройств ЭВМ // Автоматика и вычислительная техника. - 1984. - № 4. - С. 81-88.
- [4] Zolotarevich L.A. VLSI simulation and analysis of switch-level hazards // The International Conference Computer-Aided Design of Diskrete Devices (CAD-DD'99). - Minsk. Vol.1. - 1999. - P. 100-107.

Рукопись получена 13.07.2001,  
переработанная – 27.08.2001.