

РОССИЙСКАЯ АКАДЕМИЯ НАУК
ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
АССОЦИАЦИЯ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА

**НОВЫЕ ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ В ИССЛЕДОВАНИИ
ДИСКРЕТНЫХ СТРУКТУР**

Доклады третьей всероссийской конференции
с международным участием

Томск
2000

ЛОГИКО-ДИНАМИЧЕСКОЕ МОДЕЛИРОВАНИЕ СБИС НА ПЕРЕКЛЮЧАТЕЛЬНОМ УРОВНЕ

Л.А. Золоторевич

Беларусь, Минск, пр. Ф. Скорины, 4,
Белгосуниверситет, факультет прикладной математики и информатики,
НИЛ математического моделирования в электронике,
тел.: (017) 2 6-58-81, zolotorevich@frm.bsu.unibel.by

Аннотация. Рассматривается задача динамического моделирования МОП-структур на переключательном уровне. Показывается актуальность решения задачи в связи с ростом степени интеграции элементов на кристалле и уменьшением линейных размеров транзисторов. Задача моделирования сводится к построению и выполнению временной модифицированной сети Петри, построенной на основе электрической схемы и содержащей двойную маркировку элементов сети. Приводятся общие правила построения сети и запуска переходов.

Ключевые слова. Динамическое моделирование, МОП-структуры, сети Петри, транзисторы, переключательный уровень.

Особенностью современной интегральной схемотехники является последовательное сокращение минимального размера транзистора на пути к предельному физически достижимому линейному размеру, по предположению 0,05 мкм, и повышенные в связи с этим требования к точности применяемых для верификации моделей. Переход интегральной схемотехники на производство МОП-структур, особенности функционирования таких структур с точки зрения существенного влияния емкостных эффектов привели к необходимости широкого применения временных переключательных моделей не только на этапе верификации аппаратуры и при генерации тестов. Исследованию вопросов построения логических моделей на переключательном уровне уделено достаточно много внимания [1–18] в литературе, однако практически мало исследованной остается проблема динамического моделирования.

Постановка задачи: Представляя переключательную структуру (рис. 1) как систему коммутации источников явных и переменных сигналов с внешними узлами определить для каждого узла логическое значение коммутируемого сигнала и время коммутации при заданном входном взаимодействии.

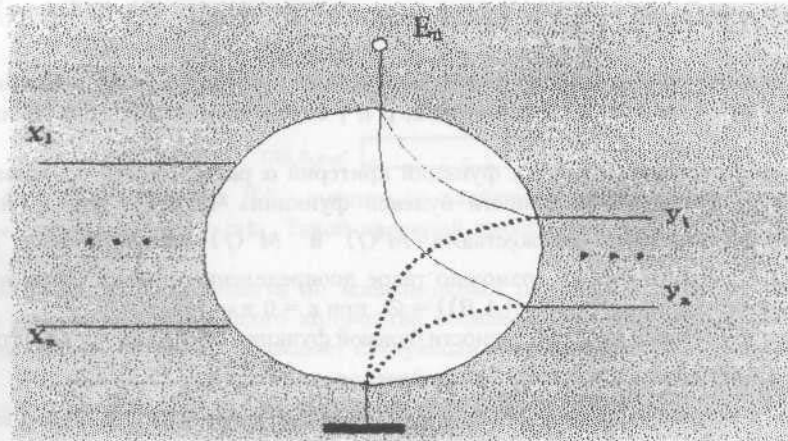


Рис. 1

Предлагаемый метод базируется на построении и выполнении модифицированной сети Петри. В графе сети переходами описываются транзисторы и источники сигналов, позициями – линии связи.

С каждой позицией сети, а так же с выходными дугами переходов связывается четырехэлементный вектор-маркер $S = (0^a, 0^b, 1^d, 1^e)$ логического состояния сигнала и динамический параметр времени t . Здесь

0^a – логическое состояние сигнала на линии коммутации с источником сигнала логического нуля;

0^b – логическое состояние сигнала на возможной линии коммутации с источником сигнала логического нуля (предполагается, что на данной линии расположены транзисторы в открытом или неопределенном состоянии);

1^d – логическое состояние сигнала на линии коммутации с источником сигнала логической единицы;

1^e – логическое состояние сигнала на возможной линии коммутации с источником сигнала логической единицы (по аналогии с 0^b).

Кроме того, с каждой позицией сети связывается L -элементный вектор-маркер управления $\mu = (\mu_1, \mu_2, \dots, \mu_L)$, управляющий выполнением сети где L – число выходных для данной позиции дуг. Каждый элемент вектора относится к определенной выходной дуге и определяет наличие фишки или ее отсутствие. С каждой входной дугой позиции сети связывается статический параметр задержки. Данные о задержках формируются программными экстракторами на основе анализа данных топологического проекта. При этом задержки сигналов связываются со стоками транзисторов n -типа (истоками p -типа), подключенных к узлу, соединенному хотя бы с одним затвором некоторого транзистора моделируемой структуры, или с ее выходным узлом, или, если в схеме имеются проходные транзисторы, то с истоком такого транзистора.

Заметим, что для переключательных схем отсутствует понятие сосредоточенной задержки, связанной с выходом логического компонента, которое широко использовалось при временном моделировании на уровне вентилях. Задержка, связанная с некоторым управляющим транзистором, рассчитывается с учетом сопротивления всего пути, проходящего от соответствующего источника постоянного или переменного сигнала к стоку данного транзистора.

Каждый переход имеет параметр Q_r^k , который характеризует сопротивление пути прохождения сигнала через соответствующий транзистор, находящийся в открытом состоянии. Позиция сети может быть связана с многими переходами (рис. 2), в то время как переход может связан не более чем с тремя позициями (рис. 3). Очевидно, что переход связан только с двумя позициями в том случае, если он моделирует транзистор нагрузочного типа, и переход может быть связан только с одной позицией, если он моделирует источник сигнала.

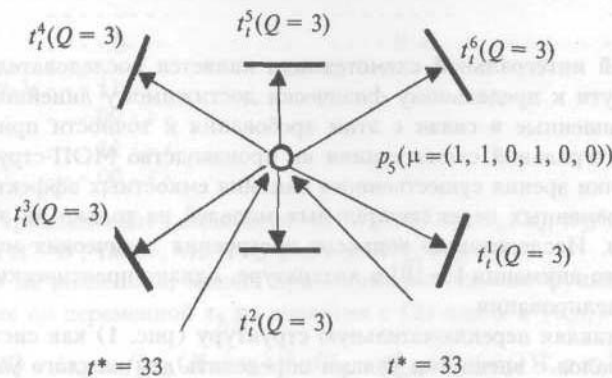


Рис. 2

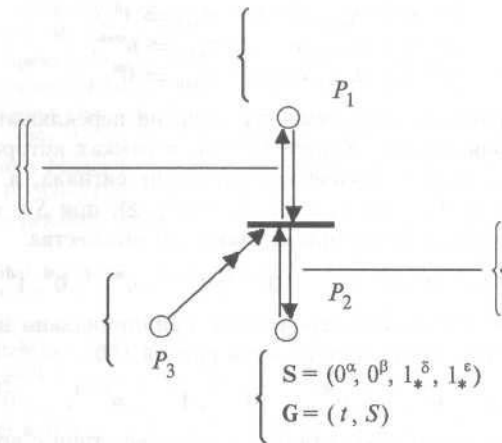


Рис. 3

Запуск перехода разрешается, если хотя бы одна входная для данного перехода позиция имеет фишку в соответствующей компоненте вектора-маркера $\mu = (\mu_1, \mu_2, \dots, \mu_L)$, связанного с данной позицией (по правилу ИЛИ). Разрешенные переходы запускаются в порядке времени их разрешения.

В процессе запуска переходов вычисляются векторы-маркеры, отражающие логические состояния соответствующих узлов моделируемой структуры, а так же времена установления этих состояний. Запуск перехода сводится к коррекции вектор-маркеров логического состояния и времени, связанных с выходными дугами запускаемого перехода. Если вектор-маркер выходной дуги изменился, то осуществляется вычисление новых значений вектор-маркеров логических состояний и времени, соответствующих выходным позициям. Маркер управления в соответствующую выходную позицию устанавливается только при изменении вектор-маркера логического состояния, связанного с данной позицией. Новое значение вектор-маркера логического состояния некоторой позиции содержит наибольшее значение соответствующей компоненты вектор-маркеров, связанных со всеми входными для данной позиции дугами.

После запуска перехода все соответствующие компоненты вектор-маркеров управления входных позиций запускаемого перехода удаляются.

Основные этапы выполнения временной сети:

- формирование структуры разрешенных переходов;
- выбор разрешенного перехода в порядке времени его разрешения;
- запуск перехода;
- перерасчет системы маркировки.

Запуск перехода сводится к следующему:

1. Анализ векторов S , соответствующих позициям P_1 и P_2 (рис. 3), связанным с запускаемым переходом дугой с одной стрелкой. При $\alpha, \beta, \delta, \epsilon \in P_1 > \alpha, \beta, \delta, \epsilon \in P_2$ планируется расчет вектора G , связанного с выходной дугой, направленной к позиции P_2 ; при $\alpha, \beta, \delta, \epsilon \in P_2 > \alpha, \beta, \delta, \epsilon \in P_1$ планируется расчет вектора G , связанного с выходной дугой, направленной к позиции P_1 , в противном случае – с обеими (за исключением позиций, соответствующих источникам входных сигналов).

2. Анализ вектора S^* , соответствующего входной позиции P_3 (рис. 3), связанной с запускаемым переходом дугой с двумя стрелками.

3. Перерасчет векторов G , запланированных в п. 1:

а) при значениях параметров вектора $S^* \alpha = \beta = 100, \delta = \epsilon = 0$ (если переходом моделируется транзистор р-типа) и при $\alpha = \beta = 0, \delta = \epsilon = 100$ (если переходом моделируется транзистор n-типа) расчет векторов S , связанных например, с позицией P_2 , осуществляется путем вычитания из каждого из параметров $\alpha, \beta, \delta, \epsilon$ вектора S позиции P_1 величины Q_i^k и присвоения полученных значений вектору S позиции P_2 . Значение параметра t вектора G позиции P_2 вычисляется прибавлением к соответствующему параметру t вектора G позиции P_1 .

б) при $\alpha = \beta = 0, \delta = \epsilon = 100$ (переходом моделируется транзистор р-типа) и при $\alpha = \beta = 100, \delta = \epsilon = 0$ (переходом моделируется транзистор n-типа) рассчитываемые параметры вектора S имеют следующие значения: $\alpha = 0, \beta = 0, \delta = 0, \epsilon = 0$; параметр t вычисляется, как в предыдущем случае.

в) при $\alpha = \beta = \delta = \epsilon = 100$ (неопределенное состояние транзистора) параметры вектора $S \alpha = \delta = 100$. Другие параметры рассчитываются как в а).

4. Перерасчет вектор-маркеров выходных позиций:

$$\begin{aligned} \alpha &= \alpha_{\max}; \beta = \beta_{\max}; \delta = \delta_{\max}; \epsilon = \epsilon_{\max}; \\ |\delta - \alpha| \leq a_{\min} &\Rightarrow u^{\delta\alpha}; \\ \delta - \alpha > a_{\min}, \delta - \beta \leq a_{\min} &\Rightarrow u^{\delta\beta}; \end{aligned}$$

5. Логический синтез, верификация и моделирование

$$\begin{aligned} \delta - \alpha > a_{\min}, \delta - \beta > a_{\min} &\Rightarrow 1^\delta; \\ \alpha - \delta > a_{\min}, \alpha - \varepsilon \leq a_{\min} &\Rightarrow u^{\alpha \vee \varepsilon}; \\ \alpha - \delta > a_{\min}, \alpha - \varepsilon > a_{\min} &\Rightarrow 0^\alpha. \end{aligned}$$

При разработке метода моделирования цифровых структур на переключательном уровне сетями Петри по существу использовалась многозначная алгебра Хейеса [8–11], в рамках которой электрический сигнал обозначается вектором (V, S) , где $V \in \{0, 1, x, z\}$ – логическое состояние сигнала, а $S \in \{1, 2, \dots, n\}$ – сила сигнала; $z < 0 \leq 1 < x$. Очевидно, что при $S = 1$, $V_4 = \{0, 1, x, z\}$, $L_1 = \{V_4, \geq\}$; при $S = n$, $L_n = \{V_{3n+1}, \geq\}$. Иначе многозначные сигналы по Хейесу можно представить в виде следующего множества:

$$A_x = \{0^1, 1^1, u^1, 0^2, 1^2, u^2, \dots, 0^{n-1}, 1^{n-1}, u^{n-1}, 0^n, 1^n, u^n, z\}.$$

Заметим, что приведенное выше множество переменных принципиально не отличается от применяемого в данной работе. Здесь максимальная сила сигнала полагается равной 100:

$$A = \{0^{100}, 1^{100}, u^{100}, 0^{99}, 1^{99}, u^{99}, \dots, 0^{i-1}, 1^{i-1}, u^{i-1}, \dots, 0^1, 1^1, u^1, z\}.$$

Запуск переходов при выполнении сети осуществляется в соответствии с временем их разрешения. При разрешении ряда переходов в одно и то же время последовательность их запуска произвольная.

Особый интерес представляет алгоритм перерасчета вектор-маркера логического состояния и параметра времени, связанных с некоторой позицией сети. Рассмотрим пример, приведенный на рис. 4.

На данном рисунке приведено значение вектор-маркеров логического состояния выходных дуг для трех переходов некоторой сети, а также параметры времени установки данных вектор-маркеров. На основании этой информации, связанной с входными для рассматриваемой позиции дугами, вычисляются вектор-маркер и время для данной позиции.

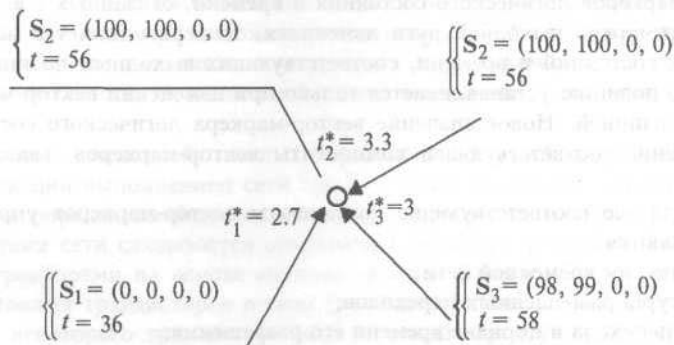


Рис. 4

На рис. 5 показана временная диаграмма, отражающая динамику переключения сигнала в узле, моделируемом данной позицией.

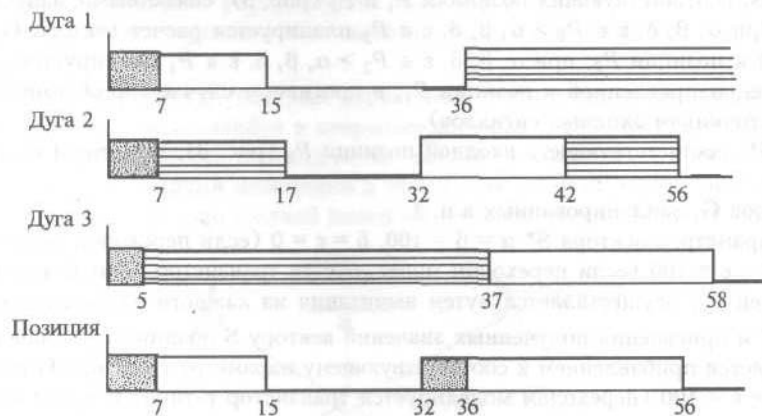


Рис. 5

Литература

1. Золотаревич Л.А., Юхневич Д.И. Сравнительный анализ методов переключательного моделирования. Материалы международной конференции «Автоматизация проектирования дискретных систем (CAD-DD'97)». Том 3. Минск: 1997. С. 21–28.
2. Золотаревич Л.А., Юхневич Д.И. Переключательное квазистатистическое моделирование СБИС. Сравнение методов по точности моделей. Автоматика и телемеханика. 1998. № 9. С. 130–141.
3. Золотаревич Л.А. Переключательное моделирование СБИС модифицированной сетью Петри. Доклады второй всероссийской конференции «Новые информационные технологии в исследовании дискретных структур». Екатеринбург. 1998. С. 69–74.

5. Логический синтез, верификация и моделирование

4. Zolotarevich L.A. VLSI simulation and analysis of switch-level hazards. The International Conference Computer - Aided Design of Discrete Devices (CAD-DD'99). V. 1. Minsk. 1999. P. 100-107.
5. Золотаревич Л.А., Юхевич Д.И. Временное моделирование СБИС на переключательном уровне. The International Conference Computer - Aided Design of Discrete Devices (CAD-DD'99). V. 3. Minsk. 1999. P. 93-100.
6. Adler D. Switch-Level Simulation Using Dynamic Graph Algorithms // IEEE Trans. on Computer - Aided Design of Integrated Circuits and Systems. March 1991. V. 10. № 3. P. 346-355.
7. Adler D. Dynamically-Directed Switch Model for MOS Logic Simulation // Proc. ACM/IEEE Design Automation Conference. 1988, June 12-15. New York. P. 506-511.
8. Хейес Дж.П. Обобщенная теория переключательных схем и ее применение для проектирования СБИС // ТИИЭР. Т. 70. № 10. 1982. С. 5-19.
9. Hayes J.P. Fault Modeling for Digital MOS Integrated Circuits // IEEE Transaction Computer - Aided Design. 1984, July. P. 200-207.
10. Hayes J.P. Pseudo-Boolean Logic Circuits // IEEE Trans. Comput. V. C-35. 1986, July. P. 602-612.
11. Hayes J.P. An Introduction to Switch-Level Modeling // IEEE Des. And Test Comput. 1987. V. 4. № 4. P. 18-25.
12. Bryant R.E. MOSSIM: a Switch-Level Simulator for MOS LSI // Proc. ACM/IEEE Design Automation Conference. 1981, June. P. 786-790.
13. Bryant R.E. A Switch-Level Model and Simulator for MOS Digital Systems // IEEE Trans. of Computers. 1984. P. 160-177.
14. Bryant R.E. A Survey of Switch-Level Algorithms // IEEE Design and Test. 1987, Aug. V. 4. № 4. P. 26-40.
15. Bryant R.E., Schuster M.D. Performance Evolution on FMOSSIM, a Concurrent Switch-Level Fault Simulation // Proc. ACM / IEEE Design Automation Conference. Las Vegas. 1985. P. 715-719.
16. Золотаревич Л.А. Автоматика и телемеханика. Переключательное моделирование и тестирование МОП-структур. А и Т. 1992. С. 133-144.

VLSI LOGIC-DYNAMIC SIMULATION AT SWITCH LEVEL

L.A. Zolotarevich

*Belarusian State University, Department of Applied Mathematics and Informatics,
F. Skorina avenue, 4, Minsk, Republic of Belarus, 220050.
Phone: (017) 226-58-81. E-mail: zolotarevich@fpm.bsu.unibel.by*

The problem of MOS-VLSI dynamic simulation at switch level is considered. A circuit is described by modified time Petri nets. The simulation MOS-VLSI problem of the circuit is reduced to fulfillment of corresponding Petri nets. Double marking of network elements is used. General rules for fulfillment of the network are given. Network transitions are carried out at the time when they are allowed.

Key Words. Petri nets, dynamic simulation, MOS-VLSI, switch level.