

Национальная академия наук Беларуси  
Институт технической кибернетики

Министерство внутренних дел Республики Беларусь  
Главное управление командующего внутренними войсками

Министерство по чрезвычайным ситуациям  
Республики Беларусь

Вторая международная конференция

**ЦИФРОВАЯ ОБРАБОТКА ИНФОРМАЦИИ  
И УПРАВЛЕНИЕ В ЧРЕЗВЫЧАЙНЫХ  
СИТУАЦИЯХ**

28-30 ноября 2000 года, Минск

Доклады

Том 1

Минск 2000

УДК 658.012.011.56.005.681.301.502.58.504.056.502.58.00.18

**Цифровая обработка информации и управление в чрезвычайных ситуациях** // Материалы Второй международной конференции (28-30 ноября 2000 г., Минск. Том 1).-Минск: Институт технической кибернетики НАН Беларуси, 2000. - 204 с.

Настоящий том содержит тексты докладов, представленные на Вторую международную конференцию «Цифровая обработка информации и управление в чрезвычайных ситуациях» (Минск, 28-30 ноября 2000 г.). Изложены основные результаты, полученные за последнее время по проблемам и основным направлениям обработки сигналов и изображений, разработки устройств и систем обработки информации в чрезвычайных ситуациях.

Доклады одобрены и рекомендованы к публикации редколлегией института и организационным комитетом, прошли рецензирование и печатаются в виде, представленном авторами после устранения замечаний.

**Научный редактор**  
доктор технических наук,  
профессор С.В. Абламейко

ISBN 985-6453-53-4 (Том 1)  
ISBN 985-6453-52-6

©Институт технической  
кибернетики  
НАН Беларуси, 2000

## МОДЕЛИРОВАНИЕ ПЕРЕКЛЮЧАТЕЛЬНЫХ МОП-СТРУКТУР С УЧЕТОМ ВРЕМЕННЫХ ПАРАМЕТРОВ

Л.А. Золоторевич  
Беларусь, Минск

Рассматривается задача моделирования цифровых МОП-структур на переключательном уровне с учетом задержек распространения сигналов. Моделирование осуществляется на основе построения модифицированной временной сети Петри по структуре моделируемой схемы. При этом алгоритмы функционирования схемы не закладываются в структуру сети, что ограничивает ее сложность. Отличием предложенной сети является введенная система маркировки элементов сети, посредством которой вычисляется ряд функциональных параметров моделируемой схемы.

### Введение

Особенность микроэлектроники как отрасли промышленности состоит в том, что математическое моделирование является единственным инструментом исследования проектов на предмет корректности функционирования изделий на всех этапах проектирования. При этом применяемые для моделирования средства должны обеспечивать на каждом этапе требуемый компромисс между точностью моделей и скоростью моделирования. Для исследования корректности проекта в целом на заключительном этапе проектирования применяются методы логического моделирования и динамического - на логическом уровне. Наиболее актуальным в настоящее время как с теоретической, так и с практической точки зрения является динамическое моделирование цифровых МОП-структур на переключательном уровне. Известные подходы к моделированию переключательных структур, опубликованные в работах [1-11], основываются на представлении переключательной структуры в виде системы коммутации сигналов источников с выходами схемы и на сопоставлении сопротивлений цепей распространения сигналов. Однако в данных работах не рассматривается задача временного моделирования, а процесс квазистатического моделирования схемы в целом недостаточно формализован.

В данной работе ставится задача сведения процесса временного моделирования МОП-структуры к построению и выполнению модифицированной временной сети Петри. Исходными данными являются структура схемы и задержки распространения сигналов от источников к узлам схемы.

## 1. Теоретико-множественное представление модифицированной сети Петри

Сеть Петри  $\Pi = (T, P, I, I^*, O, Q, V, \mu)$ , где  $T = \{T^n, T^p, T^d, T^s\}$ ,  $P = (P^1, P^2)$ ,  $T \cap P = \emptyset$ ;  $I, I^*$  – входные функции отображения из переходов в комплекты позиций,  $O$  – выходная функция отображения из переходов в комплекты позиций,  $Q$  – функция соответствия переходов и параметров мощности транзисторов;  $V$  – функция соответствия входных дуг позиций  $p_i \in P^1$ ,  $P^1 \in P$  и параметров времени.

Множество переходов  $T$  описывает транзисторы  $n$ -типа ( $T^n$ ),  $p$ -типа ( $T^p$ ), нагрузочные транзисторы ( $T^d$ ), источники сигналов ( $T^s$ ). Множество позиций  $P$  описывает линии соединения (узлы моделируемой структуры);  $P^1$  – узлы, являющиеся выходными, и узлы, связанные с затворами транзисторов;  $P^2$  – все остальные узлы схемы;  $I$  – функция входов, описывающая для каждого из переходов позиции, являющиеся входными для данного перехода;  $I^*$  – указывает для каждого перехода ту входную позицию, которая соответствует узлу формирования управляющего сигнала для данного транзистора (при описании функции  $I$  данная позиция не указывается);  $O$  – функция выходов, указывающая выходные позиции каждого перехода;  $Q$  – функция, устанавливающая соответствие каждому переходу  $t_i \in T^{npd}$  ( $T^{npd} = T^n \cup T^p \cup T^d$ ) величины логического сопротивления соответствующего транзистора в открытом состоянии.

## 2. Теоретико-графовое представление модифицированной сети Петри

Теоретико-графовое представление предложенной модифицированной сети Петри – это двудольный ориентированный мультиграф, где переходами описываются источники сигналов и транзисторы структуры, а позициями – линии связи (узлы структуры) [13-17]. Связывающие дуги могут иметь направление от перехода к позиции и от позиции к переходу. Каждая позиция может быть связана дугами с рядом переходов (рис.1), число которых ограничивается технологией изготовления моделируемого

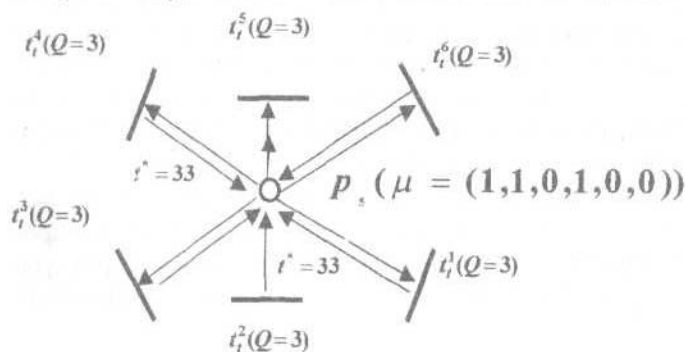


Рис.1. К иллюстрации системы маркировки сети

устройства. Переход может быть связан не более чем с тремя позициями (рис.2). В то же время переход, описывающий источник сигнала, связан только с одной позицией. Переход может быть связан с двумя позициями, если он описывает транзистор нагрузочного типа.

С каждой позицией сети, а также с каждой выходной дугой перехода связан четырехэлементный вектор-маркер логического состояния  $S = (0^\alpha, 0^\beta, 1^\delta, 1^\epsilon)$  и параметр времени  $t_c$ , указывающий момент времени появления логического состояния  $S$ ;  $\alpha, \beta, \delta, \epsilon \in (1, \dots, 100)$ , где

$0^\alpha$  - логическое состояние сигнала на линии коммутации с источником земли (источник сигнала 0 связан с данным узлом через цепь транзисторов, находящихся в открытом состоянии);

$0^\beta$  - логическое состояние сигнала на возможной линии коммутации с источником земли (источник сигнала 0 связан с данным узлом через цепь транзисторов, находящихся в открытом или неопределенном состоянии);

$1^\delta$  - логическое состояние сигнала на линии коммутации с источником питания (источник сигнала 1 связан с данным узлом через цепь транзисторов, находящихся в открытом состоянии);

$1^\epsilon$  - логическое состояние сигнала на возможной линии коммутации с источником питания (источник сигнала 1 связан с данным узлом через цепь транзисторов, находящихся в открытом или неопределенном состоянии).

Кроме того, с каждой входной дугой позиции из множества  $P^1$  связан статический параметр времени  $t_c$ .

На Рис.3 приведен пример переключательной структуры, реализующей функцию равнозначности, а на рис.4 соответствующий ей оргграф модифицированной сети Петри.

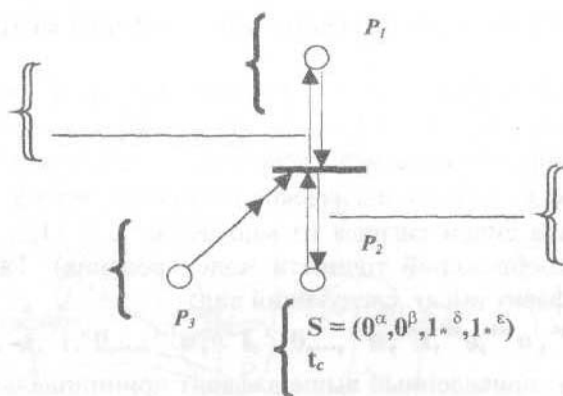


Рис.2. Фрагмент сети Петри

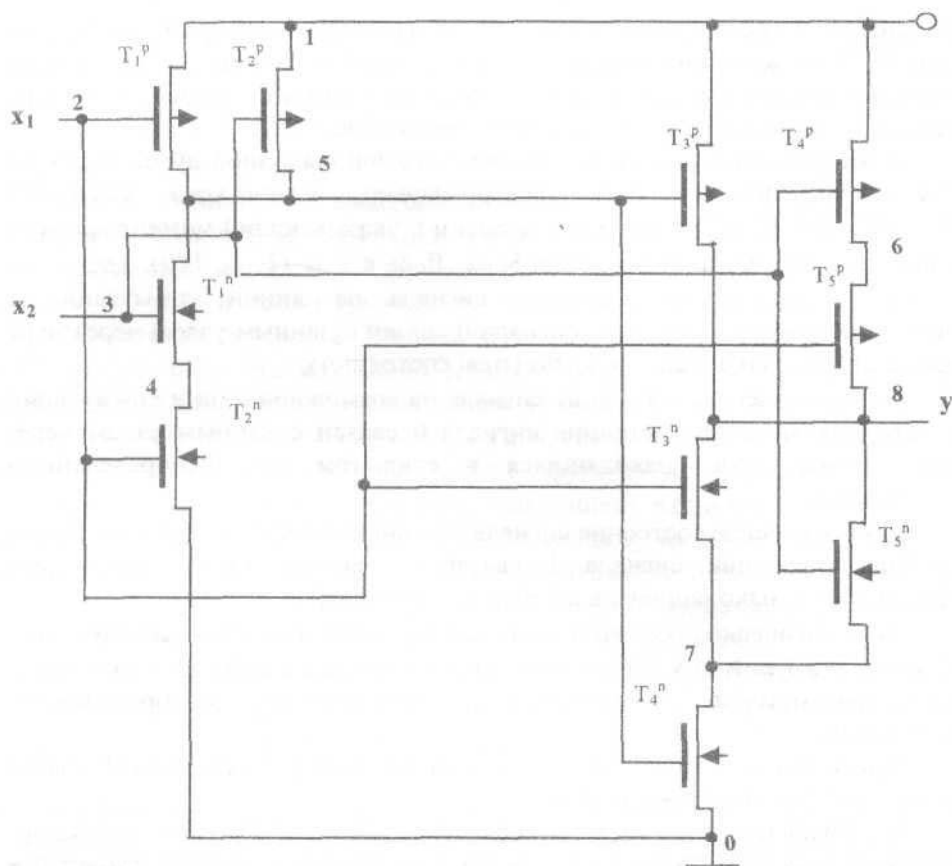


Рис.3. МОП-структура, реализующая функцию равнозначности

### 3. Вектор-маркер логического состояния. Алфавит моделирования

Применяемый алфавит моделирования включает переменные из множества  $V \in \{0, 1, x, z\}$ , где 0 и 1 – логические состояния нуля и единицы,  $x$  – состояние неопределенности,  $z$  – логическое состояние высокого импеданса,  $z < 0 \leq 1 < x$ . Каждое логическое состояние сигнала дополнительно характеризуется силой сигнала из множества  $L = \{1, 2, \dots, n\}$ ;  $n = 100$  (выбирается из соображений точности моделирования). Таким образом, применяемый алфавит имеет следующий вид:

$$A = \{0^{100}, 1^{100}, u^{100}, 0^{99}, 1^{99}, u^{99}, \dots, 0^{i-1}, 1^{i-1}, u^{i-1}, \dots, 0^1, 1^1, u^1, z\}.$$

По существу, приведенный выше алфавит принципиально не отличается от алфавита, применяемого в работах Хейеса [1-5], в котором число переменных также выбирается исходя из требований точности моделирования. Единственное отличие заключается в том, что у Хейеса чем выше сила сигнала, тем меньше значение параметра силы. Применяемый в данной работе алфавит моделирования также принципиально не отличается от алфавита, применяемого в работах Адлера [10,11]:

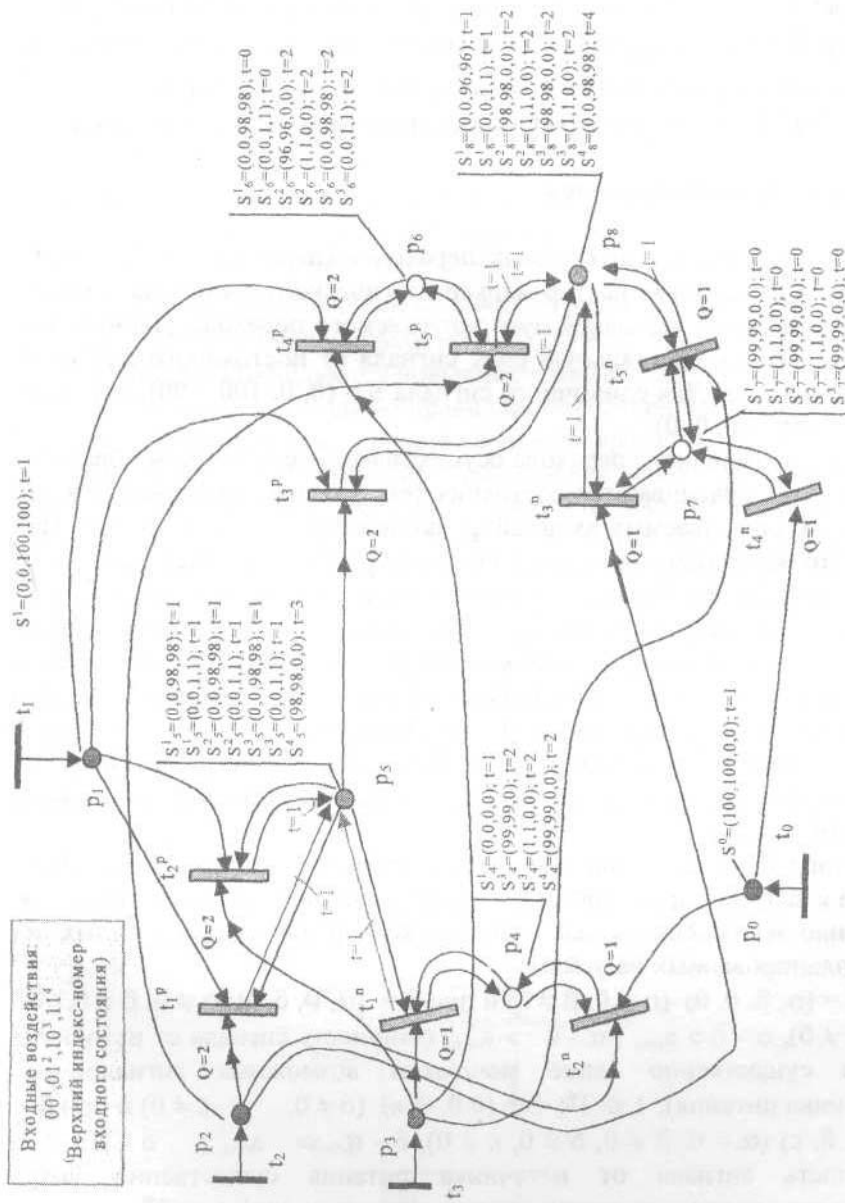


Рис. 4. Граф сети Петри

$$\Psi_{\square} = (S_0, S_1, \dots, S_n, S_{n+1}, \dots, S_{2n}, S_{2n+1}),$$

$$S_0 < S_1 < \dots < S_{2n+1}$$

где  $S_0$  - состояние  $z$  (мощность логического сигнала на линии, отключенной от источника постоянного сигнала);

$S_{2n+1}$  - мощность сигнала постоянного источника.

По сравнению с алфавитом Адлера в настоящей работе трехэлементный вектор  $S = (S_{def}, S_0, S_1)$ , применяемый для идентификации логического состояния сигнала, заменен четырехэлементным вектором  $S = (0^{\alpha}, 0^{\beta}, 1^{\delta}, 1^{\varepsilon})$ , что позволяет упростить алгоритм моделирования.

#### 4. Правила запуска переходов

Запуск безусловно запускаемых переходов (переходы из множества  $T^n$ ) сводится к установке вектор-маркера логического состояния и времени, соответствующих выходной дуге запускаемого перехода. Данный вектор-маркер имеет максимальную силу сигнала от постоянного или переменного источника. Для единичного сигнала  $S = (0, 0, 100, 100)$ , для нулевого -  $S = (100, 100, 0, 0)$ .

Запуск разрешенного перехода осуществляется следующим образом.

На этапе 1 сравниваются состояния текущих вектор-маркеров входных позиций, описываемых входной функцией  $I$  ( $P_1$  и  $P_2$  на рис.2). При условии, что все параметры одного вектор-маркера (например, соответствующего позиции  $P_1$ ) больше соответствующих параметров другого вектор-маркера (соответствующего  $P_2$ ), определяется выходная дуга для данного перехода, для которой необходимо рассчитывать новое значение вектор-маркера на этапе 3 (дуга, идущая от перехода к позиции  $P_2$ ). Если сравниваемые вектор-маркеры имеют одинаковые параметры, то запуск перехода на данном этапе завершается. Если вектор-маркеры входных позиций не сравнимы, то на этапе 3 будут рассчитываться вектор-маркеры обеих выходных дуг.

На этапе 2 по значению параметров вектор-маркера входной дуги, связанной с запускаемым переходом дугой с двойной стрелкой, определяется правило вычисления новых значений вектор-маркеров выходных позиций, запланированных на этапе 1:

- при  $S = (\alpha, \beta, 0, 0)$  ( $\alpha \neq 0, \beta \neq 0$ ) и при  $S = (\alpha, \beta, \delta, \varepsilon)$  ( $\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0$ ),  $\alpha - \delta > a_{\min}$ ,  $\alpha - \varepsilon > a_{\min}$  (мощность сигнала от источника земли существенно выше мощности возможных сигналов от источника питания),  $t \in T^p$ ;  $S = (0, 0, \delta, \varepsilon)$  ( $\delta \neq 0, \varepsilon \neq 0$ ) и при  $S = (\alpha, \beta, \delta, \varepsilon)$  ( $\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0$ ),  $\delta - \alpha > a_{\min}$ ,  $\delta - \beta > a_{\min}$  (мощность сигнала от источника питания существенно выше мощности возможных сигналов от источника земли),  $t \in T^n$  - новые значения параметров вектор-маркера выходной дуги вычисляются путем вычитания параметра  $Q$ , соответствующего запускаемому переходу, из каждого параметра  $a_i \neq 0$  вектор-маркера соответствующей



входной позиции. При этом, если новое значение параметра  $b_j \leq 0$ , то  $b_j := 0$ ;

- при  $S = (\alpha, \beta, 0, 0)$  ( $\alpha \neq 0, \beta \neq 0$ ) и при  $S = (\alpha, \beta, \delta, \varepsilon)$  ( $\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0$ ),  $\alpha - \delta > a_{\min}, \alpha - \varepsilon > a_{\min}, t \in T^n S = (0, 0, \delta, \varepsilon)$  ( $\delta \neq 0, \varepsilon \neq 0$ ) и при  $S = (\alpha, \beta, \delta, \varepsilon)$  ( $\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0$ ),  $\delta - \alpha > a_{\min}, \delta - \beta > a_{\min}, t \in T^p$  устанавливаются нулевые значения параметров вектор-маркера выходной дуги и  $S = (0, 0, 0, 0)$ ;
- при  $S = (\alpha, \beta, \delta, \varepsilon)$  ( $\alpha \neq 0, \beta \neq 0, \delta \neq 0, \varepsilon \neq 0$ ),  $|\delta - \alpha| \leq a_{\min}$  (мощности сигналов источников земли и питания, воздействующих по цепям открытых транзисторов, соизмеримы по величине),  $\delta - \alpha > a_{\min}, \delta - \beta \leq a_{\min}, \alpha - \delta > a_{\min}, \alpha - \varepsilon \leq a_{\min}$ , новые значения параметров  $\beta$  и  $\varepsilon$  вектор-маркера выходной дуги вычисляются путем вычитания параметра  $Q$ , связанного с запускаемым переходом, из соответствующего по значению параметра вектор-маркера соответствующей входной позиции. При этом  $\alpha := 0, \delta := 0$ . Если новое значение параметров  $\beta \leq 0$ , то  $\beta := 0$ ,  $\varepsilon \leq 0$ , то  $\varepsilon := 0$ .

На этапе 3 вычисляются новые значения вектор-маркеров выходных дуг запускаемого перехода по правилам, определенным на этапе 2. Кроме того, вычисляется новое значение параметра времени.

На этапе 4 осуществляется вычисление нового вектор-маркера выходной позиции, если изменилось логическое состояние входной для данной позиции дуги. Заметим, что изменение параметров вектор-маркера не обязательно приводит к изменению логического состояния сигнала, так как может измениться лишь мощность сигнала источника, а логическое состояние сигнала при этом может оставаться прежним.

На этапе 5 разрешаются к запуску новые переходы, если изменение параметров вектор-маркера позиции привело к изменению логического состояния соответствующего сигнала.

На рис. 5 приведена временная диаграмма работы переключательной структуры, изображенной на рис. 3, а на рис. 4 показана динамика вычисления вектор-маркеров позиций сети, соответствующей моделируемой схеме. Моделируемые входные воздействия указаны на рис. 4 в левом верхнем углу.

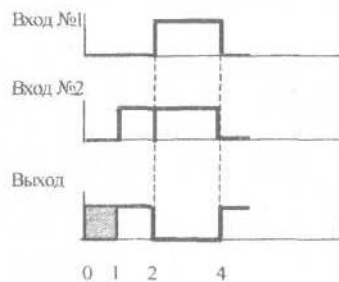


Рис. 5. Временная диаграмма

## Литература

1. Хейес Дж.П. Обобщенная теория переключательных схем и ее применение для проектирования СБИС//ТИИЭР. – Т. –70. - № 10. – 1982. - С. 5-19.
2. Kawai M., Hayes J.P. An Experimental MOS Fault Simulation Program CSASIM. - /Proc. ACM/ IEEE Design Automation Conference, New Mexico, 25-27 June, 1984, p. 2-9.
3. Hayes J.P. Fault Modelling for Digital MOS Integrated Circuits. - IEEE Transaction Computer-Aided Design, 1984, July, p. 200-207.
4. Hayes J.P. Pseudo-Boolean Logic Circuits. - IEEE Trans. Comput. Vol. C-35. July 1986, p. 602-612.
5. Hayes J.P. An Introduction to Switch-Level Modelling. - IEEE Des. And Test Comput., 1987, Vol. 4, № 4, p. 18-25.
6. Bryant R.E. MOSSIM: a Switch-Level Simulator for MOS LSI. /Proc. ACM/ IEEE Design Automation Conference, June 1981, p. 786-790.
7. Bryant R.E. A Switch-Level Model and Simulator for MOS Digital Systems. - IEEE Trans. on Computers. 1984, p. 160-177.
8. Bryant R.E. A Survey of Switch-Level Algorithms. - IEEE Design and Test, Aug. 1987. Vol. 4, № 4, p. 26-40.
9. Bryant R.E., Schuster M.D. Performance Evaluation on FMOSSIM, a Concurrent Switch-Level Fault Simulation. - /Proc. ACM/ IEEE Design Automation Conference, Las Vegas, 1985, p. 715-719.
10. Adler D. Switch-Level Simulation Using Dynamic Graph Algorithms. - IEEE Trans. on Computer-Aided Design of Integrated Curcuits and Systems. March 1991. Vol. 10. № 3, p. 346-355
11. lation. - /Proc. ACM/ IEEE Design Automation Conference, June 12-15, 1988, New York, Adler D. A Dynamically-Directed Switch Model for Mos Logic Simu p.506-511.
12. Золоторевич Л.А. Переключательное моделирование и тестирование МОП-структур//Автоматика и телемеханика.– 1992.– №11.–С.133 -144.
13. Золоторевич Л.А., Юхневич Д.И. Переключательное квазистатическое моделирование СБИС. Сравнение методов по точности моделей//Автоматика и телемеханика. - 1998. - №9. - С. 130 –141.
14. Золоторевич Л.А. Переключательное моделирование СБИС модифицированной сетью Петри//Докл. второй всерос. конф. «Новые информационные технологии в исследовании дискретных структур». - Екатеринбург. 1998. - С.69- 74.
15. Золоторевич Л.А. Анализ состязаний сигналов на переключательном уровне//Тр. VI Междунар. науч. конф. «Актуальные проблемы информатики». 26-30 окт. 1998 г. - Минск. - С. 291-299.
16. Zolotorevich L.A. VLSI simulation and analysis of switch-level hazards.- The International Conference Computer- Aided Design of Diskrete Devices (CAD-DD'99). Vol. 1. Minsk. 1999. PP. 100-107.
17. Золоторевич Л.А., Юхневич Д.И. Временное моделирование СБИС на переключательном уровне.- The International Conference Computer-Aided Design of Diskrete Devices (CAD-DD'99). Vol. 3. Minsk.