



Г.И. Пухальский, Т.Я. Новосельцева

# ЦИФРОВЫЕ УСТРОЙСТВА

*Рекомендовано  
Государственным комитетом Российской Федерации  
по высшему образованию в качестве учебного пособия  
для студентов технических специальностей  
высших учебных заведений*



**ПОЛИТЕХНИКА**  
**ИЗДАТЕЛЬСТВО**  
Санкт-Петербург 1996

ББК 32.973.2  
П90  
УДК 621.396.6

Рецензенты: кафедра радиосистем Новгородского государственного  
университета  
и д-р техн. наук доц. С. Т. Хвощ

Издание выпущено в счет дотации,  
выделенной Комитетом РФ по печати

Пухальский Г. И., Новосельцева Т. Я.

П90 Цифровые устройства: Учебное пособие для втузов. —  
СПб.: Политехника, 1996. — 885 с.: ил.

ISBN 5-7325-0359-5

Изложены основы теории переключательных функций и цифровых автоматов, позволяющие простейшими методами решать задачи проектирования цифровых устройств на интегральных схемах (ИС). Даны оригинальные математические методы анализа и синтеза автоматов, основанные на операторах переходов и решений систем логических уравнений.

Приведено полное аналитическое описание нескольких сот отечественных и зарубежных ИС. Приложения ориентированы на быстрый поиск цоколевки и параметров интересующей ИС по ее отечественному и зарубежному обозначению. Учебное пособие обеспечивает все виды занятий по цифровой технике по курсу «Цифровые и микропроцессорные устройства» и может служить справочником при проектировании интерфейсных устройств микроЭВМ.

П 2404000000—004 4—96  
045(01)—96

ББК 32.973.2

ISBN 5-7325-0359-5

© Издательство «Политехника», 1996

## Предисловие

Для удобства пользователей учебное пособие разбито на две части: Часть I, содержащую основы теории переключательных функций и цифровых автоматов, и Часть II, посвященную описанию интегральных схем (ИС) и проектированию на их основе электронных устройств, широко используемых в цифровых системах. Такое сочетание материала позволяет использовать учебное пособие как для подготовки высококвалифицированных специалистов в области проектирования цифровых устройств, так и при решении практических задач синтеза электронных узлов на основе ИС.

Учебное пособие содержит все необходимые теоретические сведения и практические данные для обучения технике логического проектирования даже неподготовленного читателя без привлечения дополнительной литературы.

В гл. 1 – 4 (Часть I) изложены элементарные основы алгебры логики и теории переключательных функций и цифровых автоматов, позволяющие простейшими формальными методами решать разнообразные задачи проектирования цифровых устройств на ИС. Для описания законов функционирования, анализа и синтеза цифровых устройств широко применяется оригинальный математический аппарат, основанный на использовании операторов переходов и решении систем логических уравнений. Только на основе этого аппарата возможно точное аналитическое описание функционирования устройств с импульсным и потенциальным воздействием входных сигналов. Например, даже функции переходов синхронных триггеров с дополнительными асинхронными потенциальными входами невозможно записать без использования операторов переходов.

Для эффективного использования учебного пособия следует преодолеть весьма распространенное заблуждение о трудности применения аналитических методов и хорошо усвоить все новые для читателя понятия (гл. 1). Кроме того, необходимо научиться быстро и безошибочно производить преобразования логических выражений. Для этого рекомендуется самостоятельно повторить решение всех приведенных примеров и задач. Приложив относительно небольшие усилия, можно достаточно быстро приобрести практические навыки применения теорем и тождеств алгебры логики для решения конкретных задач. При этом обычно происходит резкий качественный скачок из состояния неуверенности в своих силах к полной удовлетворенности результатами проделанной работы.

Для глубокого овладения методами проектирования электронных устройств первостепенное значение имеет изучение физических процессов, протекающих в них при изменении входных сигналов. Для этих целей разработан оригинальный метод исследования переходных процессов в логических схемах как без обратных, так и с обратными связями, основанный на динамических моделях логических элементов и схем, адекватных реальным физическим элементам и устройствам (гл. 2).

Рассмотрены практические методы синтеза асинхронных потенциальных (гл. 3) и синхронных (гл. 4) автоматов, способствующие глубокому освоению цифровой микросхемотехники. Впервые приводятся исчерпывающие сведения по классификации и синтезу асинхронных потенциальных, асинхронных импульсных и синхронных триггеров и счетчиков. Теоретический материал иллюстрируется большим числом примеров синтеза как стандартных цифровых устройств, так и узлов специального назначения. Материал изложен с расчетом использования его для аналитического описания функционирования любых цифровых ИС малой и средней степени интеграции, а также большой степени интеграции при регулярной их структуре.

Справочный материал (Часть II, гл. 5 – 7) содержит полное аналитическое описание законов функционирования большого числа (около 1000) ИС различной степени интеграции, выпускаемых как отечественными, так и зарубежными фирмами, что позволило унифицировать их условные графические обозначения на основе принятого государственного стандарта. Дано описание серий ИС, изготавливаемых и по новейшим ТТЛ и КМОП технологиям (1530, 1531 и 1554, 1564, 1594). Приведены типовые решения многих практических задач при оптимальном использовании функциональных возможностей серийно выпускаемых микросхем. Учебное пособие может служить настольным руководством для специалистов, занимающихся разработкой внешних устройств микропроцессорных систем.

Обширные приложения содержат богатый справочный материал, ориентированный на быстрый поиск цоколевки и параметров интересующей ИС, как по ее отечественному или зарубежному обозначению, так и по функциональному назначению.

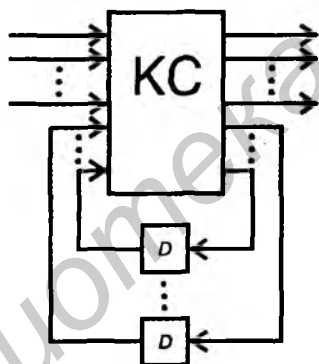
Параграфы 5.1 – 5.8, 6.1 – 6.6 и 7.1 – 7.6 написаны Т. Я. Новосельцевой, остальные — Г. И. Пухальским; в составлении приложений принимали участие оба автора.

Учебное пособие может быть полезно не только студентам и преподавателям вузов, но и инженерам, занимающимся проектированием электронной аппаратуры.

# ЧАСТЬ 1

---

## ОСНОВЫ ТЕОРИИ ПЕРЕКЛЮЧАТЕЛЬНЫХ ФУНКЦИЙ И ЦИФРОВЫХ АВТОМАТОВ



# Глава 1

## Основы теории переключательных функций

### 1.1. Аксиомы, основные теоремы и тождества алгебры логики

Основы алгебры логики были заложены в середине XIX века трудами английского математика Дж. Буля [1, 2], по имени которого она называется также булевой алгеброй. Ясное понимание принципов, лежащих в ее основе, исключительно важно для овладения формальными методами проектирования цифровых систем. Начало использованию алгебры логики для синтеза переключательных (релейных) схем было положено в 1938 г. работами американского ученого К. Шеннона [3, 4].

**Аксиомы алгебры логики.** В алгебре логики рассматриваются переменные, которые могут принимать только два значения — 0 и 1. В дальнейшем переменные будем обозначать латинскими буквами  $x, y, z, \dots$ . В алгебре логики определены отношение эквивалентности ( $=$ ) и три операции [5]: *дизъюнкция* (операция ИЛИ), обозначаемая знаком  $\vee$ , *конъюнкция* (операция И), обозначаемая знаком  $\&$  или точкой, которую можно опускать (например,  $x \cdot y = xy$ ), и *отрицание* (инверсия, операция НЕ), обозначаемое чертой над переменными или над элементами 0 и 1 (например,  $\bar{x}, \bar{0}, \bar{1}$ ). Отношение эквивалентности удовлетворяет следующим свойствам:

$x = x$  — *рефлексивность*;

если  $x = y$ , то  $y = x$  — *симметричность*;

если  $x = y$  и  $y = z$ , то  $x = z$  — *транзитивность*.

Из отношения эквивалентности следует *принцип подстановки*: если  $x = y$ , то в любой формуле, содержащей  $x$ , вместо  $x$

можно подставить  $y$ , и в результате будет получена эквивалентная формула.

Алгебра логики определяется следующей системой аксиом:

$$\left. \begin{aligned} x = 0, \text{ если } x \neq 1, \\ x = 1, \text{ если } x \neq 0; \end{aligned} \right\} \quad (1.1)$$

$$\left. \begin{aligned} 1 \vee 1 = 1, \\ 0 \cdot 0 = 0; \end{aligned} \right\} \quad (1.2)$$

$$\left. \begin{aligned} 0 \vee 0 = 0, \\ 1 \cdot 1 = 1; \end{aligned} \right\} \quad (1.3)$$

$$\left. \begin{aligned} 0 \vee 1 = 1 \vee 0 = 1, \\ 1 \cdot 0 = 0 \cdot 1 = 0; \end{aligned} \right\} \quad (1.4)$$

$$\left. \begin{aligned} \bar{0} = 1, \\ \bar{1} = 0. \end{aligned} \right\} \quad (1.5)$$

Аксиома (1.1) является утверждением того, что в алгебре логики рассматриваются только двоичные переменные, аксиомы (1.2) – (1.4) определяют операции дизъюнкции и конъюнкции, а аксиома (1.5) — операцию отрицания. Если в аксиомах (1.2) – (1.5), заданных парами, произвести взаимную замену операций дизъюнкции и конъюнкции, а также элементов 0 и 1, то из одной аксиомы пары получится другая. Это свойство называется *принципом двойственности*.

**Теоремы и тождества алгебры логики.** С помощью аксиом алгебры логики можно доказать целый ряд теорем и тождеств. Одним из эффективных методов доказательства теорем является *метод перебора* всех значений переменных: если теорема истинна, то с учетом (1.2) – (1.5) уравнение, формулирующее утверждение теоремы, должно быть истинно при подстановке любых значений переменных в обе его части. Метод перебора не слишком трудоемок, так как переменные могут иметь только два значения: 0 и 1. Так, методом перебора легко убедиться в справедливости следующих теорем:

*идемпотентные законы*

$$\left. \begin{aligned} x \vee x = x, \\ x \cdot x = x; \end{aligned} \right\} \quad (1.6)$$

*коммутативные законы*

$$\left. \begin{aligned} x \vee y = y \vee x, \\ x \cdot y = y \cdot x; \end{aligned} \right\} \quad (1.7)$$

ассоциативные законы

$$\left. \begin{aligned} (x \vee y) \vee z &= x \vee (y \vee z), \\ (x \cdot y) \cdot z &= x \cdot (y \cdot z); \end{aligned} \right\} \quad (1.8)$$

дистрибутивные законы

$$\left. \begin{aligned} x \cdot (y \vee z) &= x \cdot y \vee x \cdot z, \\ x \vee y \cdot z &= (x \vee y) \cdot (x \vee z); \end{aligned} \right\} \quad (1.9)$$

законы отрицания

$$\left. \begin{aligned} x \vee \bar{x} &= 1, \\ x \cdot \bar{x} &= 0; \end{aligned} \right\} \quad (1.10)$$

$$\left. \begin{aligned} 0 \vee x &= x, \\ 1 \cdot x &= x; \end{aligned} \right\} \quad (1.11)$$

$$\left. \begin{aligned} 1 \vee x &= 1, \\ 0 \cdot x &= 0; \end{aligned} \right\} \quad (1.12)$$

законы двойственности (теоремы де Моргана)

$$\left. \begin{aligned} \overline{x \vee y} &= \bar{x} \cdot \bar{y}, \\ \overline{x \cdot y} &= \bar{x} \vee \bar{y}; \end{aligned} \right\} \quad (1.13)$$

закон двойного отрицания

$$\overline{(\bar{x})} = \bar{\bar{x}} = x; \quad (1.14)$$

законы поглощения (абсорбция)

$$\left. \begin{aligned} x \vee x \cdot y &= x, \\ x \cdot (x \vee y) &= x; \end{aligned} \right\} \quad (1.15)$$

операции склеивания

$$\left. \begin{aligned} x \cdot y \vee x \cdot \bar{y} &= x, \\ (x \vee y) \cdot (x \vee \bar{y}) &= x; \end{aligned} \right\} \quad (1.16)$$

операции обобщенного склеивания

$$\left. \begin{aligned} x \cdot y \vee \bar{x} \cdot z \vee y \cdot z &= x \cdot y \vee \bar{x} \cdot z, \\ (x \vee y) \cdot (\bar{x} \vee z) \cdot (y \vee z) &= (x \vee y) \cdot (\bar{x} \vee z); \end{aligned} \right\} \quad (1.17)$$

$$\left. \begin{aligned} x \vee \bar{x} \cdot y &= x \vee y, \\ x \cdot (\bar{x} \vee y) &= x \cdot y. \end{aligned} \right\} \quad (1.18)$$

Теоремы (1.6) – (1.13) и (1.15) – (1.18) записаны парами, причем каждая из теорем пары двойственна другой, так как из одной теоремы пары можно получить другую на основании принципа двойственности, т.е. путем взаимной замены операций дизъюнкции и конъюнкции, а также элементов 0 и 1, если



они имеются. Теорема (1.14) самодвойственна, так как она не изменяется по принципу двойственности (отсутствуют элементы 0 и 1 и операции дизъюнкции и конъюнкции).

Все теоремы могут быть доказаны аналитически или методом перебора. В табл. 1.1 приведено доказательство одного из тождеств (1.13) методом перебора.

Таблица 1.1. Пример использования метода перебора

$x$	$y$	$\overline{x \vee y}$	$\overline{x} \cdot \overline{y}$
0	0	$\overline{0 \vee 0} = \overline{0} = 1$	$\overline{0} \cdot \overline{0} = 1 \cdot 1 = 1$
0	1	$\overline{0 \vee 1} = \overline{1} = 0$	$\overline{0} \cdot \overline{1} = 1 \cdot 0 = 0$
1	0	$\overline{1 \vee 0} = \overline{1} = 0$	$\overline{1} \cdot \overline{0} = 0 \cdot 1 = 0$
1	1	$\overline{1 \vee 1} = \overline{1} = 0$	$\overline{1} \cdot \overline{1} = 0 \cdot 0 = 0$

Если в логическое выражение входят операции дизъюнкции и конъюнкции, то следует соблюдать *порядок выполнения операций*: сначала выполняется операция конъюнкции, а затем — операция дизъюнкции. Этим устанавливается иерархия операций: конъюнкция — старшая операция, дизъюнкция — младшая. В сложных логических выражениях для задания порядка выполнения операций используются скобки. Для упрощения записи выражений принято опускать те скобки, которые являются только подтверждением иерархии операций, например:

$$(x \cdot y) \vee (\overline{x} \cdot z) = x \cdot y \vee \overline{x} \cdot z.$$

Но скобки нельзя опустить в выражении  $x \cdot (y \vee \overline{x}) \cdot z$ , поскольку

$$x \cdot (y \vee \overline{x}) \cdot z = x \cdot y \cdot z \neq x \cdot y \vee \overline{x} \cdot z.$$

Некоторые теоремы и тождества алгебры логики имеют особое значение, так как позволяют упрощать логические выражения. Например, в соотношениях (1.6), (1.10) – (1.12) и (1.15) – (1.18) правая часть проще левой, поэтому, произведя в логических выражениях соответствующие преобразования, можно добиться существенного их упрощения. С этой целью особенно часто используются тождества (1.15) – (1.18).

Операции дизъюнкции, конъюнкции и отрицания легко реализовать довольно простыми контактными (релейными) цепями и электронными схемами с односторонней проводимостью, имеющими конечное число входов и один выход и называемыми логическими элементами (ЛЭ).

**Операция сумма по модулю два.** Кроме основных операций алгебры логики (дизъюнкция, конъюнкция, отрицание), определяемых аксиомами (1.2) – (1.5), целесообразно оперировать более сложными операциями, такими как ИЛИ-НЕ, И-НЕ

(1.13) и сумма по модулю два. Эти операции, естественно, определяются через основные операции алгебры логики.

Операция *сумма по модулю два* (исключающее ИЛИ, логическая неравнозначность) обозначается символом  $\oplus$  и определяется соотношением

$$x \oplus y = \bar{x} \cdot y \vee x \cdot \bar{y}. \quad (1.19)$$

Легко убедиться, что  $x \oplus y = (\bar{x} \vee \bar{y}) \cdot (x \vee y)$ . Это выражение также можно использовать для определения операции сумма по модулю два. Очевидно, что  $x \oplus y = \bar{x} \oplus \bar{y}$ . На основании аксиом алгебры логики (1.2) – (1.5) можно показать, что

$$0 \oplus 0 = 1 \oplus 1 = 0, \quad 0 \oplus 1 = 1 \oplus 0 = 1. \quad (1.20)$$

Из данных соотношений следует, что значение  $x \oplus y$  совпадает со значением младшего разряда суммы двух двоичных чисел, где  $x$  и  $y$  — значения младших разрядов этих чисел. Соответственно этому значение  $i$ -го разряда суммы двух двоичных чисел будет определяться значением  $x_i \oplus y_i \oplus z_i$ , где  $x_i$  и  $y_i$  — значения  $i$ -х разрядов двоичных чисел, а  $z_i$  — перенос в  $i$ -й разряд из предыдущего  $i - 1$ -го разряда.

Операция сумма по модулю два коммутативна, ассоциативна и дистрибутивна относительно операции конъюнкции, т. е.

$$\left. \begin{aligned} x \oplus y &= y \oplus x, \quad x \oplus (y \oplus z) = (x \oplus y) \oplus z, \\ x \cdot (y \oplus z) &= x \cdot y \oplus x \cdot z. \end{aligned} \right\} \quad (1.21)$$

Для операции сумма по модулю два справедливы также тождества

$$\left. \begin{aligned} x \oplus 0 &= x, \quad x \oplus 1 = \bar{x}, \quad x \oplus x = 0, \quad x \oplus \bar{x} = 1, \\ \overline{x \oplus y} &= \bar{x} \cdot \bar{y} \vee x \cdot y = (\bar{x} \vee y)(x \vee \bar{y}) = \bar{x} \oplus y = x \oplus \bar{y}; \end{aligned} \right\} \quad (1.22)$$

$$x_n \oplus \dots \oplus x_1 = \sum_{p=1}^n x_p = \begin{cases} 0 & \text{при четном } n, \\ 1 & \text{при нечетном } n, \end{cases}$$

где  $x_p = x$  для всех  $p$  (формула справедлива только для одной переменной, повторенной  $n$  раз).

Для упрощения выражений, содержащих операцию  $\oplus$ , полезны тождества

$$\begin{aligned} x \oplus x \cdot y &= x \cdot \bar{y}, \quad \bar{x} \oplus x \cdot y = \bar{x} \vee y, \\ x \oplus (x \vee y) &= \bar{x} \cdot y, \quad x \oplus (\bar{x} \vee y) = \bar{x} \vee \bar{y}, \\ \bar{x} \oplus \bar{x} \cdot y &= \bar{x} \cdot \bar{y}, \quad \bar{x} \oplus (\bar{x} \vee y) = x \cdot y, \\ x \cdot y \oplus (x \vee \bar{y}) &= \bar{y}, \quad x \cdot y \oplus (\bar{x} \vee y) = \bar{x}, \\ \bar{x} \cdot y \oplus x \cdot \bar{y} &= x \cdot y \oplus (x \vee y) = (\bar{x} \vee y) \oplus (x \vee \bar{y}) = x \oplus y, \\ \bar{x} \cdot y \oplus (x \vee \bar{y}) &= \overline{x \vee \bar{y}} \oplus (x \vee \bar{y}) = 1. \end{aligned}$$

Операция сумма по модулю два играет особо важную роль в теории переключательных функций.

У начинающих изучать алгебру логики часто возникают затруднения с порядком выполнения операций в выражениях, в которых используется операция сумма по модулю два. В этом случае до преобразования логического выражения рекомендуется проставить скобки, задающие в явном виде порядок их выполнения, руководствуясь правилами:

$$\begin{aligned}x \cdot y \oplus z &= (x \cdot y) \oplus z, & x \cdot y \oplus z \cdot w &= (x \cdot y) \oplus (z \cdot w), \\x \vee y \oplus z &= x \vee (y \oplus z), & x \vee y \oplus z \vee w &= x \vee (y \oplus z) \vee w, \\x \vee y \oplus z \cdot w &= x \vee [y \oplus (z \cdot w)], \\x \cdot y \oplus z \vee v \oplus w &= [(x \cdot y) \oplus z] \vee (v \oplus w),\end{aligned}$$

что следует из определения (1.19) операции сумма по модулю два и иерархии операций конъюнкции и дизъюнкции. После приобретения практических навыков некоторые скобки можно будет опускать, чтобы излишне не усложнять аналитические выражения.

Алгебра логики тесно связана с теорией множеств [5]. Вместо операций дизъюнкции, конъюнкции и отрицания в теории множеств используются операции объединения, пересечения и дополнения. Элементам 0 и 1 соответствуют пустое множество и множество, состоящее из всех его элементов.

## 1.2. Позиционные системы счисления

Совокупность правил записи чисел называется системой счисления. Наиболее часто используются *позиционные системы*, в которых целое положительное число записывается в виде последовательности символов  $e_{n-1} \dots e_p \dots e_1 e_0$ , а вес каждого символа  $e_p$  равен  $q^p$ , где  $q$  — основание системы счисления,  $e_p = 0, 1, \dots, q - 1$ . Тогда любое целое положительное число  $E$  в системе счисления с основанием  $q$  можно записать в виде:

$$\begin{aligned}E &= (e_{n-1} \dots e_p \dots e_0)_q = \\&= e_{n-1}q^{n-1} + \dots + e_pq^p + \dots + e_0q^0 = \sum_{p=0}^{n-1} e_pq^p.\end{aligned}$$

При вычислении суммы полагаем, что все значения  $e_p$  и  $q^p$  представлены в привычной десятичной системе счисления. Максимальное  $n$ -разрядное число получается при  $e_p = q - 1$  для всех  $p = 0, 1, \dots, n - 1$ :

$$E_{\max} = \sum_{p=0}^{n-1} (q - 1) \cdot q^p = q^n - 1. \quad (1.23)$$

Таким образом, существует  $q^n$  различных  $n$ -разрядных чисел (с учетом нуля). В табл. 1.2 показан перевод 16 чисел из одной системы счисления в другую для наиболее часто используемых оснований  $q = 2, 10, 8, 16$ .

Таблица 1.2. Запись чисел в основных системах счисления

q							
2	10	8	16	2	10	8	16
0000	00	00	0	1000	08	10	8
0001	01	01	1	1001	09	11	9
0010	02	02	2	1010	10	12	A
0011	03	03	3	1011	11	13	B
0100	04	04	4	1100	12	14	C
0101	05	05	5	1101	13	15	D
0110	06	06	6	1110	14	16	E
0111	07	07	7	1111	15	17	F

Двоичная система счисления ( $q = 2$ ) используется для представления информации в ЭВМ, что обусловлено легкостью реализации двоичных электронных элементов (требуется высоконадежное различение только двух состояний элементов). Восприятие же человеком информации, представленной в двоичной системе счисления, сильно затруднено как из-за ее монотонности, так и из-за большого числа разрядов, необходимых для ее представления.

В некоторых случаях нумерацию разрядов  $n$ -разрядного числа удобнее производить числами от 1 до  $n$ :

$$E = (e_n \dots e_p \dots e_1)_q = e_n q^{n-1} + \dots + e_p q^{p-1} + \dots + e_1 q^0 = \sum_{p=1}^n e_p q^{p-1}.$$

Перевод чисел из системы счисления с произвольным основанием  $q$  в десятичную систему счисления ( $q = 10$ ) выполняется по вышеприведенным формулам, для чего требуется перевести в десятичную систему счисления только числа  $e_p$  и  $q$ . Несколько сложнее перевести числа из десятичной системы счисления в систему счисления с основанием  $q \neq 10$ . Наиболее просто такая операция выполняется для  $q = 2, 8, 16$ .

Пусть требуется перевести число  $(1993)_{10}$  в указанные системы счисления. Перевод в восьмеричную систему счисления осуществляется последовательным делением десятичного числа на основание системы счисления  $q = 8$ :

	1993		8	
16	249		8	
39	24		31	8
32	9		24	3
73	8		7	
72	1			
вес:	$8^0$		$8^1$	$8^2$ $8^3$

Таким образом,  $(1993)_{10} = (3711)_8$ . Для перевода полученного числа в двоичную систему счисления достаточно каждую цифру представить в двоичном коде:  $(3711)_8 = (11.111.001.001)_2$  (точки введены только для удобства чтения двоичного числа в 8-ричной системе счисления). Перевод двоичного числа в 16-ричную систему счисления выполняется его разбиением на тетрады (тетрада — четыре разряда) и переводом каждой тетрады в 16-ричную систему счисления:  $(111.1100.1001)_2 = (7C9)_{16}$ . Итак,  $(1993)_{10} = (3711)_8 = (11111001001)_2 = (7C9)_{16}$ .

В общем случае числа имеют целую и дробную части. Такие числа в позиционных системах счисления с основанием  $q$  можно записать в виде

$$E = (e_{n-1} \dots e_0, e_{-1} \dots e_{-m})_q = e_{n-1}q^{n-1} + \dots + e_0q^0 + e_{-1}q^{-1} + \dots + e_{-m}q^{-m}.$$

Целой частью числа  $E$  называется наибольшее целое число, не превосходящее  $E$ . Целая часть числа  $E$  обозначается через  $[E]$  (так  $[13,25] = 13$ ). Дробной частью числа называется разность  $\{E\} = E - [E]$  (так  $\{13,25\} = 0,25$ ). Всегда  $0 \leq \{E\} < 1$ .

Системы счисления с основаниями  $q = 2^k$  при  $k = 2, 3, 4, \dots$  жестко связаны с двоичной системой счисления ( $k = 1$ ). Для перевода чисел из этих систем в двоичную запись достаточно цифры  $e_p = 0, 1, 2, \dots, 2^k - 1$  всех разрядов числа представить  $k$ -разрядным двоичным кодом. Не более сложно и взаимное преобразование чисел из одной системы счисления в другую. Для общения человека с ЭВМ наиболее удобна система счисления с основанием  $q = 16$  ( $k = 4$ ), что обусловлено большей компактностью записи чисел, чем в системах счисления с  $q = 8$  ( $k = 3$ ), при приемлемом для запоминания человеком числе различных цифр (символов), используемых для обозначения всех значений разрядов.

Для представления в ЭВМ десятичных чисел также необходимо использовать их двоичное кодирование. С этой целью наиболее часто применяется код прямого замещения, называемый

иначе *двоично-десятичным кодом* 8-4-2-1 (каждая десятичная цифра 0, 1, ..., 9 заменяется прямым двоичным эквивалентом 0000, 0001, ..., 1001 — двоичной тетрадой; шесть двоичных тетрад 1010, 1011, 1100, 1101, 1110 и 1111 не используются). Так, можно записать, что

$$1993 = 0001\ 1001\ 1001\ 0011.$$

Десятичные числа в цифровых устройствах (например, в декадных счетчиках) иногда представляются в *двоично-десятичном коде* 5-4-2-1, который отличается от кода прямого замещения весом старшего разряда тетрады. Числа от 0 до 9 в этом коде имеют представление:

$$\begin{aligned} 0_{10} &= 0000, & 1_{10} &= 0001, & 2_{10} &= 0010, & 3_{10} &= 0011, \\ 4_{10} &= 0100, & 5_{10} &= 1000, & 6_{10} &= 1001, & 7_{10} &= 1010, \\ & & 8_{10} &= 1011, & 9_{10} &= 1100. \end{aligned}$$

В принципе, на основании приведенного выше выражения для записи чисел  $E$  в позиционных системах счисления можно определить *унитарную систему счисления*, в которой используется основание  $q = 1$ , а ее единственный символ обозначить через  $e_p = 1$  (формально следовало бы положить  $e_p = 0$ ). Так как  $q^p = 1$ , то вес разряда не зависит от его положения в записи числа, т. е. система счисления, по существу, превращается в непозиционную. Это самая древняя система счисления, используемая до сих пор, например, охотниками, делающими зарубки на стволе ружья. В электронике унитарная система счисления применяется довольно часто для представления чисел количеством импульсов, подаваемых на вход устройства (например,  $E = (111111)_1 = 6_{10}$ , где символ 1 означает один импульс).

Для кодирования информации в электронных схемах широкое применение находит *унитарный код*, содержащий символ 1 только в одной позиции  $n$ -разрядного кода (в остальных позициях проставляются символы 0), т. е. для представления информации используется специальное двоичное ее кодирование. Так, например, числа от 0 до 7 можно записать с помощью унитарного кода:

$$\begin{aligned} 0_8 &= 00000001, & 4_8 &= 00010000, \\ 1_8 &= 00000010, & 5_8 &= 00100000, \\ 2_8 &= 00000100, & 6_8 &= 01000000, \\ 3_8 &= 00001000, & 7_8 &= 10000000. \end{aligned}$$

Унитарный код чаще всего применяется для кодирования нечисловой информации. В частности, на выходах полных дешифраторов (см. § 6.1) всегда реализуется унитарный код.

Дополнительные полезные сведения по системам счисления и кодированию числовой информации можно найти в [6].

### 1.3. Переключательные функции

Любое логическое выражение, составленное из  $n$  переменных  $x_n, \dots, x_1$  с помощью конечного числа операций алгебры логики, можно рассматривать как некоторую функцию  $n$  переменных. В соответствии с аксиомами (1.1) – (1.5) функция может принимать в зависимости от значений переменных  $x_p = 0$  или 1 только два значения: 0 и 1. Такие функции являются весьма удобным инструментом для описания, анализа и синтеза переключательных схем, выходные сигналы которых характеризуются лишь двумя уровнями напряжения: высоким (1) и низким (0). В связи с этим такие функции называются *переключательными* (термин “переключательная” обычно будем опускать, так как никакие другие функции рассматриваться не будут).

Для функций  $n$  переменных  $x_n, \dots, x_1$  будем использовать общее обозначение  $f(\nu) = f(x_n, \dots, x_1)$ , где  $\nu = (x_n, \dots, x_1)$ , т. е. совокупность переменных  $x_n, \dots, x_1$  можно рассматривать как  $n$ -мерный вектор. Каждая переменная  $x_p$  ( $p = 1, 2, \dots, n$ ) может принимать только два значения: 0 и 1. Поэтому число всех возможных комбинаций значений  $x_n, \dots, x_1$  конечно. В общем виде конкретное значение переменной  $x_p$  (0 или 1) будем обозначать через  $e_p$ .

Для обозначения произвольных десятичных чисел будем использовать символы  $i, j$  и т. п., а двоичные числа будем записывать в виде  $e_n \dots e_p \dots e_1$ , где  $e_p = 0$  или 1. Равенства для десятичных и двоичных чисел будем записывать, опуская индекс, указывающий основание системы счисления:  $i = e_n \dots e_p \dots e_1$ . Значения  $e_p = 0$  и 1 являются элементами алгебры логики (булевой алгебры), если они используются в качестве значений переменных  $x_p$ . Для этих элементов не существует соотношений больше и меньше. В записи же двоичного числа  $e_n \dots e_1$  значения  $e_p = 0$  и 1 считаются элементами кольца целых чисел ( $1 > 0$  и  $0 < 1$ ). Какими элементами являются символы 0 и 1, всегда ясно из контекста или используемых в выражениях операций. На основании этого, например, можно записать, что  $\bar{e}_p = 1 - e_p$  (в левой части используется логическая операция отрицания, а в правой — арифметическая операция вычитания).

Областью определения функции  $n$  переменных  $x_n, \dots, x_1$  является совокупность точек  $n$ -мерного пространства, причем каждая из точек задается определенной комбинацией значений этих переменных:

$$x_n = e_n, \dots, x_p = e_p, \dots, x_1 = e_1,$$

где  $\epsilon_p = 0$  или  $1$  ( $p = 1, 2, \dots, n$ ). Точки, задающие область определения функции  $f(\nu)$ , будем обозначать через

$$\nu_i = (\epsilon_n, \dots, \epsilon_p, \dots, \epsilon_1),$$

где  $i = \epsilon_n \dots \epsilon_p \dots \epsilon_1$ , т. е. все точки области определения функции  $n$  переменных можно пронумеровать с помощью двоичных  $n$ -разрядных чисел  $\epsilon_n \dots \epsilon_p \dots \epsilon_1$  или десятичных чисел  $i$ . На основании (1.23) имеется  $2^n$  различных  $n$ -разрядных двоичных чисел, поэтому область определения функции  $n$  переменных состоит из  $2^n$  точек, т. е.

$$\nu \in \{\nu_0, \nu_1, \dots, \nu_{2^n-1}\}.$$

Для задания функции  $f(\nu)$  следует указать ее значения во всех точках области определения, т. е. следует задать значения  $f(\nu_i) = 0$  или  $1$ , где  $i = 0, 1, \dots, 2^n - 1$ . Каждой конкретной функции  $n$  переменных можно поставить в соответствие  $2^n$ -разрядное число, составленное из значений  $f(\nu_i) = 0$  или  $1$  ( $i = 0, 1, \dots, 2^n - 1$ ), которые она принимает в  $2^n$  точках области определения. Так как имеется всего  $2^{2^n}$  различных  $2^n$ -разрядных двоичных чисел, то и число различных функций  $n$  переменных равно  $2^{2^n}$ .

Функции  $n$  переменных могут зависеть не от всех переменных  $x_n, \dots, x_1$ . Такие функции называются *вырожденными*. В частности, функция  $f_0(\nu)$ , равная нулю во всех точках  $\nu_i$ , и функция  $f_1(\nu)$ , равная единице во всех точках  $\nu_i$  ( $i = 0, 1, \dots, 2^n - 1$ ), не зависят ни от одной переменной. Эти функции называются *константой нуль* и *константой единица* соответственно.

Значительный интерес представляют следующие невырожденные функции двух переменных  $x_2$  и  $x_1$ , названия которым даны по используемым для их образования операциям алгебры логики:

$$f(x_2, x_1) = x_2 \vee x_1 \text{ — дизъюнкция (ИЛИ),}$$

$$f(x_2, x_1) = x_2 \cdot x_1 \text{ — конъюнкция (И),}$$

$$f(x_2, x_1) = \overline{x_2 \cdot x_1} \text{ — функция И-НЕ,}$$

$$f(x_2, x_1) = \overline{x_2 \vee x_1} \text{ — функция ИЛИ-НЕ,}$$

$$f(x_2, x_1) = x_2 \oplus x_1 \text{ — сумма по модулю два.}$$

Область определения этих функций состоит из четырех точек:

$$\nu_0 = (0, 0), \nu_1 = (0, 1), \nu_2 = (1, 0), \nu_3 = (1, 1),$$

поскольку  $2^n = 2^2 = 4$ .



Так как область определения любой функции  $n$  переменных конечна ( $2^n$  точек), она может быть задана таблицей значений  $f(\nu_i) = a_i = 0$  или 1, которые она принимает в точках  $\nu_i$ , где  $i = 0, 1, \dots, 2^n - 1$ . Такие таблицы называются *таблицами истинности*. Табл. 1.3, которая составлена в соответствии с аксиомами (1.2) – (1.5) для указанных выше функций двух переменных, представляет собой таблицу истинности, задающую эти функции. В предпоследнем столбце помещена функция, заданная в общем виде коэффициентами  $a_i = f(\nu_i)$ , где  $i = 0, 1, 2, 3$ , а в последнем столбце — *инверсная функция*, заданная коэффициентами  $\bar{a}_i = \overline{f(\nu_i)}$ . Подставляя различные значения  $a_i = 0$  или 1, можно задать все 16 функций двух переменных ( $2^{2^2} = 2^4 = 16$ ). В частности, можно получить вырожденные функции:

$$f(x_2, x_1) = \bar{x}_2 \quad (a_0 = a_1 = 1, a_2 = a_3 = 0),$$

$$f(x_2, x_1) = \bar{x}_1 \quad (a_0 = a_2 = 1, a_1 = a_3 = 0),$$

называемые инверсиями переменных (в табл. 1.3 показаны вырожденные функции  $f_0(\nu)$  — константа нуль и  $f_1(\nu)$  — константа единица).

Таблица 1.3. Функции двух переменных

$i$	$x_2 x_1$	$x_2 \vee x_1$	$x_2 \cdot x_1$	$\bar{x}_2 \bar{x}_1$	$\overline{x_2 \vee x_1}$	$x_2 \oplus x_1$	$f_0(\nu)$	$f_1(\nu)$	$f(\nu)$	$\overline{f(\nu)}$
0	0 0	0	0	1	1	0	0	1	$a_0$	$\bar{a}_0$
1	0 1	1	0	1	0	1	0	1	$a_1$	$\bar{a}_1$
2	1 0	1	0	1	0	1	0	1	$a_2$	$\bar{a}_2$
3	1 1	1	1	0	0	0	0	1	$a_3$	$\bar{a}_3$

Функции двух переменных исключительно важны в силу того, что любая функция  $n$  переменных может быть получена из них методом *суперпозиции* [7] — подстановкой этих функций вместо переменных в другие функции. Такая подстановка возможна на основании того, что области значений функций и переменных совпадают (0 и 1).

Функция  $n$  переменных  $f(\nu)$  называется *полностью определенной*, если ее значения  $f(\nu_i) = a_i = 0$  или 1 заданы во всех  $2^n$  точках  $\nu_i$  области определения. Если же значение функции не задано хотя бы в одной точке  $\nu_i$ , то она называется *неполностью определенной*. Не определенное в точке  $\nu_i$  значение функции будем задавать произвольным коэффициентом  $c_i = \Phi$  ( $\Phi$  — совмещенные символы 0 и 1, что указывает на неопределенность значения  $c_i$ ), т. е., если в точке  $\nu_i$  значение функции не

задано, то  $f(\nu_i) = c_i$ .

Неполностью определенные функции можно доопределять произвольным способом, полагая  $c_i = 0$  или 1. Если значения функции не заданы в  $m$  точках, то функцию можно доопределить  $2^m$  способами, так как имеется  $2^m$  различных  $m$ -разрядных двоичных чисел, соответствующих различным способам доопределения функции в  $m$  точках. Таким образом, не определенной в  $m$  точках функции соответствует класс из  $2^m$  полностью определенных функций. Если значения функции  $a_i$  не заданы ни в одной точке  $\nu_i$ , то она называется *полностью неопределенной* и обозначается через  $h$  [10].

Теории переключательных функций посвящено много работ, среди которых следует выделить [5, 7, 8] как наиболее фундаментальные.

#### 1.4. Принцип и закон двойственности

Алгебра логики обладает замечательным свойством, которое называется *принципом двойственности*: если имеет место тождество

$$f(\nu, 0, 1/\nu, \&) = g(\nu, 0, 1/\nu, \&), \quad (1.24)$$

где  $\nu = (x_n, \dots, x_1)$ , то справедливо также тождество

$$f(\nu, 1, 0/\&, \nu) = g(\nu, 1, 0/\&, \nu), \quad (1.25)$$

т. е., если в каком-либо тождестве произвести взаимную замену символов 0 и 1 (если они имеются) и операций дизъюнкции и конъюнкции, то в результате также будет получено тождество. Два тождества, связанные между собой таким образом, называются *двойственными*. Соотношения (1.24) и (1.25) позволяют доказывать только одно из тождеств, второе же непосредственно следует из этих соотношений. Если выражения (1.24) и (1.25) совпадают, то они называются *самодвойственными*. Истинность самого принципа двойственности не доказывается, так как данный принцип является внутренним свойством алгебры логики (заключен в ее аксиомах).

Законы двойственности (1.13) определяют способ отыскания инверсных функций, представляющих собой дизъюнкцию и конъюнкцию двух переменных. К. Шеннон предложил обобщение этих теорем, позволяющее отыскивать инверсию любой функции  $f(\nu)$ , где  $\nu = (x_n, \dots, x_1)$ . *Закон двойственности*, установленный К. Шенноном, имеет вид

$$\overline{f(\nu/\nu, \&)} = f(\bar{\nu}/\&, \nu), \quad (1.26)$$

где  $\nu = (x_n, \dots, x_1)$ ,  $\bar{\nu} = (\bar{x}_n, \dots, \bar{x}_1)$ , т. е. инверсию любой функции  $f(\nu)$  можно получить взаимной заменой переменных  $x_p$  и их инверсий  $\bar{x}_p$  ( $p = 1, 2, \dots, n$ ) и операций дизъюнкции и конъюнкции.

Докажем теорему (1.26). Пусть задана полностью определенная функция  $f(\nu/\vee, \&)$ , где  $\nu = (x_n, \dots, x_1)$ , которая в точках  $\nu_i = (e_n, \dots, e_1)$  имеет значение 0 ( $i = e_n \dots e_1$ ), а в точках  $\nu_j = (e'_n, \dots, e'_1)$  — значение 1 ( $j = e'_n \dots e'_1$ ;  $i \neq j$ ; общее число точек равно  $2^n$ ), т. е.  $f(\nu_i/\vee, \&) = 0$ ,  $f(\nu_j/\vee, \&) = 1$ . Так как точки

$$\nu_i = (e_n, \dots, e_p, \dots, e_1) \text{ и } \nu_j = (e'_n, \dots, e'_p, \dots, e'_1)$$

представляют собой комбинации символов 0 и 1 ( $e_p = 0$  или 1,  $e'_p = 0$  или 1), то по принципу двойственности

$$f(\bar{\nu}_i/\&, \vee) = 1, f(\bar{\nu}_j/\&, \vee) = 0,$$

где  $\bar{\nu}_i = (\bar{e}_n, \dots, \bar{e}_1)$ ,  $\bar{\nu}_j = (\bar{e}'_n, \dots, \bar{e}'_1)$ . Очевидно, что

$$\overline{f(\nu_i/\vee, \&)} = 1, \overline{f(\nu_j/\vee, \&)} = 0, \\ \overline{f(\nu_i/\vee, \&)} = f(\bar{\nu}_i/\&, \vee), \overline{f(\nu_j/\vee, \&)} = f(\bar{\nu}_j/\&, \vee).$$

Из последних двух соотношений следует, что

$$\overline{f(\nu/\vee, \&)} = f(\bar{\nu}/\&, \vee),$$

так как равенства выполняются для всех  $2^n$  точек  $\nu = \nu_i$  и  $\nu_j$ .

Рассмотрим два примера на применение закона двойственности. Пусть  $f(\nu) = \bar{x}_2 x_1 \vee x_2 \bar{x}_1$ , тогда  $\overline{f(\nu)} = (x_2 \vee \bar{x}_1) \cdot (\bar{x}_2 \vee x_1)$ . Если  $f(\nu) = [(\bar{x}_2 x_1 \vee x_3 x_2) x_3 x_1 \vee x_3 \bar{x}_1] \cdot (x_2 \bar{x}_1 \vee x_3) \vee \bar{x}_4$ , то

$$\overline{f(\nu)} = \{[(x_2 \vee \bar{x}_1)(\bar{x}_3 \vee \bar{x}_2) \vee \bar{x}_3 \vee \bar{x}_1](\bar{x}_3 \vee x_1) \vee (\bar{x}_2 \vee x_1) \bar{x}_3\} x_4.$$

Чтобы избежать ошибок при получении инверсной функции, следует учитывать все неявные скобки, положение которых задается иерархией операций конъюнкции и дизъюнкции.

В дальнейшем часто будут использоваться обозначения

$$\bigvee_{p=1}^n x_p = x_n \vee \dots \vee x_1, \quad \prod_{p=1}^n x_p = x_n \cdots x_1. \quad (1.27)$$

На основании закона двойственности легко показать, что

$$\overline{\bigvee_{p=1}^n x_p} = \prod_{p=1}^n \bar{x}_p, \quad \overline{\prod_{p=1}^n x_p} = \bigvee_{p=1}^n \bar{x}_p. \quad (1.28)$$

Выражения (1.27) и (1.28) позволяют в компактной форме записывать специальные функции без ограничения числа переменных.

## 1.5. Теоремы разложения

В теории переключательных функций особо важное значение имеет *теорема разложения Шеннона*: любую функцию  $f(\nu)$  можно разложить по переменной  $x_p$  в форме

$$f(x_n, \dots, x_p, \dots, x_1) = \bar{x}_p \cdot f(x_n, \dots, 0, \dots, x_1) \vee x_p \cdot f(x_n, \dots, 1, \dots, x_1). \quad (1.29)$$

Эта теорема легко доказывается методом перебора:

$$a) \quad x_p = 0 \Rightarrow f(x_n, \dots, 0, \dots, x_1) = \bar{0} \cdot f(x_n, \dots, 0, \dots, x_1) \vee 0 \cdot f(x_n, \dots, 1, \dots, x_1) \Rightarrow f(x_n, \dots, 0, \dots, x_1) = f(x_n, \dots, 0, \dots, x_1),$$

т. е. при  $x_p = 0$  получилось явное тождество, а значит, теорема справедлива независимо от значений других переменных;

$$b) \quad x_p = 1 \Rightarrow f(x_n, \dots, 1, \dots, x_1) = \bar{1} \cdot f(x_n, \dots, 0, \dots, x_1) \vee 1 \cdot f(x_n, \dots, 1, \dots, x_1) \Rightarrow f(x_n, \dots, 1, \dots, x_1) = f(x_n, \dots, 1, \dots, x_1),$$

т. е. при  $x_p = 1$  тоже получилось явное тождество, а значит, теорема справедлива независимо от значений других переменных. Из этого следует, что теорема истинна при любых значениях всех переменных.

По принципу двойственности получается двойственная теорема разложения:

$$f(x_n, \dots, x_p, \dots, x_1) = [\bar{x}_p \vee f(x_n, \dots, 1, \dots, x_1)] \& [x_p \vee f(x_n, \dots, 0, \dots, x_1)]. \quad (1.30)$$

Теорема разложения (1.29) является удобным инструментом для преобразования логических выражений, содержащих операцию сумма по модулю два, так как в ряде практических случаев позволяет свести данную операцию над функциями к простейшим операциям (1.20) и (1.22), например:

$$\begin{aligned} x_2 x_1 \oplus (x_3 \vee \bar{x}_1) \oplus x_3 x_1 \oplus (x_2 \vee \bar{x}_1) &= \bar{x}_1 \cdot [x_2 \cdot 0 \oplus (x_3 \vee \bar{0}) \oplus x_3 \cdot 0 \oplus \\ &\oplus (x_2 \vee \bar{0})] \vee x_1 \cdot [x_2 \cdot 1 \oplus (x_3 \vee \bar{1}) \oplus x_3 \cdot 1 \oplus (x_2 \vee \bar{1})] = \\ &= \bar{x}_1 (0 \oplus 1 \oplus 0 \oplus 1) \vee x_1 (x_2 \oplus x_3 \oplus x_3 \oplus x_2) = \bar{x}_1 \cdot 1 \vee x_1 \cdot 1 = 1. \end{aligned}$$

Приведем доказательство дистрибутивного закона (1.21) для операции сумма по модулю два относительно операции конъюнкции:

$$x \cdot y \oplus x \cdot z = \bar{x} \cdot (0 \cdot y \oplus 0 \cdot z) \vee x \cdot (1 \cdot y \oplus 1 \cdot z) = x \cdot (y \oplus z).$$

С теоремой разложения (1.29) связаны тождества

$$\left. \begin{aligned} \bar{x}_p \cdot f(x_n, \dots, x_p, \dots, x_1) &= \bar{x}_p \cdot f(x_n, \dots, 0, \dots, x_1), \\ x_p \cdot f(x_n, \dots, x_p, \dots, x_1) &= x_p \cdot f(x_n, \dots, 1, \dots, x_1). \end{aligned} \right\} \quad (1.31)$$

По принципу двойственности этим тождествам соответствуют двойственные тождества

$$\left. \begin{aligned} \bar{x}_p \vee f(x_n, \dots, x_p, \dots, x_1) &= \bar{x}_p \vee f(x_n, \dots, 1, \dots, x_1), \\ x_p \vee f(x_n, \dots, x_p, \dots, x_1) &= x_p \vee f(x_n, \dots, 0, \dots, x_1). \end{aligned} \right\} \quad (1.32)$$

Тождества (1.31) легко доказать методом перебора или с помощью теоремы разложения (1.29). Тождества (1.31) и (1.32) являются мощным средством для упрощения логических выражений. Легко доказать закон поглощения (1.15) и закон (1.18), используя второе тождество (1.32):

$$x \vee x \cdot y = x \vee 0 \cdot y = x; \quad x \vee \bar{x} \cdot y = x \vee \bar{0} \cdot y = x \vee y.$$

Пусть требуется упростить функцию

$$f(\nu) = \overline{x_2 \bar{x}_1 \oplus x_3 \bar{x}_2 \oplus x_1 \vee x_3 \bar{x}_2 \cdot \bar{x}_2}.$$

Используя первое из тождеств (1.31) относительно  $x_2$ , получим

$$f(\nu) = \overline{0 \cdot \bar{x}_1 \oplus x_3 \cdot \bar{0} \oplus x_1 \vee x_3 \cdot \bar{0} \cdot \bar{x}_2} = \overline{\bar{x}_3 \oplus x_1 \vee x_3 \cdot \bar{x}_2}.$$

Для упрощения выражения  $\bar{x}_3 \oplus x_1 \vee x_3$  можно использовать второе из тождеств (1.32), тогда

$$f(\nu) = \overline{0 \oplus x_1 \vee x_3 \cdot \bar{x}_2} = \overline{\bar{x}_1 \vee x_3 \cdot \bar{x}_2} = x_1 \bar{x}_2 \bar{x}_3.$$

По принципу подстановки можно записать

$$\left. \begin{aligned} \overline{f_1(\nu)} \cdot f[\nu, f_1(\nu)] &= \overline{f_1(\nu)} \cdot f(\nu, 0), \\ f_1(\nu) \cdot f[\nu, f_1(\nu)] &= f_1(\nu) \cdot f(\nu, 1). \end{aligned} \right\} \quad (1.33)$$

Соотношения (1.33) позволяют повысить эффективность аналитического метода упрощения логических выражений. Например, пусть требуется упростить функцию

$$f(\nu) = \overline{\bar{x}_1 x_2 \oplus (x_1 \vee \bar{x}_3) \cdot [\bar{x}_2 \bar{x}_3 \oplus \bar{x}_1 x_2 \oplus (x_1 \vee \bar{x}_3) \vee x_2 \bar{x}_3]}.$$

Обозначим  $f_1 = \bar{x}_1 x_2 \oplus (x_1 \vee \bar{x}_3)$ , тогда

$$f(\nu) = \overline{f_1 \cdot (\bar{x}_2 \bar{x}_3 \oplus \bar{f}_1 \vee x_2 \bar{x}_3)} = \overline{f_1 \cdot (\bar{x}_2 \bar{x}_3 \oplus \bar{0} \vee x_2 \bar{x}_3)} = \overline{f_1 \cdot (x_2 \vee x_3)}.$$

Далее легко получить, что

$$f(\nu) = \overline{\bar{x}_1 x_2 \oplus (x_1 \vee \bar{x}_3) \cdot (x_2 \vee x_3)} = \overline{\bar{x}_1 \cdot (x_2 \oplus x_3)}.$$

Иногда целесообразно производить преобразования выражений с помощью тождеств (1.31) и (1.32) в обратном направлении, переходя от менее сложного выражения к более сложному. Так, функцию сумма по модулю два можно представить в виде

$$\bar{x} \cdot y \vee x \cdot \bar{y} = \bar{x} \cdot \bar{y} \cdot y \vee x \cdot \bar{x} \cdot \bar{y} = \bar{x} \cdot \bar{y} \cdot (x \vee y).$$

Результат получился также простым, но за счет вынесения общего члена  $\bar{x} \cdot \bar{y}$  за скобки. Цель приведенного преобразования состояла в исключении инверсных сигналов  $\bar{x}$  и  $\bar{y}$ .

С практической точки зрения переменные, являющиеся аргументами переключательной функции, иногда удобно подразделять на два типа:  $y_q$  — информационные и  $x_p$  — управляющие. Функции  $f(y_1, y_0, x_1)$  и  $f(y_3, y_2, y_1, y_0, x_2, x_1)$ , имеющие по переменным  $x_p$  разложения

$$f(y_1, y_0, x_1) = y_0 \bar{x}_1 \vee y_1 x_1, \quad (1.34)$$

$$f(y_3, y_2, y_1, y_0, x_2, x_1) = y_0 \bar{x}_2 \bar{x}_1 \vee y_1 \bar{x}_2 x_1 \vee y_2 x_2 \bar{x}_1 \vee y_3 x_2 x_1, \quad (1.35)$$

называются *мультиплексными функциями*. Легко убедиться, что конъюнкция любых двух членов мультиплексной функции равна 0 за счет значений только управляющих переменных  $x_p$  (основное свойство этих функций). Число управляющих переменных у мультиплексных функций может быть и более двух. Такие функции описывают коммутаторы сигналов, так как для каждой комбинации значений управляющих сигналов функция принимает значение одного из информационных сигналов. Данные коммутаторы называются *мультиплексорами (Multiplexers)*.

*Инверсные мультиплексные функции*, соответствующие (1.34) и (1.35), определяются выражениями:

$$\overline{f(y_1, y_0, x_1)} = \bar{y}_0 \bar{x}_1 \vee \bar{y}_1 x_1,$$

$$\overline{f(y_3; y_2, y_1, y_0, x_2 x_1)} = \bar{y}_0 \bar{x}_2 \bar{x}_1 \vee \bar{y}_1 \bar{x}_2 x_1 \vee \bar{y}_2 x_2 \bar{x}_1 \vee \bar{y}_3 x_2 x_1.$$

Истинность данных соотношений легко доказывается с помощью теоремы разложения (1.29) по переменным  $x_2$  и  $x_1$ .

Представление переключательных функций в форме (1.34) или (1.35) часто позволяет лучше понять их практическое назначение. Например, разложим функцию  $f(y_2, y_1, x_2, x_1) = y_1 \cdot x_1 \vee y_2 \cdot x_2 \vee y_2 \cdot y_1$  по переменным  $x_1$  и  $x_2$ :

$$\begin{aligned} f(y_2, y_1, x_2, x_1) &= \bar{x}_1 (y_2 x_2 \vee y_2 y_1) \vee x_1 (y_1 \vee y_2 x_2) = \\ &= \bar{x}_2 (\bar{x}_1 y_2 y_1 \vee x_1 y_1) \vee x_2 (\bar{x}_1 y_2 \vee x_1 (y_1 \vee y_2)) = \\ &= y_2 y_1 \bar{x}_2 \bar{x}_1 \vee y_1 \bar{x}_2 x_1 \vee y_2 x_2 \bar{x}_1 \vee (y_2 \vee y_1) x_2 x_1. \end{aligned}$$

Полученная функция описывает функциональный коммутатор, называемый *функциональным мультиплексором*, так как производится коммутация не только самих информационных сигналов  $y_2$  и  $y_1$ , но и некоторых функций от них ( $y_2 \cdot y_1$ ,  $y_2 \vee y_1$ ). Понятие функциональных мультиплексоров имеет особое значение для аналитического описания интегральных микросхем. Например, выпускается 4-разрядный функциональный мультиплексор 1561КП4, реализующий функции

$$DO_j = 0 \cdot \bar{x}_2 \bar{x}_1 \vee DI_{j1} \bar{x}_2 x_1 \vee DI_{j2} x_2 \bar{x}_1 \vee \overline{DI_{j1} \oplus DI_{j2}} x_2 x_1,$$

где  $x_2$  и  $x_1$  — управляющие сигналы,  $DI_{j2}$  и  $DI_{j1}$  — входные информационные сигналы,  $DO_j$  — выходные сигналы,  $j = 0, 1, 2, 3$ .

Рассмотрим другой тип разложения функций — разложение Рида. Если  $x \cdot y = 0$ , то  $x \vee y = x \oplus y$ . Действительно,  $x \oplus y = x \oplus y \vee x \cdot y = \bar{x} \cdot y \vee x \cdot \bar{y} \vee x \cdot y = x \vee y$ . Поэтому разложение Шеннона

$$f(x_n, \dots, x_p, \dots, x_1) = \bar{x}_p g_0 \vee x_p g_1,$$

где  $g_0 = f(x_n, \dots, 0, \dots, x_1)$ ,  $g_1 = f(x_n, \dots, 1, \dots, x_1)$ , примет вид:

$$\begin{aligned} f(x_n, \dots, x_p, \dots, x_1) &= \bar{x}_p g_0 \vee x_p g_1 = \bar{x}_p g_0 \oplus x_p g_1 = \\ &= (1 \oplus x_p) g_0 \oplus x_p g_1 = g_0 \oplus x_p g_0 \oplus x_p g_1 = g_0 \oplus (g_0 \oplus g_1) \cdot x_p. \end{aligned}$$

Полученное выражение

$$f(x_n, \dots, x_p, \dots, x_1) = g_0 \oplus (g_0 \oplus g_1) \cdot x_p \quad (1.36)$$

называется *разложением Рида*.

Выполним разложение Рида функции  $f(x_2, x_1)$  по двум переменным:

$$\begin{aligned} f(x_2, x_1) &= f(0, x_1) \oplus [f(1, x_1) \oplus f(0, x_1)]x_2 = f(0, 0) \oplus [f(1, 0) \oplus \\ &\oplus f(0, 0)]x_2 \oplus \{f(0, 1) \oplus [f(1, 1) \oplus f(0, 1)]x_2 \oplus \\ &\oplus f(0, 0) \oplus [f(1, 0) \oplus f(0, 0)]x_2\}x_1 = \\ &= a_0 \oplus (a_2 \oplus a_0)x_2 \oplus [a_1 \oplus (a_3 \oplus a_1)x_2 \oplus a_0 \oplus (a_2 \oplus a_0)x_2]x_1 = \\ &= a_0 \oplus (a_2 \oplus a_0)x_2 \oplus a_1 x_1 \oplus (a_3 \oplus a_1)x_2 x_1 \oplus a_0 x_1 \oplus (a_2 \oplus a_0)x_2 x_1 = \\ &= a_0 \oplus (a_2 \oplus a_0)x_2 \oplus (a_1 \oplus a_0)x_1 \oplus (a_3 \oplus a_2 \oplus a_1 \oplus a_0)x_2 x_1, \end{aligned}$$

где  $a_i = f(\nu_i)$ ,  $\nu_i = (e_n, \dots, e_p, \dots, e_1)$ . Введя обозначения

$$b_1 = a_1 \oplus a_0, \quad b_2 = a_2 \oplus a_0, \quad b_3 = a_3 \oplus a_2 \oplus a_1 \oplus a_0,$$

получим

$$f(x_2, x_1) = a_0 \oplus b_1 x_1 \oplus b_2 x_2 \oplus b_3 x_2 x_1. \quad (1.37)$$

Данное выражение представляет собой полином второй степени от переменных  $x_2$  и  $x_1$ .

Аналогично можно показать, что любую функцию  $n$  переменных можно представить в виде полинома  $n$ -й степени. В таком представлении функций используются только операции  $\&$ ,  $\oplus$  и константа  $a_0 = 0$  или 1. Функции, описываемые полиномом первой степени, называются *линейными*. Так, любая линейная функция двух переменных, как это следует из (1.37), представляется выражением

$$f(x_2, x_1) = a_0 \oplus b_1 x_1 \oplus b_2 x_2. \quad (1.38)$$

Из трех двоичных коэффициентов  $b_2, b_1$ , и  $a_0$  можно составить восемь комбинаций их значений, поэтому, как это следует из (1.38), имеется восемь различных линейных функций двух переменных:  $0, 1, x_1, \bar{x}_1, x_2, \bar{x}_2, x_2 \oplus x_1, x_2 \oplus \bar{x}_1$ .

Линейные функции  $n$  переменных описываются полиномом первой степени

$$f(x_n, \dots, x_p, \dots, x_1) = a_0 \oplus a_1 x_1 \oplus \dots \oplus a_p x_p \oplus \dots \oplus a_n x_n \quad (1.39)$$

(здесь коэффициенты  $a_p$  не являются значениями функции  $f(\nu)$  в точках  $\nu_i$ ).

## 1.6. Решение систем логических уравнений

В общем случае равенство  $f(\nu, y_m, \dots, y_1) = g(\nu, y_m, \dots, y_1)$ , где  $\nu = (x_n, \dots, x_1)$ , может задавать не тождество, а логическое уравнение, которое обращается в тождество только при определенных значениях  $y_r = \varphi_r(\nu)$ ,  $r = 1, 2, \dots, m$ , т. е.

$$f[\nu, \varphi_m(\nu), \dots, \varphi_1(\nu)] \equiv g[\nu, \varphi_m(\nu), \dots, \varphi_1(\nu)].$$

Тогда исходное равенство можно рассматривать как уравнение с  $m$  неизвестными  $y_r$ . Один из методов решения систем логических уравнений приведен в [9]. Рассмотрим универсальный метод решения, пригодный для систем с произвольным числом уравнений и любым числом переменных.

**Системы логических уравнений с одним неизвестным.** Пусть задана система логических уравнений с одним неизвестным  $y$

$$f_j(\nu, y) = g_j(\nu, y), \quad (1.40)$$

где  $\nu = (x_n, \dots, x_1)$ ,  $j = 1, 2, \dots, k$ . Необходимо решить ее относительно  $y$ , т. е. найти такие значения  $y = \varphi(\nu)$ , которые обращают в тождества все уравнения системы (1.40):

$$f_j[\nu, \varphi(\nu)] \equiv g_j[\nu, \varphi(\nu)]. \quad (1.41)$$

Для этого рассмотрим сначала, какие операции можно выполнять над равенствами без нарушения логических связей, которые они выражают. Если  $x = y$ , то  $x * z = y * z$  ( $x = y \Rightarrow x * z = y * z$ ), где  $*$  — любая двухместная операция алгебры логики:  $\&$ ,  $\vee$ ,  $\oplus$  и др. В этом легко убедиться, подставив в правую часть на основании принципа подстановки  $x$  вместо  $y$ . Однако в общем случае из равенства  $x * z = y * z$  вовсе не следует, что  $x = y$ , например, из равенства  $x \vee z = y \vee z$  не следует, что  $x = y$ , а также из равенства  $x \cdot z = y \cdot z$  не следует, что  $x = y$ . Поэтому такие операции нельзя применять для преобразования уравнений (1.40).



Возьмем теперь в качестве операции  $*$  операцию  $\oplus$ . Из равенства  $x = y$  следует, что  $x \oplus z = y \oplus z$ . Используем еще раз эту операцию:

$$(x \oplus z) \oplus z = (y \oplus z) \oplus z \Rightarrow x \oplus (z \oplus z) = y \oplus (z \oplus z) \Rightarrow \\ \Rightarrow x \oplus 0 = y \oplus 0 \Rightarrow x = y,$$

т. е. из равенства  $x \oplus z = y \oplus z$  следует, что  $x = y$ . Итак,

$$x = y \Leftrightarrow x \oplus z = y \oplus z, \quad (1.42)$$

а значит, логические связи, выражаемые уравнениями, не нарушаются при преобразовании последних с помощью операции  $\oplus$  (в качестве  $z$  можно взять и любую из переменных  $x$  или  $y$ ).

На основании (1.42) уравнения (1.40) можно привести к виду

$$f_j(\nu, y) \oplus g_j(\nu, y) = g_j(\nu, y) \oplus g_j(\nu, y), \\ f_j(\nu, y) \oplus g_j(\nu, y) = 0, \quad (1.43)$$

где  $j = 1, 2, \dots, k$ . Используя аксиомы (1.2) и (1.3), легко убедиться, что если  $x = 0$  и  $y = 0$ , то  $x \vee y = 0$ , и наоборот: если  $x \vee y = 0$ , то  $x = 0$  и  $y = 0$ , т. е.

$$x = 0, y = 0 \Leftrightarrow x \vee y = 0, \quad (1.44)$$

а значит, операцию  $\vee$  можно использовать для преобразования уравнений, правая часть которых равна нулю. На основании (1.44) систему логических уравнений (1.43) можно представить в виде

$$\bigvee_{j=1}^k [f_j(\nu, y) \oplus g_j(\nu, y)] = f(\nu, y) = 0, \quad (1.45)$$

т. е. любую систему логических уравнений можно свести к одному уравнению  $f(\nu, y) = 0$ , решение которого относительно  $y$  и нужно найти.

Разложив левую часть уравнения (1.45) по  $y$ , будем иметь

$$\bar{y} \cdot \psi_1 \vee y \cdot \psi_2 = 0, \quad (1.46)$$

где

$$\psi_1 = \bigvee_{j=1}^k [f_j(\nu, 0) \oplus g_j(\nu, 0)], \quad \psi_2 = \bigvee_{j=1}^k [f_j(\nu, 1) \oplus g_j(\nu, 1)]$$

и  $\psi_1 = \psi_1(\nu)$ ,  $\psi_2 = \psi_2(\nu)$ . Решением данного уравнения может быть только некоторая функция  $\varphi(\psi_2, \psi_1)$  от переменных  $\psi_1$  и  $\psi_2$ . Подставив в уравнение все возможные комбинации значений этих переменных, получим:

$\psi_2 = 0, \psi_1 = 0 \Rightarrow 0 = 0 \Rightarrow y = \bar{h}(\nu)$  — произвольная (полностью неопределенная) функция;

$$\psi_2 = 0, \psi_1 = 1 \Rightarrow y = 1;$$

$$\psi_2 = 1, \psi_1 = 0 \Rightarrow y = 0;$$

$\psi_2 = 1, \psi_1 = 1 \Rightarrow 1 = 0$  — решение не существует или, другими словами, решение имеется только при выполнении условия  $\psi_1 \cdot \psi_2 = 0$ , а значит, при отсутствии решения можно взять произвольное значение  $y = c$  (0 или 1).

Из сказанного следует, что решение можно представить в виде мультиплексной функции (1.35):

$$y(\psi_2, \psi_1) = \bar{h}(\nu) \cdot \bar{\psi}_2 \bar{\psi}_1 \vee 1 \cdot \bar{\psi}_2 \psi_1 \vee 0 \cdot \psi_2 \bar{\psi}_1 \vee c \cdot \psi_2 \psi_1.$$

Если положить  $c = 1$ , то

$$y(\psi_2, \psi_1) = \psi_1 \vee \bar{h}(\nu) \cdot \bar{\psi}_2, \quad (1.47)$$

причем решение (1.47) существует лишь при выполнении условия

$$\psi_1 \cdot \psi_2 = 0. \quad (1.48)$$

Подстановка решения (1.47) в уравнение (1.46) дает

$$\psi_1 \vee \bar{h} \cdot \bar{\psi}_2 \cdot \psi_1 \vee (\psi_1 \vee \bar{h} \cdot \bar{\psi}_2) \cdot \psi_2 = \psi_1 \cdot \psi_2,$$

т. е., действительно, при выполнении условия (1.48) левая часть уравнения (1.46) обращается в нуль, и решение  $y(\psi_2, \psi_1) = \varphi(\nu)$  — некоторая функция переменных  $x_n, \dots, x_1$ .

Если функция  $\psi_2(\nu) \equiv 1$ , то решение  $y = \varphi_1(\nu)$  — полностью определенная функция (существует единственное решение). Если  $\psi_1(\nu) \equiv 0$  и  $\psi_2(\nu) \equiv 0$ , то  $y = \bar{h}(\nu)$  — полностью неопределенная функция. Это означает, что решаемое уравнение является тождеством, так как оно выполняется при любых значениях переменных  $y$  и  $\nu = (x_n, \dots, x_1)$ .

В общем случае решение  $y = \psi_1(\nu) \vee \bar{h}_0(\nu)$ , где  $\bar{h}_0(\nu) = 0$  или 1 в точках, в которых функция  $\psi_2(\nu) = 0$ , а в остальных точках  $\bar{h}_0(\nu) = 0$ , т. е. решением является неполностью определенная функция, которой соответствуют целый класс полностью определенных функций.

Несмотря на кажущуюся сложность выражения (1.47), его достаточно просто применять при решении многих практических задач. Это связано с тем, что при решении вместо неизвестных в уравнения подставляются константы 0 и 1.

**Пример 1.** Доказать тождество  $x \cdot y \vee \bar{x} \cdot z \vee y \cdot z = x \cdot y \vee \bar{x} \cdot z$ . Решим уравнение относительно  $x$ :

$$\begin{aligned} x &= \psi_1 \vee \bar{h} \cdot \bar{\psi}_2 = (0 \cdot y \vee \bar{0} \cdot z \vee y \cdot z) \oplus (0 \cdot y \vee \bar{0} \cdot z) \vee \\ &\vee \bar{h} \cdot 1 \cdot y \vee \bar{1} \cdot z \vee y \cdot z \oplus (1 \cdot y \oplus \bar{1} \cdot z) = z \oplus z \vee \bar{h} \cdot y \oplus y \end{aligned}$$

(при выполнении этих вычислений упрощение функций  $\psi_1$  и  $\psi_2$  можно производить только по отдельности). Решение существует, так как  $\psi_1 = z \oplus z = 0$ ,  $\psi_2 = y \oplus y = 0$  и  $\psi_1 \psi_2 = 0 \cdot 0 = 0$ . Дальнейшее упрощение полученного решения дает:  $x = \bar{h} = \bar{h}(y, z)$ , т. е. уравнение справедливо для произвольных значений  $x$  независимо от значений остальных переменных, а значит, является тождеством.

Из данного примера следует общий вывод: разработанный метод решения логических уравнений можно использовать в качестве универсального метода для доказательства любых теорем и тождеств алгебры логики, формулируемых в виде равенств логических выражений (решением логического уравнения должна быть полностью неопределенная функция  $\bar{h}$ ).

**Пример 2.** Найдем решение уравнения  $x \cdot \bar{y} \vee \bar{x} \cdot y = y$ :

$$y = (x \oplus 0) \vee \bar{h} \cdot \overline{\bar{x} \oplus 1} = x \vee \bar{h} \cdot \bar{x}, \quad \psi_1 \cdot \psi_2 = x \neq 0,$$

следовательно, решение отсутствует.

**Пример 3.** Найдем решение уравнения  $x \cdot \bar{y} \vee \bar{x} \cdot y = x$ :

$$y = (x \oplus x) \vee \bar{h} \cdot \overline{\bar{x} \oplus x} = 0 \vee \bar{h} \cdot 1 = 0, \quad \psi_1 \cdot \psi_2 = 0,$$

т. е. имеется единственное решение  $y = 0$ .

**Пример 4.** Докажем высказанное в начале данного раздела утверждение, что из равенства  $x \cdot y = x \cdot z$  не следует, что  $y = z$ . Для этого решим первое равенство относительно  $y$ :

$$y = (0 \oplus x \cdot z) \vee \bar{h} \cdot \overline{x \oplus x \cdot z} = x \cdot z \vee \bar{h} \cdot \overline{x \cdot \bar{z}}, \quad \psi_1 \cdot \psi_2 = 0,$$

поэтому  $y = x \cdot z \vee \bar{h} \cdot (\bar{x} \vee z) = x \cdot z \vee \bar{h} \cdot \bar{x}$ , т. е.  $y \neq z$ .

**Пример 5.** Докажем теорему, утверждающую, что если  $x \cdot y = x \cdot z$  и  $x \vee y = x \vee z$ , то  $y = z$ . Для этого решим систему двух логических уравнений относительно  $y$ :

$$\begin{aligned} y &= (0 \oplus x \cdot z) \vee x \oplus \overline{(x \vee z) \vee \bar{h} \cdot \overline{(x \oplus x \cdot z) \vee [1 \oplus (x \vee z)]}} = \\ &= x \cdot z \vee \bar{x} \cdot z \vee \bar{h} \cdot \overline{x \cdot \bar{z} \vee \bar{x} \cdot \bar{z}} = z \vee \bar{h} \cdot \bar{z} = z, \end{aligned}$$

так как  $\psi_1 \cdot \psi_2 = z \cdot \bar{z} = 0$ . Действительно, получили, что  $y = z$ .

**Алгебраическое представление логических уравнений.** Если символы 0 и 1 считать числами, то все логические операции можно заменить на арифметические операции или алгебраические формулы на основании очевидных соотношений

$$x = x, \quad \bar{x} = 1 - x, \quad x_2 \& x_1 = x_2 \times x_1, \quad x \& x = x \times x = x$$

(в левой части используются логические переменные и операции, а в правой — алгебраические). Так, можно получить

$$x_2 \vee x_1 = \overline{\bar{x}_2 \cdot \bar{x}_1} = x_2 + x_1 - x_2 \cdot x_1,$$

$$x_2 \oplus x_1 = \bar{x}_2 \cdot x_1 \vee x_2 \cdot \bar{x}_1 = x_2 + x_1 - 2 \cdot x_2 \cdot x_1$$

(здесь знаки конъюнкции  $\&$  и алгебраического умножения  $\times$  заменены точками — какая из этих операций используется, устанавливается по другим имеющимся в выражении операциям).

На основании приведенных соотношений логическое уравнение (1.46) преобразуется в алгебраическое

$$\psi_1 - y \cdot (\psi_1 - \psi_2) = 0,$$

решением которого будет  $y = \psi_1 / (\psi_1 - \psi_2)$ . Легко заметить, что при  $\psi_1 = \psi_2 = 1$  решения не существует и  $y = \psi_1 + \bar{h} \cdot (1 - \psi_1 - \psi_2)$  при  $\psi_1 \psi_2 = 0$ .

**Системы логических уравнений с более чем одним неизвестным.** Решение систем логических уравнений с двумя неизвестными

$$f_j(\nu, y, z) = g_j(\nu, y, z), \quad (1.49)$$

где  $y$  и  $z$  — неизвестные,  $j = 1, 2, \dots, k$ ,  $\nu = (x_n, \dots, x_1)$ , сводится к их последовательному решению относительно неизвестных  $y$  и  $z$ . При этом следует найти такие функции  $y = \varphi_1(\nu)$  и  $z = \varphi_2(\nu)$ , что

$$f_j[\nu, \varphi_1(\nu), \varphi_2(\nu)] \equiv g_j[\nu, \varphi_1(\nu), \varphi_2(\nu)].$$

Решив систему (1.49) относительно  $y$  в соответствии с (1.47) и (1.48), получим:

$$\left. \begin{aligned} y &= \psi_1(\nu, z) \vee \bar{h}_1 \cdot \overline{\psi_2(\nu, z)}, \\ \psi_1(\nu, z) \cdot \psi_2(\nu, z) &= \psi(\nu, z), \end{aligned} \right\} \quad (1.50)$$

где

$$\begin{aligned} \psi_1(\nu, z) &= \bigvee_{j=1}^k [f_j(\nu, 0, z) \oplus g_j(\nu, 0, z)], \\ \psi_2(\nu, z) &= \bigvee_{j=1}^k [f_j(\nu, 1, z) \oplus g_j(\nu, 1, z)], \quad \bar{h}_1 = \bar{h}_1(\nu). \end{aligned}$$

Если функция  $\psi(\nu, z) = 0$ , это означает, что решение системы (1.49) относительно  $y$  существует независимо от значений  $z$ . Поэтому можно взять  $z = \bar{h}_2(\nu)$ . Тогда, подставив это значение  $z$  в (1.50), получим:

$$y = \psi_1(\nu, \bar{h}_2) \vee \bar{h}_1 \cdot \overline{\psi_2(\nu, \bar{h}_2)} = \varphi_1(\nu).$$

Рассмотрим случай, когда функция  $\psi(\nu, z) \neq 0$ . Так как условием существования решения системы логических уравнений (1.49) относительно  $y$  является уравнение  $\psi(\nu, z) = 0$ , то, возможно, оно будет удовлетворено соответствующим выбором неизвестного  $z$ . Поэтому нужно найти относительно него решение уравнения  $\psi(\nu, z) = \psi_1(\nu, z) \cdot \psi_2(\nu, z) = 0$ :

$$z = \psi(\nu, 0) \vee \bar{h}_2 \cdot \overline{\psi(\nu, 1)} = \varphi_2(\nu),$$

которое существует только в том случае, если выполняется условие

$$\psi(\nu) = \psi(\nu, 0) \cdot \psi(\nu, 1) = 0,$$

где  $\psi(\nu, 0) = \psi_1(\nu, 0) \cdot \psi_2(\nu, 0)$ ,  $\psi(\nu, 1) = \psi_1(\nu, 1) \cdot \psi_2(\nu, 1)$  и  $\bar{h}_2 = \bar{h}_2(\nu)$  — независимая от  $\bar{h}_1 = \bar{h}_1(\nu)$  полностью неопределенная функция. Если данное условие выполняется, то решение системы логических уравнений (1.49) относительно  $y$  находится подстановкой в функцию (1.50) найденного значения  $z$ :

$$y = \psi_1[\nu, \varphi_2(\nu)] \vee \bar{h}_1 \cdot \overline{\psi_2[\nu, \varphi_2(\nu)]} = \varphi_1(\nu).$$

В результате получены функции  $y = \varphi_1(\nu)$  и  $z = \varphi_2(\nu)$ , не зависящие от неизвестных  $y$  и  $z$ .

Таким образом, решение системы логических уравнений с двумя неизвестными сводится к последовательному решению одного или двух уравнений с одним неизвестным. Точно так же решаются системы логических уравнений и с большим числом неизвестных.

В общем случае в зависимости от порядка решения систем логических уравнений относительно неизвестных получаются различные формы функций. Однако все эти формы являются эквивалентными, т. е. различным формам полученных неполностью определенных функций соответствует один и тот же класс полностью определенных функций.

**Пример 1.** Решим относительно неизвестных  $y$  и  $z$  уравнение

$$\overline{x \oplus y \oplus z} = x \vee y \vee z.$$

Найдем решение уравнения сначала относительно  $y$ :

$$y = \overline{x \oplus z \oplus (x \vee z)} \vee \bar{h}_1 \cdot \overline{x \oplus z} = \bar{x} \vee \bar{z} \vee \bar{h}_1 \cdot \overline{x \oplus z}, \quad \psi_1 \cdot \psi_2 \neq 0,$$

поэтому решаем уравнение  $(\bar{x} \vee \bar{z}) \cdot \overline{x \oplus z} = 0$  относительно  $z$ :

$$z = \bar{x} \vee \bar{h}_2 \cdot \overline{\bar{x} \cdot x} = \bar{x} \vee \bar{h}_2 \cdot \bar{0}, \quad \psi_1 \cdot \psi_2 = \bar{x} \cdot 0 = 0.$$

Значит,  $z = \bar{x} \vee \bar{h}_2$  и

$$y = \bar{x} \vee \overline{\bar{x} \vee \bar{h}_2} \vee \bar{h}_1 \cdot [x \oplus (\bar{x} \vee \bar{h}_2)] = \bar{x} \vee \bar{h}_2.$$

Легко убедиться, что при подстановке в исходное уравнение найденных значений  $y$  и  $z$  оно обращается в тождество.

**Пример 2.** Найдем решение уравнения

$$x_1 \cdot \bar{y} \vee z = x_2 \tag{1.51}$$

относительно  $y$ :

$$y = (x_1 \vee z) \oplus x_2 \vee \bar{h}_1 \cdot \overline{z \oplus x_2}.$$

Легко убедиться, что  $\psi(\nu, z) \neq 0$ , поэтому решаем уравнение

$$\psi(\nu, z) = [(x_1 \vee z) \oplus x_2](z \oplus x_2) = 0$$

относительно  $z$ :

$$z = (x_1 \oplus x_2)x_2 \vee \bar{h}_2 \cdot \overline{1 \oplus x_2} = \bar{x}_1 x_2 \vee \bar{h}_2 \cdot x_2.$$

Так как  $\psi(\nu) = 0$ , то решение исходного уравнения существует. Подставив найденное значение  $z$  в выражение для  $y$ , получим:

$$y = x_1 \bar{x}_2 \vee h_1 \cdot (\bar{x}_1 \vee \bar{h}_2), \quad z = \bar{x}_1 x_2 \vee \bar{h}_2 \cdot x_2. \quad (1.52)$$

Если решить исходное уравнение относительно неизвестных в другом порядке, то функции  $y$  и  $z$  будут иметь вид:

$$y = x_1 \bar{x}_2 \vee \bar{h}_2, \quad z = \bar{x}_1 x_2 \vee (\bar{h}_1 \vee \bar{h}_2)x_2. \quad (1.53)$$

Сравнив решения (1.52) и (1.53), легко заметить, что полностью определенные части у них одинаковые. Решения для  $y$  и  $z$  зависимые, так как полностью неопределенная функция  $h_2(x_2, x_1)$  входит в оба решения. Поэтому решением уравнения (1.51) будет зависимая пара функций  $\{y(x_2, x_1), z(x_2, x_1)\}$ . По выражениям (1.52) или (1.53) (результат получается один и тот же) легко вычислить значения этой пары в точках  $\nu_i = (e_2, e_1)$ :

$$\begin{aligned} x_2 = 0, x_1 = 0, i = 0 &\Rightarrow \{0, 0\}, \{1, 0\}; \\ x_2 = 0, x_1 = 1, i = 1 &\Rightarrow \{1, 0\}; \\ x_2 = 1, x_1 = 0, i = 2 &\Rightarrow \{0, 1\}, \{1, 1\}; \\ x_2 = 1, x_1 = 1, i = 3 &\Rightarrow \{0, 0\}, \{0, 1\}, \{1, 1\}. \end{aligned}$$

Из полученных значений можно составить класс из  $2 \cdot 1 \cdot 2 \cdot 3 = 12$  полностью определенных пар функций  $\{x, y\}$ . В качестве конкретного решения можно взять любую из этих пар.

Пример 3. Найдем решение уравнения  $x_1 \vee y \oplus z = x_2$  относительно  $y$ :

$$y = (x_1 \vee z) \oplus x_2 \vee \bar{h}_1 \cdot \overline{(x_1 \vee z) \oplus x_2}.$$

Далее решаем уравнение

$$\psi(\nu, z) = [(x_1 \vee z) \oplus x_2] \cdot [(x_1 \vee z) \oplus x_2] = 0$$

относительно  $z$ :

$$z = (x_1 \oplus x_2)\bar{x}_2 \vee \bar{h}_2 \cdot \overline{\bar{x}_2(x_1 \oplus x_2)}.$$

Так как  $\psi(\nu) = (x_1 \oplus x_2)\bar{x}_2 = x_1 \bar{x}_2 \neq 0$ , то логическое уравнение решений не имеет.

**Приложения систем логических уравнений.** Разработанный метод решения систем логических уравнений является мощным инструментом для анализа (см. гл. 2) и синтеза (см. гл. 3) логических схем, широко используемых на практике при проектировании цифровых устройств. Так, он был применен при разработке общего метода структурного синтеза цифровых автоматов на *триггерах типов T, J-K, R-S, D-L* и др. [10, 11]. Перечисленные триггеры описываются *функциями переходов*

$$Q^+ = Q \oplus T, \quad (1.54)$$

$$Q^+ = \bar{Q} \cdot J \vee Q \cdot \bar{K}, \quad (1.55)$$

$$Q^+ = S \vee Q \cdot \bar{R}, \quad R \cdot S = 0, \quad (1.56)$$

$$Q^+ = D \cdot L \vee Q \cdot \bar{L}, \quad (1.57)$$

где  $T$ ,  $J$  и  $K$ ,  $R$  и  $S$ ,  $D$  и  $L$  — входные сигналы триггеров,  $Q$  — исходное состояние триггера,  $Q^+$  — следующее состояние триггера (после воздействия входных сигналов). Триггеры типов  $T$  и  $J$ - $K$  могут быть только синхронными, а типов  $R$ - $S$  и  $D$ - $L$  — как синхронными, так и асинхронными потенциальными.

При проектировании автоматов в виде таблицы задается функциональная связь между исходным состоянием триггера  $Q$  и следующим его состоянием  $Q^+$  (переменные в алгебре логики не зависят от времени, поэтому  $Q$  и  $Q^+$  — разные переменные). Основная задача проектирования заключается в отыскании функций возбуждения триггеров  $T$ ,  $J$  и  $K$ ,  $S$  и  $R$ ,  $D$  и  $L$ , реализующих эту функциональную связь. Для этого следует найти решения функций переходов (1.54) — (1.57) относительно неизвестных функций возбуждения, выразив их через переменные  $Q$  и  $Q^+$ .

**Триггер типа  $T$ .** Решение уравнения (1.54) относительно  $T$ :

$$T = Q^+ \oplus Q \vee \bar{h} \cdot \overline{Q^+ \oplus Q \oplus 1} = Q^+ \oplus Q.$$

Для отыскания данной функции возбуждения можно воспользоваться и более простым методом — применить операцию  $\oplus$  к левой и правой частям уравнения относительно переменной  $Q$ :

$$Q^+ \oplus Q = Q \oplus T \oplus Q \Rightarrow T = Q^+ \oplus Q.$$

**Триггер типа  $J$ - $K$ .** Решение уравнения (1.55) относительно  $J$ :

$$J = Q^+ \oplus Q \cdot \bar{K} \vee \bar{h}_1 \overline{Q^+ \oplus (\bar{Q} \vee \bar{K})}, \quad \psi_1 \psi_2 = (Q^+ \oplus Q \cdot \bar{K}) [Q^+ \oplus (\bar{Q} \vee \bar{K})].$$

Приравняв последнее уравнение нулю, находим:

$$K = (Q^+ \oplus Q) \cdot (Q^+ \oplus 1) \vee \bar{h}_2 \cdot \overline{Q^+ \cdot (Q^+ \oplus \bar{Q})} = \bar{Q}^+ \cdot Q \vee \bar{h}_2 \cdot \bar{Q}.$$

Подставив найденное значение  $K$  в функцию для  $J$ , получим:

$$\begin{aligned} J &= Q^+ \oplus Q \cdot \overline{\bar{Q}^+ Q \vee \bar{h}_2 \bar{Q} \vee \bar{h}_1 \cdot Q^+ \oplus (\bar{Q} \vee \bar{Q}^+ Q \vee \bar{h}_2 \bar{Q})} = \\ &= Q^+ \oplus Q \cdot \overline{Q^+ \vee \bar{h}_1 \cdot \bar{Q}^+ \oplus (\bar{Q} \vee Q^+)} = Q^+ \cdot \bar{Q} \vee \bar{h}_1 \cdot Q. \end{aligned}$$

**Триггер типа  $R$ - $S$ .** Решение системы уравнений (1.56) относительно  $S$ :

$$\begin{aligned} S &= Q^+ \oplus Q \cdot \bar{R} \vee 0 \oplus 0 \vee \bar{h}_1 \cdot \overline{Q^+ \oplus 1 \vee R \oplus 0} = \\ &= Q^+ \oplus Q \cdot \bar{R} \vee \bar{h}_1 \cdot \overline{Q^+ \vee R}, \quad \psi_1 \psi_2 = (Q^+ \oplus Q \cdot \bar{R}) (\bar{Q}^+ \vee R). \end{aligned}$$

Приравняв последнее уравнение нулю, находим:

$$R = (Q^+ \oplus Q) \cdot \overline{Q^+} \vee \hbar_2 \cdot \overline{Q^+} = \overline{Q^+} \cdot Q \vee \hbar_2 \cdot \overline{Q^+}.$$

Подставив найденное значение  $R$  в функцию для  $S$ , получим:

$$\begin{aligned} S &= Q^+ \oplus Q \cdot \overline{Q^+} \cdot Q \vee \hbar_2 \cdot Q^+ \vee \hbar_1 \cdot \overline{Q^+} \vee \overline{Q^+} \cdot Q \vee \hbar_2 \cdot \overline{Q^+} = \\ &= Q^+ \oplus Q \cdot Q^+ \vee \hbar_1 \cdot Q^+ = Q^+ \cdot \overline{Q} \vee \hbar_1 \cdot Q^+. \end{aligned}$$

Триггер типа  $D-L$ . Решение уравнения (1.57) сначала относительно  $L$ , а затем относительно  $D$  дает:

$$D = Q^+ \cdot \overline{Q} \vee \hbar_2 \cdot (Q^+ \vee \overline{Q}), \quad L = Q^+ \oplus Q \vee \hbar_1 \cdot Q^+ \oplus \hbar_2. \quad (1.58)$$

Наиболее часто для проектирования цифровых автоматов формальными методами используются триггеры типов  $T$ ,  $J-K$  и  $R-S$ , функции возбуждения которых

$$T = Q^+ \oplus Q, \quad (1.59)$$

$$J = Q^+ \cdot \overline{Q} \vee \hbar_1 \cdot Q, \quad K = \overline{Q^+} \cdot Q \vee \hbar_2 \cdot \overline{Q}, \quad (1.60)$$

$$S = Q^+ \cdot \overline{Q} \vee \hbar_1 \cdot Q^+, \quad R = \overline{Q^+} \cdot Q \vee \hbar_2 \cdot \overline{Q^+}. \quad (1.61)$$

Функции возбуждения  $D-L$ -триггера (1.58) использовать значительно сложнее, чем функции (1.59) – (1.61), так как они взаимозависимы (полностью неопределенная функция  $\hbar_2$  входит и в  $D$ , и в  $L$ ). Методика синтеза автоматов на  $D-L$ -триггерах изложена в [10].

Триггер типа  $D-T-L$ . Рассмотрим пример решения уравнения

$$Q^+ = D \cdot L \vee (Q \oplus T) \cdot \overline{L}$$

с тремя неизвестными  $D$ ,  $L$ , и  $T$ , которое представляет собой функцию переходов  $D-T-L$ -триггера. Решение относительно  $T$  дает

$$T = Q^+ \oplus (D \cdot L \vee Q \cdot \overline{L}) \vee \hbar_1 \cdot Q^+ \oplus (D \cdot L \vee \overline{Q} \cdot \overline{L}).$$

Решив уравнение

$$[Q^+ \oplus (D \cdot L \vee Q \cdot \overline{L})] \cdot [Q^+ \oplus (D \cdot L \vee \overline{Q} \cdot \overline{L})] = 0$$

относительно  $D$ , получим:

$$D = (Q^+ \oplus Q \cdot \overline{L}) \cdot (Q^+ \oplus \overline{Q} \cdot \overline{L}) \vee \hbar_2 \cdot [Q^+ \oplus (L \vee Q)] \cdot [Q^+ \oplus (L \vee \overline{Q})].$$

Из этого следует уравнение

$$(Q^+ \oplus Q \cdot \overline{L}) \cdot (Q^+ \oplus \overline{Q} \cdot \overline{L}) \cdot [Q^+ \oplus (L \vee Q)] \cdot [Q^+ \oplus (L \vee \overline{Q})] = 0,$$

решением которого является  $L = \hbar_3$ . Подставив найденное значение  $L$  в функцию  $D$ , а затем  $L$  и  $D$  в функцию  $T$ , окончательно получим:

$$L = \hbar_3, \quad D = \hbar_3 \cdot Q^+ \vee \hbar_2 \overline{\hbar_3}, \quad T = \overline{\hbar_3} \cdot (Q^+ \oplus Q) \vee \hbar_1 \hbar_3.$$

Решение  $L = \hbar_3$  означает, что триггер может быть использован для синтеза автоматов и при исключении входа  $L$  подачей на него значений 0 или 1. При значении  $L = 0$  функции возбуждения  $D = \hbar_2$



(вход  $D$  не используется) и  $T = Q^+ \oplus Q$ , а при  $L = 1$  — функции  $D = Q^+$  и  $T = \bar{h}_1$  (вход  $T$  не используется), что полностью соответствует мультиплексной относительно сигнала  $L$  функции переходов  $D$ - $T$ - $L$ -триггера. Таким образом,  $D$ - $T$ - $L$ -триггер обладает избыточностью в числе информационных входов, а значит и большей универсальностью по отношению к триггерам других типов.

Приведенные методы решения систем логических уравнений можно применять и при решении задач теории множеств.

## 1.7. Первичные термы, минтермы и макстермы

Переменные, инверсии переменных, их конъюнкция и дизъюнкция называются *термами*. Для аналитического описания функционирования переключательных схем термы играют особую важную роль.

**Первичные термы.** Переменные  $x_p$  и их инверсии  $\bar{x}_p$  называются *первичными термами*. Для первичных термов используется символическое обозначение

$$x_p^{e_p} = \bar{e}_p \bar{x}_p \vee e_p x_p = \overline{e_p \oplus x_p}, \quad (1.62)$$

где  $e_p = 0$  или 1. Здесь в одном символе  $x_p^{e_p}$  объединены оба первичных терма  $x_p$  и  $\bar{x}_p$ . Действительно, при подстановке в (1.62) значений  $e_p = 0$  и 1 будем иметь:

$$x_p^{e_p} = \begin{cases} \bar{x}_p, & \text{если } e_p = 0, \\ x_p, & \text{если } e_p = 1. \end{cases}$$

Только благодаря введению данного символического обозначения удастся формализовать вывод общих соотношений для переключательных функций. Очевидно, что два первичных терма  $x_p^{e_p}$  и  $x_p^{e'_p}$  равны только в том случае, если  $e_p = e'_p$  (если  $e_p \neq e'_p$ , то  $e_p = \bar{e}'_p$ ). Для первичных термов справедливы следующие соотношения:

$$\begin{aligned} x_p^1 &= \bar{x}_p^0 = x_p, \quad x_p^0 = \bar{x}_p^1 = \bar{x}_p; \\ \overline{x_p^{e_p}} &= x_p^{\bar{e}_p} = \bar{x}_p^{e_p}; \end{aligned} \quad (1.63)$$

$$x_p^{e_p} \cdot x_p^{\bar{e}_p} \equiv 0, \quad x_p^{e_p} \vee x_p^{\bar{e}_p} \equiv 1; \quad (1.64)$$

$$x_p^{e_p} = \begin{cases} 0, & \text{если } x_p = \bar{e}_p, \\ 1, & \text{если } x_p = e_p. \end{cases} \quad (1.65)$$

Истинность этих соотношений элементарно проверяется на основании определения первичных термов (1.62).

**Минтермы.** Символическое обозначение (1.62) переменных и их инверсий позволяет в общем виде записывать конъюнкцию любого числа аргументов. Например,

$$x_6^{e_6} x_4^{e_4} x_1^{e_1} = \begin{cases} \bar{x}_6 x_4 x_1 & \text{при } e_6 = 0, e_4 = 1, e_1 = 1, \\ \bar{x}_6 x_4 \bar{x}_1 & \text{при } e_6 = 0, e_4 = 1, e_1 = 0. \end{cases}$$

При подстановке других значений  $e_p$  можно получить еще шесть функций, представляющих собой конъюнкцию трех переменных.

*Минимальным термом* (минтермом, или конституентой единицы) называется функция  $n$  переменных

$$K_i(\nu) = x_n^{e_n} \cdots x_1^{e_1} = \prod_{p=1}^n x_p^{e_p}, \quad (1.66)$$

где  $\nu = (x_n, \dots, x_1)$ ,  $e_p = 0$  или  $1$ ,  $i = e_n \dots e_1$  (минтерм — невырожденная функция). Из данного определения следует, что имеется  $2^n$  различных минтермов  $n$  переменных, так как имеется  $2^n$  различных  $n$ -разрядных двоичных чисел  $i = 0, 1, \dots, 2^n - 1$ . Минтермы обладают следующими свойствами:

$$K_i(\nu) = \begin{cases} 1, & \text{если } \nu = \nu_i, \\ 0, & \text{если } \nu = \nu_j \neq \nu_i; \end{cases} \quad (1.67)$$

$$K_i(\nu) \cdot K_j(\nu) \equiv 0, \text{ если } i \neq j; \quad (1.68)$$

$$\bigvee_{i=0}^{2^n-1} K_i(\nu) \equiv 1. \quad (1.69)$$

Свойство минтермов (1.67), заключающееся в том, что любой минтерм  $K_i(\nu)$  равен 1 только в одной точке  $\nu_i$  области определения, состоящей из  $2^n$  точек, легко доказать, используя свойство первичных термов (1.65): при  $\nu = \nu_i = (e_n, \dots, e_p, \dots, e_1)$  значения переменных  $x_p = e_p$ , а значит, только в этом случае

$$K_i(\nu) = \prod_{p=1}^n x_p^{e_p} = \prod_{p=1}^n e_p^{e_p} = 1$$

(при значении хотя бы одной переменной  $x_p \neq e_p$ , т.е. при  $x_p = \bar{e}_p$ , значение первичного терма  $x_p^{e_p} = \bar{e}_p^{e_p} = 0$  на основании соотношения (1.65) и минтерм  $K_i(\nu) = 0$ ). Свойства минтермов (1.68) и (1.69) доказываются на основании свойства (1.67).

Запишем все минтермы  $K_i(\nu) = x_2^{e_2} x_1^{e_1}$  двух переменных  $x_2$  и  $x_1$ :

$$\begin{aligned} K_0(\nu) &= x_2^0 x_1^0 = \bar{x}_2 \bar{x}_1, K_1(\nu) = x_2^0 x_1^1 = \bar{x}_2 x_1, \\ K_2(\nu) &= x_2^1 x_1^0 = x_2 \bar{x}_1, K_3(\nu) = x_2^1 x_1^1 = x_2 x_1, \end{aligned}$$

где  $\nu = (x_2, x_1)$ ,  $i = e_2 e_1$ .

Таким же способом можно записать любой минтерм  $K_i(\nu)$  большего числа переменных. Пусть, например,  $n = 4$  и  $i = 13 = (1101)_2$ , тогда  $K_{13}(\nu) = x_4^1 x_3^1 x_2^0 x_1^1 = x_4 x_3 \bar{x}_2 x_1$ .

**Макстермы.** С помощью первичных термов (1.62) не составляет труда записать в общем виде дизъюнкцию любого числа переменных  $x_p$  или их инверсий  $\bar{x}_p$ . *Максимальным термом* (макстермом, или конstituентой нуля) называется функция  $n$  переменных

$$M_i(\nu) = \overline{K_i(\nu)} = \overline{\prod_{p=1}^n x_p^{e_p}} = \bigvee_{p=1}^n \overline{x_p^{e_p}}. \quad (1.70)$$

Согласно свойству первичных термов (1.63) можно записать:

$$M_i(\nu) = \bigvee_{p=1}^n x_p^{\bar{e}_p} = x_n^{\bar{e}_n} \vee \dots \vee x_1^{\bar{e}_1},$$

где  $\nu = (x_n, \dots, x_1)$ ,  $i = e_n \dots e_1$  (макстермы — невырожденные функции).

Макстермы обладают следующими свойствами:

$$M_i(\nu) = \begin{cases} 0, & \text{если } \nu = \nu_i, \\ 1, & \text{если } \nu = \nu_j \neq \nu_i; \end{cases}$$

$$M_i(\nu) \vee M_j(\nu) \equiv 1, \text{ если } i \neq j;$$

$$\prod_{i=0}^{2^n-1} M_i(\nu) \equiv 0.$$

Свойства макстермов могут быть получены из свойств минтермов (1.67) – (1.69) на основании определения макстермов (1.70). Например, из свойства минтермов (1.68) следует, что

$$\begin{aligned} K_i(\nu) \cdot K_j(\nu) &\equiv 0, i \neq j \Rightarrow \overline{K_i(\nu)} \cdot \overline{K_j(\nu)} \equiv \bar{0} \Rightarrow \\ &\Rightarrow \overline{K_i(\nu) \vee K_j(\nu)} \equiv 1 \Rightarrow M_i(\nu) \vee M_j(\nu) \equiv 1, i \neq j. \end{aligned}$$

Из первого свойства макстермов следует, что они представляют собой функции, равные нулю только в одной точке  $\nu_i$

области определения, состоящей из  $2^n$  точек. Запишем все макстермы  $M_i(\nu) = x_2^{\bar{e}_2} \vee x_1^{\bar{e}_1}$  двух переменных  $x_2$  и  $x_1$ :

$$M_0(\nu) = x_2^{\bar{0}} \vee x_1^{\bar{0}} = x_2 \vee x_1, \quad M_1(\nu) = x_2^{\bar{0}} \vee x_1^{\bar{1}} = x_2 \vee \bar{x}_1,$$

$$M_2(\nu) = x_2^{\bar{1}} \vee x_1^{\bar{0}} = \bar{x}_2 \vee x_1, \quad M_3(\nu) = x_2^{\bar{1}} \vee x_1^{\bar{1}} = \bar{x}_2 \vee \bar{x}_1,$$

где  $\nu = (x_2, x_1)$ ,  $i = e_2 e_1$ . Аналогичным образом можно записать любой макстерм  $M_i(\nu)$  большего числа переменных. Пусть, например,  $n = 4$  и  $i = 13 = (1101)_2$ . Тогда макстерм

$$M_{13}(\nu) = x_4^{\bar{1}} \vee x_3^{\bar{1}} \vee x_2^{\bar{0}} \vee x_1^{\bar{1}} = \bar{x}_4 \vee \bar{x}_3 \vee x_2 \vee \bar{x}_1.$$

В табл. 1.4 (таблица истинности) приведены все минтермы и макстермы двух переменных  $x_2$  и  $x_1$ .

Таблица 1.4. Минтермы и макстермы двух переменных

$i$	$x_2 x_1$	$K_0 K_1 K_2 K_3$	$M_0 M_1 M_2 M_3$
0	0 0	1 0 0 0	0 1 1 1
1	0 1	0 1 0 0	1 0 1 1
2	1 0	0 0 1 0	1 1 0 1
3	1 1	0 0 0 1	1 1 1 0

Минтермы и макстермы играют важнейшую роль в теории переключательных функций и ее практических приложениях. Устройства, реализующие все  $2^n$  минтерма (макстерма), называются *полными дешифраторами* с прямыми (инверсными) выходами. Эти устройства используются для коммутации (включения-выключения) других устройств, так как в каждый момент времени только один их выходной сигнал равен 1 (0). Дешифратор называется *неполным*, если он реализует не все  $2^n$  минтерма (макстерма). Если дешифратор реализует только один минтерм (макстерм), то его принято называть *детектором состояния*. В цифровых устройствах детекторы состояния используются для обнаружения на выходах схем одной определенной комбинации значений сигналов.

## 1.8. Совершенные нормальные формы представления функций

Теорему разложения (1.29) для функций  $n$  переменных можно использовать  $n$  раз, т.е. функцию можно разложить по всем  $n$  переменным  $x_p$ , где  $p = 1, 2, \dots, n$ . В качестве примера

рассмотрим разложение функции  $f(\nu) = f(x_2, x_1)$  двух переменных  $x_2$  и  $x_1$ . По теореме разложения (1.29) получим:

$$f(x_2, x_1) = \bar{x}_2 \cdot f(0, x_1) \vee x_2 \cdot f(1, x_1).$$

Далее каждую из функций  $f(0, x_1)$  и  $f(1, x_1)$  можно разложить по переменной  $x_1$ :

$$\begin{aligned} f(x_2, x_1) &= \bar{x}_2[\bar{x}_1 f(0, 0) \vee x_1 f(0, 1)] \vee x_2[\bar{x}_1 f(1, 0) \vee x_1 f(1, 1)] = \\ &= \bar{x}_2 \bar{x}_1 f(0, 0) \vee \bar{x}_2 x_1 f(0, 1) \vee x_2 \bar{x}_1 f(1, 0) \vee x_2 x_1 f(1, 1) = \\ &= x_2^0 x_1^0 f(0, 0) \vee x_2^0 x_1^1 f(0, 1) \vee x_2^1 x_1^0 f(1, 0) \vee x_2^1 x_1^1 f(1, 1) = \\ &= \bigvee_{i=0}^3 x_2^{e_2^i} \cdot x_1^{e_1^i} \cdot f(e_2, e_1) = \bigvee_{i=0}^3 f(\nu_i) \cdot K_i(\nu), \end{aligned}$$

где  $\nu = (x_2, x_1)$ ,  $\nu_i = (e_2, e_1)$ ,  $i = e_2 e_1$ ,  $K_i(\nu) = x_2^{e_2^i} \cdot x_1^{e_1^i}$  — минтермы двух переменных  $x_2$  и  $x_1$ . Так как  $f(\nu_i) = a_i = 0$  или 1 (значение функции в точке  $\nu_i$ ), то

$$f(\nu) = \bigvee_{i=0}^3 a_i K_i(\nu).$$

Такая форма представления функции двух переменных называется *совершенной дизъюнктивной нормальной формой* (СДНФ). Термин “совершенная форма” означает, что все члены имеют одинаковую размерность, а термин “нормальная форма” — что в выражении, задающем функцию, последовательно выполняются не более двух базовых операций алгебры логики (операция отрицания в расчет не принимается). Полученная СДНФ функции двух переменных  $x_2$  и  $x_1$  эквивалентна выражению (1.35) для мультиплексной функции.

Разложение функции  $n$  переменных представляет собой дизъюнкцию  $2^n$  членов вида  $x_n^{e_n} \cdots x_p^{e_p} \cdots x_1^{e_1} \cdot f(e_n, \dots, e_p, \dots, e_1) = f(\nu_i) \cdot K_i(\nu) = a_i \cdot K_i(\nu)$ :

$$f(\nu) = \bigvee_{i=0}^{2^n-1} a_i \cdot K_i(\nu). \quad (1.71)$$

Выражение (1.71) представляет собой СДНФ функции  $n$  переменных, т. е. СДНФ является полным разложением (по всем переменным) функции по теореме Шеннона (1.29). Так как значения функции  $a_i = 0$  или 1, то  $a_i \cdot K_i(\nu) = 0$ , если  $a_i = 0$ , и  $a_i \cdot K_i(\nu) = K_i(\nu)$ , если  $a_i = 1$ . Поэтому СДНФ функции можно представить в виде

$$f(\nu) = \bigvee_{i_1} K_{i_1}(\nu), \quad (1.72)$$

где  $i_1$  — номера тех точек, в которых функция  $f(\nu)$  равна 1, т. е.  $f(\nu_{i_1}) = a_{i_1} = 1$ . Таким образом, СДНФ функции  $n$  переменных представляет собою дизъюнкцию некоторого числа  $k \leq 2^n$  минтермов.

В качестве примера рассмотрим функцию  $f(\nu)$  трех переменных  $x_3, x_2$  и  $x_1$ , заданную таблицей истинности (табл. 1.5), из которой следует, что  $a_0 = a_3 = a_4 = a_6 = 0, a_1 = a_2 = a_5 = a_7 = 1$ . Поэтому на основании (1.72)

$$\begin{aligned} f(\nu) &= K_1(\nu) \vee K_2(\nu) \vee K_5(\nu) \vee K_7(\nu) = \\ &= \bar{x}_3 \bar{x}_2 x_1 \vee \bar{x}_3 x_2 \bar{x}_1 \vee x_3 \bar{x}_2 x_1 \vee x_3 x_2 x_1. \end{aligned}$$

Это и есть СДНФ функции  $f(\nu)$ , заданной табл. 1.5.

Таблица 1.5. Функция трех переменных

$i$	$x_3 x_2 x_1$	$f$	$i$	$x_3 x_2 x_1$	$f$
0	0 0 0	0	4	1 0 0	0
1	0 0 1	1	5	1 0 1	1
2	0 1 0	1	6	1 1 0	0
3	0 1 1	0	7	1 1 1	1

СДНФ полностью неопределенной функции имеет вид:

$$h(\nu) = \bigvee_{i=0}^{2^n-1} c_i K_i(\nu),$$

где  $c_i$  — неопределенные значения функции ( $c_i = 0$  или 1).

Совершенную конъюнктивную нормальную форму (СКНФ) функции  $n$  переменных  $f(\nu)$  можно получить на основании двойственной теоремы разложения (1.33). Однако предпочтительнее более простой способ, основанный на записи СДНФ инверсной функции  $\overline{f(\nu)}$ . Инверсия функции в каждой точке  $\nu_i$  должна иметь инверсные значения  $\bar{a}_i$  по отношению к значениям  $a_i$  самой функции, т. е.  $\overline{f(\nu_i)} = \bar{a}_i$ , если  $f(\nu_i) = a_i$ . На основании (1.72) запишем СДНФ инверсной функции:

$$\overline{f(\nu)} = \bigvee_{i=0}^{2^n-1} \bar{a}_i K_i(\nu).$$

Из данного соотношения на основании закона двойственно-

сти получим:

$$f(\nu) = \bigvee_{i=0}^{2^n-1} \overline{a_i K_i(\nu)} = \prod_{i=0}^{2^n-1} \overline{a_i K_i(\nu)} = \prod_{i=0}^{2^n-1} [a_i \vee \overline{K_i(\nu)}].$$

Из определения макстермов следует, что

$$f(\nu) = \prod_{i=0}^{2^n-1} [a_i \vee M_i(\nu)]. \quad (1.73)$$

Данная форма представления функции  $n$  переменных называется СКНФ. Так как значения функции  $a_i = 0$  или 1, то  $a_i \vee M_i(\nu) = M_i(\nu)$ , если  $a_i = 0$ , и  $a_i \vee M_i(\nu) = 1$ , если  $a_i = 1$ . Поэтому СКНФ можно представить в виде

$$f(\nu) = \prod_{i_0} M_{i_0}(\nu), \quad (1.74)$$

где  $i_0$  — номера тех точек, в которых функция  $f(\nu)$  равна 0, т. е.  $f(\nu_{i_0}) = a_{i_0} = 0$ . Таким образом, СКНФ функции  $n$  переменных представляет собою конъюнкцию некоторого числа  $k \leq 2^n$  макстермов.

В качестве примера рассмотрим функцию трех переменных, заданную табл. 1.5. Так как только значения функции  $a_0 = a_3 = a_4 = a_6 = 0$ , то на основании (1.74)

$$\begin{aligned} f(\nu) &= M_0 \cdot M_3 \cdot M_4 \cdot M_6 = \\ &= (x_3 \vee x_2 \vee x_1)(x_3 \vee \bar{x}_2 \vee \bar{x}_1)(\bar{x}_3 \vee x_2 \vee x_1)(\bar{x}_3 \vee \bar{x}_2 \vee x_1). \end{aligned}$$

Это и есть СКНФ функции, заданной табл. 1.5.

Совокупность элементарных функций, с помощью которых можно записать любую функцию  $f(\nu)$ , называется *функционально полной системой функций*, или *базисом*. Из (1.72) и (1.74) следует, что для представления любой функции  $f(\nu)$  в виде СДНФ или СКНФ достаточно использовать только функции (операции) И, ИЛИ и НЕ (операция НЕ необходима для получения первичных термов  $\bar{x}_p$ , входящих в минтермы и макстермы), т. е. эти три функции составляют базис.

Преобразуем СДНФ функции (1.72) с помощью закона двойного отрицания и закона двойственности:

$$f(\nu) = \bigvee_{i=0}^{2^n-1} \overline{\overline{a_i K_i(\nu)}} = \prod_{i=0}^{2^n-1} \overline{a_i K_i(\nu)}. \quad (1.75)$$

Данная форма представления функций называется *совершенной нормальной формой (СНФ) в базисе И-НЕ*, так как она требует использования только функций (операций) И-НЕ.

Преобразуем теперь СКНФ функции (1.73) с помощью закона двойного отрицания и закона двойственности:

$$f(\nu) = \overline{\prod_{i=0}^{2^n-1} a_i \vee M_i(\nu)} = \bigvee_{i=0}^{2^n-1} \overline{a_i \vee M_i(\nu)}. \quad (1.76)$$

Данная форма представления функций называется *совершенной нормальной формой в базисе ИЛИ-НЕ*, так как она требует использования только функций (операций) ИЛИ-НЕ.

На основании (1.75) и (1.76) из СДНФ и СКНФ функции, заданной табл. 1.5, можно получить СНФ этой функции в базисах И-НЕ и ИЛИ-НЕ:

$$f(\nu) = \overline{\overline{\overline{x_3 \overline{x_2} x_1} \cdot \overline{x_3 x_2 \overline{x_1}} \cdot \overline{x_3 x_2 x_1} \cdot x_3 x_2 x_1}},$$

$$f(\nu) = \overline{x_3 \vee x_2 \vee x_1 \vee x_3 \vee \overline{x_2} \vee \overline{x_1} \vee \overline{x_3} \vee x_2 \vee x_1 \vee \overline{x_3} \vee \overline{x_2} \vee x_1}.$$

На основании свойства минтермов (1.68) справедливо соотношение  $K_i(\nu) \vee K_j(\nu) \equiv K_i(\nu) \oplus K_j(\nu)$ , поэтому

$$f(\nu) = \bigvee_{i=0}^{2^n-1} a_i \cdot K_i(\nu) = \sum_{i=0}^{2^n-1} a_i \cdot K_i(\nu).$$

Такое представление функции позволяет записать ее в виде полинома  $n$ -й степени. Пусть, например, задана СДНФ функции трех переменных  $f(\nu) = K_0(\nu) \vee K_3(\nu) \vee K_7(\nu)$ . Тогда

$$f(\nu) = \overline{x_3} \overline{x_2} \overline{x_1} \oplus \overline{x_3} x_2 x_1 \oplus x_3 x_2 x_1 =$$

$$= (1 \oplus x_3)(1 \oplus x_2)(1 \oplus x_1) \oplus (1 \oplus x_3)x_2 x_1 \oplus x_3 x_2 x_1 =$$

$$= 1 \oplus x_1 \oplus x_2 \oplus x_3 \oplus x_3 x_1 \oplus x_3 x_2 \oplus x_3 x_2 x_1.$$

Такой же результат можно получить и с помощью разложения Рида (1.36) функции трех переменных. Полученная форма представления функции называется *разложением Рида — Маллера* [8].

## 1.9. Конъюнктивные и дизъюнктивные термы

*Конъюнктивным термом* (контермом, элементарной конъюнкцией) называется конъюнкция любого числа первичных термов  $x_p^{\epsilon_p}$ , если каждый первичный терм с индексом  $p$  входит в нее не более одного раза. Любой контерм представляет собой



функцию  $n$  переменных  $K_{ij}(\nu)$ , которую можно записать в виде

$$K_{ij}(\nu) = \prod_{p=1}^n (x_p^{e_p} \vee x_p^{e'_p}), \quad (1.77)$$

где  $\nu = (x_n, \dots, x_1)$ ,  $e_p = 0$  или  $1$ ,  $e'_p = 0$  или  $1$ ;  $e_p \leq e'_p$  — для исключения неоднозначности нумерации контермов;  $i = e_n \dots e_1$ ,  $j = e'_n \dots e'_1$  — двоичные числа.

Действительно, в соответствии с (1.64)

$$x_p^{e_p} \vee x_p^{e'_p} = \begin{cases} x_p^{e_p}, & \text{если } e'_p = e_p, \\ 1, & \text{если } e'_p \neq e_p \quad (e'_p = \bar{e}_p), \end{cases}$$

поэтому функция  $K_{ij}(\nu)$  будет представлять собой конъюнкцию  $r \leq n$  первичных термов  $x_p^{e_p}$ . Запишем, например, в явном виде контерм  $K_{1,7}(\nu)$  трех переменных. Для этого воспользуемся символической схемой:

$$\begin{array}{c} x_3^0 \cdot x_2^0 \cdot x_1^1 \sim i=1 \\ \vee \\ x_3^1 \cdot x_2^1 \cdot x_1^1 \sim j=7 \\ \hline 1 \cdot 1 \cdot x_1^1 = x_1 = K_{1,7}(\nu) \end{array}$$

(операция дизъюнкции выполняется поразрядно).

Если значения  $e_p = e'_p$  для всех  $p$ , то  $i = j$  и  $x_p^{e_p} \vee x_p^{e'_p} = x_p^{e_p}$  для всех  $p = 1, 2, \dots, n$ , поэтому, как следует из (1.77),

$$K_{ij}(\nu) = K_{ii}(\nu) = \prod_{p=1}^n x_p^{e_p} = K_i(\nu),$$

т.е. контерм  $K_{ii}(\nu)$  является минтермом  $K_i(\nu)$ . Если же значения  $e_p \neq e'_p$  для всех  $p$  ( $e_p \leq e'_p$ , т.е.  $e_p = 0$ ,  $e'_p = 1$ ), то  $i = 0$ ,  $j = 2^n - 1$  и  $x_p^{e_p} \vee x_p^{e'_p} = 1$  для всех  $p$ , поэтому  $K_{0,2^n-1}(\nu) = 1$ . Таким образом, функция константа единица является конъюнктивным термом. Из определения (1.77) и рассмотренных частных примеров следует, что все контермы, за исключением  $K_{ii}(\nu) = K_i(\nu)$ , являются вырожденными функциями  $n$  переменных.

Всего имеется  $3^n$  различных контермов  $n$  переменных. Действительно, так как  $x_p^{e_p} \vee x_p^{e'_p} = \bar{x}_p, x_p$  или  $1$  (дизъюнкция первичных термов может принимать любое из этих трех значений), то каждой функции  $K_{ij}(\nu)$  можно поставить в соответствие одно из

$n$ -разрядных чисел с основанием системы счисления  $q = 3$ , а поскольку на основании (1.23) имеется  $3^n$  различных  $n$ -разрядных чисел при  $q = 3$ , то и число различных контермов равно  $3^n$ .

*Дизъюнктивным термом* (дизтермом, элементарной дизъюнкцией) называется функция  $n$  переменных

$$M_{ij}(\nu) = \overline{K_{ij}(\nu)} = \prod_{p=1}^n (x_p^{e_p} \vee x_p^{e'_p}) = \bigvee_{p=1}^n x_p^{\bar{e}_p} \cdot x_p^{\bar{e}'_p}. \quad (1.78)$$

Дизтермы представляют собой дизъюнкцию любого числа  $r \leq n$  первичных термов  $x_p^{e_p}$ , причем каждый первичный терм с индексом  $p$  входит в нее только один раз. Всего имеется  $3^n$  различных дизтермов, так как имеется  $3^n$  различных контермов.

Запишем, например, в явном виде дизъюнктивный терм  $M_{1,3}(\nu)$  трех переменных. Для этого воспользуемся символической схемой:

$$\begin{array}{l} x_3^{\bar{0}} \vee x_2^{\bar{0}} \vee x_1^{\bar{1}} \sim i=1 \\ \& \\ x_3^{\bar{0}} \vee x_2^{\bar{1}} \vee x_1^{\bar{1}} \sim j=3 \\ \hline x_3^{\bar{1}} \vee 0 \vee x_1^{\bar{0}} = x_3 \vee \bar{x}_1 = M_{1,3}(\nu) \end{array}$$

(операция конъюнкции выполняется поразрядно). Поскольку функция  $M_{0,2^{n-1}}(\nu) = \overline{K_{0,2^{n-1}}(\nu)} = 0$ , то константа нуль является дизъюнктивным термом (понятно, что дизъюнктивным термом является и макстерм).

## 1.10. Минимизация переключательных функций

Физическое устройство, реализующее одну из основных операций алгебры логики или простейшую переключательную функцию, называется *логическим элементом* (ЛЭ). Схема, составленная из конечного числа ЛЭ по определенным правилам (см. § 2.3), называется *логической схемой* (ЛС). Если ЛС полностью описывается переключательными функциями (одной или несколькими), то она называется *комбинационной схемой* (КС).

Одной из основных задач, возникающих при синтезе КС, является минимизация переключательных функций, которые она реализует. Чем проще логические выражения, описывающие функции, тем проще и дешевле реализующая их КС.

В качестве критерия сложности логического выражения, описывающего функцию, целесообразно принять количество первичных термов  $x_p^{e_p}$ , в него входящих. Очевидно, что любой метод минимизации может основываться только на тождественных преобразованиях логических выражений.

Общие правила минимизации можно установить только для случаев, когда в результате минимизации получаются так называемые минимальные нормальные формы функций (термин "нормальные формы" означает, что в логическом выражении, определяющем функцию  $f(\nu)$ , последовательно выполняется не более двух операций из совокупности операций И, ИЛИ, И-НЕ и ИЛИ-НЕ).

Два минтерма  $K_i(\nu)$  и  $K_j(\nu)$  будем называть *соседними*, если они различаются только одним первичным термом  $x_p^{e_p}$ , т.е., если для одного из минтермов  $e_p = 0$ , а для другого  $e_p = 1$  (все же остальные первичные термы одинаковые). Так, например, если  $n = 3$ , то минтермы  $K_3(\nu) = \bar{x}_3 x_2 x_1$  и  $K_7(\nu) = x_3 x_2 x_1$  являются соседними, так как они различаются только одним первичным термом  $x_3^{e_3}$ . Для минтерма  $K_3(\nu)$  соседними будут также минтермы  $K_1(\nu) = \bar{x}_3 \bar{x}_2 x_1$  и  $K_2(\nu) = \bar{x}_3 x_2 \bar{x}_1$ . Понятно, что каждый минтерм  $n$  переменных  $K_i(\nu)$  имеет по  $n$  соседних из общего числа  $2^n$  минтермов.

Рассмотрим контерм  $n$  переменных  $K_{ij}(\nu)$ , не зависящий от одной переменной  $x_p$ , т.е. случай, когда контерм является конъюнкцией  $n - 1$ -го первичного терма. Данный контерм можно представить в СДНФ:

$$K_{ij}(\nu) = (\bar{x}_p \vee x_p) K_{ij}(\nu) = \bar{x}_p K_{ij}(\nu) \vee x_p K_{ij}(\nu) = K_i(\nu) \vee K_j(\nu),$$

где  $\nu = (x_n, \dots, x_p, \dots, x_1)$ . Очевидно, что полученные минтермы  $K_i(\nu)$  и  $K_j(\nu)$  являются соседними, так как они различаются только одним первичным термом  $x_p^{e_p}$  ( $\bar{x}_p$  и  $x_p$ ).

Отсюда следует правило минимизации: дизъюнкцию двух соседних минтермов можно заменить одним контермом, не зависящим от одной переменной.

Пусть контерм  $n$  переменных не зависит от двух переменных  $x_p$  и  $x_q$  ( $n \geq 2, p > q$ ). Выполним тождественные преобразования контерма для его представления в СДНФ:

$$\begin{aligned} K_{ij}(\nu) &= (\bar{x}_p \vee x_p)(\bar{x}_q \vee x_q) K_{ij}(\nu) = \\ &= \bar{x}_p \bar{x}_q K_{ij}(\nu) \vee \bar{x}_p x_q K_{ij}(\nu) \vee x_p \bar{x}_q K_{ij}(\nu) \vee x_p x_q K_{ij}(\nu) = \\ &= K_i(\nu) \vee K_r(\nu) \vee K_s(\nu) \vee K_j(\nu), \end{aligned}$$

где  $\nu = (x_n, \dots, x_p, \dots, x_q, \dots, x_1)$ ,  $i < r < s < j$ . Из этих соотношений видно, что каждый из четырех полученных минтермов

имеет среди остальных по два соседних.

Отсюда следует правило минимизации: дизъюнкцию четырех минтермов, каждый из которых имеет среди остальных по два соседних, можно заменить одним контермом, не зависящим от двух переменных, причем исключаются те переменные, которые входят в минтермы как с инверсией, так и без инверсии.

Рассмотрим пример. В § 1.9 было показано, что контерм трех переменных  $K_{1,7} = x_1$ , т. е. данный контерм является вырожденной функцией, независимой от двух переменных  $x_3$  и  $x_2$ . Тогда легко показать, что

$$\begin{aligned} K_{1,7}(\nu) &= (\bar{x}_3 \vee x_3)(\bar{x}_2 \vee x_2)K_{1,7}(\nu) = \\ &= \bar{x}_3\bar{x}_2x_1 \vee \bar{x}_3x_2x_1 \vee x_3\bar{x}_2x_1 \vee x_3x_2x_1 = \\ &= K_1(\nu) \vee K_3(\nu) \vee K_5(\nu) \vee K_7(\nu), \end{aligned}$$

где каждый минтерм имеет по два соседних.

Продолжив вышеприведенные рассуждения дальше, можно установить *общее правило минимизации*: одним контермом  $n$  переменных  $K_{ij}(\nu)$ , не зависящим от  $m$  переменных ( $m \leq n$ ), можно заменить дизъюнкцию  $2^m$  минтермов, если каждый из них имеет по  $m$  соседних среди остальных  $2^m - 1$  минтермов.

Если контерм  $K_{ij}(\nu)$  не зависит от  $m$  переменных, то принято говорить, что он покрывает  $2^m$  минтермов. На этом свойстве контермов и основывается минимизация функций  $f(\nu)$ , заданных в СДНФ, которая в соответствии с выражением (1.72) представляет собой дизъюнкцию некоторого числа минтермов  $K_{i_1}$ :

$$f(\nu) = \bigvee_{i_1} K_{i_1}(\nu).$$

Заменив в данном выражении дизъюнкцию  $2^m$  ( $m = 0, 1, \dots, n$ ) минтермов ( $2^0 = 1$  в случаях, когда какие-либо минтермы не имеют ни одного соседнего) соответствующими контермами  $K_{ij}(\nu)$ , функцию можно представить в виде дизъюнкции некоторого числа контермов, покрывающих все минтермы  $K_{i_1}$ , входящие в СДНФ функции:

$$f(\nu) = \bigvee_{ij} K_{ij}(\nu). \quad (1.79)$$

Такая форма представления функций называется *дизъюнктивной нормальной формой* (ДНФ). Если ДНФ содержит минимально возможное число первичных термов  $x_r^{\epsilon_r}$ , то она называется *минимальной дизъюнктивной нормальной формой* (МДНФ). Следует отметить, что любые правила минимизации

сводятся к сформулированному выше общему правилу, в то время как алгоритмы (методы) минимизации могут сильно различаться между собой.

На основании идемпотентных законов один и тот же минтерм  $K_{i_1}(\nu)$ , входящий в СДНФ, может использоваться несколько раз для образования различных контермов  $K_{ij}(\nu)$ , так как

$$K_{i_1}(\nu) = K_{i_1}(\nu) \vee K_{i_1}(\nu) \vee \dots \vee K_{i_1}(\nu).$$

В общем случае для минимизации функций  $n$  переменных возникает необходимость использовать любой минтерм не более  $n$  раз, так как он может быть соседним не более чем с  $n$  другими минтермами.

Рассмотрим пример. Пусть задана СДНФ функции трех переменных

$$\begin{aligned} f(\nu) &= K_3(\nu) \vee K_5(\nu) \vee K_6(\nu) \vee K_7(\nu) = \\ &= \bar{x}_3 x_2 x_1 \vee x_3 \bar{x}_2 x_1 \vee x_3 x_2 \bar{x}_1 \vee x_3 x_2 x_1. \end{aligned}$$

Здесь для получения МДНФ минтерм  $K_7(\nu) = x_3 x_2 x_1$  необходимо использовать три раза:

$$\begin{aligned} f(\nu) &= \bar{x}_3 x_2 x_1 \vee x_3 x_2 x_1 \vee (x_3 \bar{x}_2 x_1 \vee x_3 x_2 x_1) \vee x_3 x_2 \bar{x}_1 \vee x_3 x_2 x_1 = \\ &= x_2 x_1 (\bar{x}_3 \vee x_3) \vee x_3 x_1 (\bar{x}_2 \vee x_2) \vee x_3 x_2 (\bar{x}_1 \vee x_1) = \\ &= x_2 x_1 \vee x_3 x_1 \vee x_3 x_2. \end{aligned}$$

Уже из этого элементарного примера видно, сколь сложно использовать аналитический метод минимизации ввиду трудоемкости работы по отысканию соседних минтермов (задача еще более усложняется при наличии в СДНФ группы, состоящей из  $2^m$  минтермов при  $m > 1$ , которые можно заменить одним контермом).

Рассмотрим теперь методику получения минимальных нормальных форм (МНФ) в других базисах. Для этой цели наиболее удобно использовать закон двойственности, который обладает замечательным свойством: при преобразовании любого логического выражения на основании закона двойственности ни число первичных термов  $x_p^{ep}$ , ни общее число операций дизъюнкции и конъюнкции, входящих в исходное логическое выражение, не изменяется.

Пусть получена МДНФ некоторой функции  $f(\nu)$ . Тогда, используя закон двойного отрицания и закон двойственности, будем иметь:

$$f(\nu) = \overline{\bigvee_{ij} K_{ij}(\nu)} = \overline{\prod_{ij} \overline{K_{ij}(\nu)}}. \quad (1.80)$$

Это соотношение и дает минимальную нормальную форму в базисе И-НЕ функции  $f(\nu)$ , так как для ее реализации требуются только операции И-НЕ. В качестве примера запишем в

базисе И-НЕ МНФ функции трех переменных, МДНФ которой была найдена выше:

$$f(\nu) = \overline{\overline{x_2 x_1} \vee \overline{x_3 x_1} \vee \overline{x_3 x_2}} = \overline{\overline{x_2 x_1} \cdot \overline{x_3 x_1} \cdot \overline{x_3 x_2}}.$$

Конъюнкция любого числа дизтермов называется *конъюнктивной нормальной формой*. Получение *минимальной конъюнктивной нормальной формы* (МКНФ) функции  $f(\nu)$  легко сводится к получению МДНФ инверсной функции  $f(\nu)$  и преобразованию ее с помощью закона двойственности:

$$\overline{f(\nu)} = \bigvee_{ij} K_{ij}(\nu); \quad (1.81)$$

$$f(\nu) = \prod_{ij} \overline{K_{ij}(\nu)} = \prod_{ij} M_{ij}(\nu), \quad (1.82)$$

где  $M_{ij}(\nu)$  — дизъюнктивные термы (1.78).

Рассмотрим пример. Пусть требуется найти МКНФ функции трех переменных  $f(\nu)$ , значения которой равны 0 только в точках  $\nu_0$ ,  $\nu_1$  и  $\nu_4$ . СДНФ инверсной функции

$$\overline{f(\nu)} = K_0(\nu) \vee K_1(\nu) \vee K_4(\nu) = \overline{x_3} \overline{x_2} \overline{x_1} \vee \overline{x_3} \overline{x_2} x_1 \vee x_3 \overline{x_2} \overline{x_1}.$$

Используя минтерм  $K_0(\nu) = \overline{x_3} \overline{x_2} \overline{x_1}$  дважды, легко показать, что МДНФ (1.81) инверсной функции  $f(\nu) = \overline{x_2} \overline{x_1} \vee \overline{x_3} \overline{x_2}$ . Тогда МКНФ функции  $f(\nu)$  получается с помощью закона двойственности:

$$f(\nu) = \overline{\overline{x_2} \overline{x_1} \vee \overline{x_3} \overline{x_2}} = (x_2 \vee x_1)(x_3 \vee x_2).$$

*Минимальная нормальная форма в базисе ИЛИ-НЕ* функции  $f(\nu)$  может быть получена непосредственно из МКНФ (1.82) с помощью закона двойного отрицания и закона двойственности:

$$f(\nu) = \overline{\prod_{ij} M_{ij}(\nu)} = \bigvee_{ij} \overline{M_{ij}(\nu)}. \quad (1.83)$$

Найдем МНФ в базисе ИЛИ-НЕ для функции  $f(\nu)$ , рассмотренной в предыдущем примере:

$$f(\nu) = \overline{(x_2 \vee x_1)(x_3 \vee x_2)} = \overline{x_2 \vee x_1} \vee \overline{x_3 \vee x_2}.$$

Таким образом, получение МКНФ и МНФ в базисах И-НЕ и ИЛИ-НЕ функции  $f(\nu)$  всегда можно свести к получению МДНФ либо функции  $f(\nu)$ , либо ее инверсии  $\overline{f(\nu)}$ . Это позволяет использовать для всех нормальных минимальных форм представления переключательных функций только метод их минимизации, приводящий к получению МДНФ.

## 1.11. Диаграммы Вейча

Из-за сложности использования аналитического метода минимизации, связанной с трудоемкой работой по отысканию соседних минтермов, наибольшее распространение получил графический метод минимизации с помощью диаграмм Вейча, несомненным достоинством которого является наглядность и простота использования при небольшом числе переменных ( $n \leq 6$ ).

*Диаграммы Вейча* (ДВ) представляют собой один из табличных способов задания функций и состоят из клеток, каждая из которых соответствует определенной точке  $\nu_i$  области определения функций, т. е. диаграммы Вейча для функции  $n$  переменных состоят из  $2^n$  клеток, которые можно пронумеровать числами  $i = 0, 1, \dots, 2^n - 1$ . Таким образом, ДВ отображают  $n$ -мерное пространство на плоскость. Чтобы с помощью диаграммы Вейча задать функцию  $f(\nu)$ , необходимо в каждую клетку с номером  $i$  занести значение функции  $f(\nu_i) = a_i = 0$  или 1, которое она принимает в точке  $\nu_i$ .

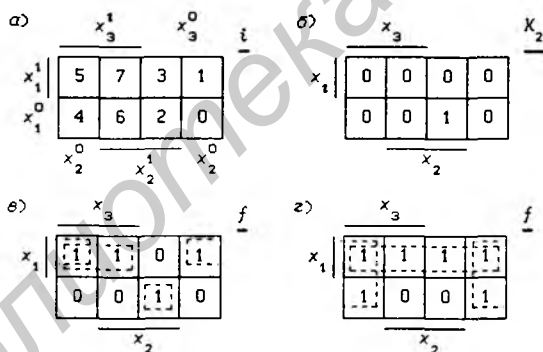


Рис. 1.1

Для минимизации функций двух переменных использовать диаграммы Вейча нет смысла, так как эти функции легко упрощаются аналитическим методом или непосредственно по таблице истинности. Рассмотрим диаграммы Вейча для функций трех переменных (ДВ-3;  $n = 3$ ). Так как  $2^n = 2^3 = 8$ , то ДВ-3 состоит из восьми клеток (рис. 1.1, а). Каждой стороне ДВ-3 соответствует своя переменная  $x_p$  ( $p = 1, 2, 3$ ), причем одной половине стороны соответствует первичный терм  $x_p^e = x_p^1 = x_p$ , а другой — первичный терм  $x_p^e = x_p^0 = \bar{x}_p$ . Поэтому каждой клетке будет соответствовать совокупность первичных термов  $x_3^e, x_2^e, x_1^e$ , а

номер данной клетки будет определяться числом  $i = e_3 e_2 e_1$ .

Любой минтерм  $K_i(\nu)$  представляет собой функцию, равную 1 только в одной точке  $\nu$ ; области определения, поэтому на ДВ-3 он представляется единицей, стоящей только в одной клетке с номером  $i$ . Например, на рис. 1.1,б показана ДВ-3 для минтерма  $K_2(\nu) = x_3^0 x_2^1 x_1^0 = \bar{x}_3 x_2 \bar{x}_1$ . На рис. 1.1,б,в,г использованы упрощенные обозначения сторон ДВ-3, полностью соответствующие обозначениям на рис. 1.1,а (одна половина сторон соответствует  $x_p$ , а другая —  $\bar{x}_p$ ). Клетке с номером  $i = 2$  соответствует на основании принятых обозначений совокупность первичных термов  $\bar{x}_3, x_2$  и  $\bar{x}_1$ , конъюнкция которых и представляет собой минтерм  $K_2(\nu)$ . Таким образом можно сказать, что каждой клетке с номером  $i$  соответствует минтерм  $K_i(\nu)$ .

Две клетки диаграммы Вейча называются *соседними*, если им соответствуют соседние минтермы. Для удобства отыскания контермов, покрывающих  $2^m$  минтермов ( $m \leq n$ , где  $n$  — число переменных), стороны диаграмм Вейча обозначают с помощью первичных термов  $x_p^{e_p}$  так, чтобы как можно больше соседних клеток имели общую грань. Этому требованию могут удовлетворять многие варианты обозначений. При изображении диаграмм Вейча для трехмерного пространства на плоскости не все клетки, которым соответствуют соседние минтермы, имеют общую грань. Легко убедиться (см. рис. 1.1,а), что клеткам с номерами 0 и 4, 1 и 5 соответствуют соседние минтермы. Поэтому ДВ-3 следует представлять себе в виде трехмерной фигуры — цилиндра, получаемого путем совмещения боковых сторон ДВ-3. Тогда клетки с номерами 0 и 4, 1 и 5 будут иметь общую грань.

Рассмотрим пример. Пусть требуется составить ДВ-3 для функции  $f(\nu)$ , заданной табл. 1.5. Для этого в клетки с номерами  $i$  (см. рис. 1.1,а) следует занести значения функции  $f(\nu_i) = 0$  или 1, которые она принимает в точках  $\nu_i$  (см. рис. 1.1,б). В § 1.8 было показано, что СДНФ данной функции имеет вид

$$f(\nu) = K_1(\nu) \vee K_2(\nu) \vee K_5(\nu) \vee K_7(\nu),$$

т. е. в ДВ-3 (см. рис. 1.1,в) единицами заполняются клетки, соответствующие этим минтермам. Таким образом, имеется жесткая связь между таблицей истинности (см. табл. 1.5), аналитическим выражением для функции и диаграммой Вейча (см. рис. 1.1,в).

Некоторые особенности взаимосвязи таблицы истинности и диаграммы Вейча требуют пояснений. В таблице истинности (табл. 1.5) значения аргументов указаны в явном виде в трех столбцах, обозначенных через  $x_3, x_2$  и  $x_1$ , а в ДВ-3 эти значения в явном виде отсутствуют. Однако, поскольку каждой клетке с номером  $i$  соответствует точка  $\nu_i$  области определения функции, то данной клетке соответствует вполне определенная совокупность значений переменных  $x_3, x_2$  и



$x_1$  (это соответствие указано в табл. 1.5). Легко заметить, что половине клеток ДВ-3, обозначенной через  $x_p$  ( $p = 1, 2, 3$ ) соответствуют значения  $x_p = 1$ , а другой половине клеток — значения  $x_p = 0$ . Другая особенность взаимосвязи заключается в том, что минтермы, равные 1 в точке с номером  $i$ , в диаграмме Вейча указаны в явном виде, а в таблице истинности — в неявном (с помощью значений аргументов  $x_p$ ). Например, строке с номером  $i = 2$  соответствуют значения  $x_3 = 0$ ,  $x_2 = 1$  и  $x_1 = 0$ . Поэтому  $K_i(\nu) = K_2(\nu) = x_3^0 x_2^1 x_1^0 = \bar{x}_3 x_2 \bar{x}_1$ , а в ДВ-3 клетка с номером  $i = 2$  непосредственно обозначена через  $\bar{x}_3, x_2$  и  $\bar{x}_1$  (см. рис. 1.1, б).

Указание в явном виде одних величин вместо других в таблицах истинности и диаграммах Вейча связано с различием в их назначении: таблицы истинности наиболее удобны для первоначального описания переключательных функций, а диаграммы Вейча — для их минимизации.

Клетки, содержащие в диаграмме Вейча единицы, будем называть *1-клетками*, а клетки, содержащие нули, — *0-клетками*. Выше было показано, что любой контерм  $K_{ij}(\nu)$ , не зависящий от  $m$  переменных ( $m \leq n$ , где  $n$  — число переменных), представляет собой дизъюнкцию  $2^m$  минтермов, каждый из которых имеет среди остальных по  $m$  соседних. Поэтому диаграмма Вейча для таких контермов содержит  $2^m$  1-клеток.

Основное свойство диаграммы Вейча заключается в том, что 1-клетки любого контерма  $K_{ij}(\nu)$  образуют на ней область, являющуюся прямоугольником и только прямоугольником (для трех переменных эта область представляет собой прямоугольник на цилиндре), причем переменные  $x_p$ , от которых контерм  $K_{ij}(\nu)$  не зависит, имеют в этой области различные значения ( $\bar{x}_p$  и  $x_p$ ), а остальные переменные — только одно значение ( $\bar{x}_p$  или  $x_p$ ). Такие области называются *m-кубами* ( $m = 0, 1, \dots, n$ ; 0-кубу соответствует минтерм, а  $n$ -кубу — константа единица). Так как  $m$ -куб представляет собой область, состоящую из  $2^m$  1-клеток, то говорят, что  $m$ -куб покрывает  $2^m$  1-клеток. Чтобы записать контерм  $K_{ij}(\nu)$ , соответствующий некоторой прямоугольной области (некоторому  $m$ -кубу) в явном виде, необходимо просто составить конъюнкцию из первичных термов  $x_p^{e_p}$ , которые в этой области на диаграмме Вейча имеют постоянные значения (только  $\bar{x}_p$  или только  $x_p$ ).

Таким образом, в соответствии с общим правилом минимизации, получение МДНФ с помощью диаграмм Вейча сводится к отысканию минимального числа  $m$ -кубов максимального размера, состоящих из 1-клеток, т. е. к отысканию минимального покрытия  $m$ -кубами 1-клеток и составлению дизъюнкции контермов  $K_{ij}(\nu)$ , соответствующих этим  $m$ -кубам (любая 1-клетка

должна войти хотя бы в один  $m$ -куб). Согласно идемпотентным законам любая 1-клетка может входить в несколько различных  $m$ -кубов.

На рис. 1.1,в пунктиром обозначены два 1-куба, образованные 1-клетками с номерами 5 и 7, 1 и 5, которым соответствуют контермы  $x_3x_1$  и  $\bar{x}_2x_1$ , а 1-клетка с номером 2 не имеет ни одной соседней 1-клетки, поэтому ей соответствует 0-куб, представляемый минтермом  $\bar{x}_3x_2\bar{x}_1$ . МДНФ данной функции записывается в виде

$$f(\nu) = x_3x_1 \vee \bar{x}_2x_1 \vee \bar{x}_3x_2\bar{x}_1.$$

Минимальная нормальная форма в базисе И-НЕ этой функции получается из МДНФ в соответствии с (1.80):

$$f(\nu) = \overline{x_3x_1 \vee \bar{x}_2x_1 \vee \bar{x}_3x_2\bar{x}_1} = \overline{x_3x_1} \cdot \overline{\bar{x}_2x_1} \cdot \overline{\bar{x}_3x_2\bar{x}_1}.$$

Для получения МКНФ функции  $f(\nu)$  следует найти МДНФ инверсной функции  $\overline{f(\nu)}$ , т.е. найти минимальное покрытие всех 0-клеток функции  $f(\nu)$ :

$$\overline{f(\nu)} = x_3\bar{x}_1 \vee \bar{x}_2\bar{x}_1 \vee \bar{x}_3x_2x_1,$$

а МКНФ получается на основании закона двойственности:

$$f(\nu) = \overline{x_3\bar{x}_1 \vee \bar{x}_2\bar{x}_1 \vee \bar{x}_3x_2x_1} = (\bar{x}_3 \vee x_1)(x_2 \vee x_1)(x_3 \vee \bar{x}_2 \vee \bar{x}_1).$$

Минимальная нормальная форма в базисе ИЛИ-НЕ данной функции получается из МКНФ в соответствии с (1.76):

$$f(\nu) = \overline{\bar{x}_3 \vee x_1 \vee x_2 \vee x_1 \vee x_3 \vee \bar{x}_2 \vee \bar{x}_1}.$$

Из рис. 1.1,г следует, что минимальное покрытие 1-клеток функции  $f(\nu)$  состоит из двух 2-кубов, которым соответствуют контермы  $\bar{x}_2$  и  $x_1$ , поэтому МДНФ  $f(\nu) = \bar{x}_2 \vee x_1$ . Минимальная КНФ в данном случае совпадает с МДНФ, а также можно получить формы:

$$f(\nu) = \overline{x_2\bar{x}_1} \text{ — МНФ в базисе И-НЕ,}$$

$$f(\nu) = \overline{\bar{x}_2 \vee \bar{x}_1} \text{ — МНФ в базисе ИЛИ-НЕ.}$$

Диаграммы Вейча для четырех переменных (ДВ-4) показаны на рис. 1.2. Так как  $\nu = (x_4, x_3, x_2, x_1)$  и  $\nu_i = (e_4, e_3, e_2, e_1)$ , где  $i = e_4e_3e_2e_1$ , то номера клеток  $i$  для ДВ-4 вычисляются на основании первичных термов  $x_p^e$ , используемых для обозначения ее сторон (рис. 1.2,а). Легко убедиться, что клеткам с номерами 0 и 2, 0 и 8, 2 и 10, 8 и 10 соответствуют соседние минтермы. Чтобы эти клетки имели общую грань, ДВ-4 для четырехмерного пространства следует представлять себе свернутой в тор путем соединения боковых сторон (получается цилиндр) и совмещения оснований цилиндра. Тогда, например, область, состоящая из 1-клеток с номерами 0, 2, 8 и 10, будет представлять собой прямоугольник на торе, т.е. 2-куб, который соответствует контерму  $\bar{x}_3\bar{x}_1$ .

Диаграмма Вейча, показанная на рис. 1.2,б, задает некоторую функцию  $f(\nu)$ . Минимальное покрытие 1-клеток состоит из одного

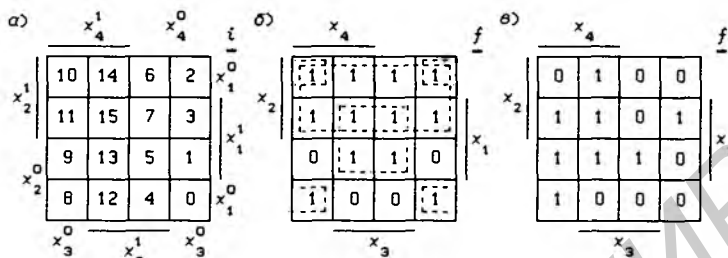


Рис. 1.2

3-куба и двух 2-кубов, которым соответствуют контермы  $x_2$ ,  $x_3x_1$  и  $\bar{x}_3\bar{x}_1$ , поэтому МДНФ данной функции

$$f(\nu) = x_2 \vee x_3x_1 \vee \bar{x}_3\bar{x}_1.$$

Минимальное же покрытие 0-клеток состоит из двух 1-кубов, которым соответствуют контермы  $x_3\bar{x}_2\bar{x}_1$  и  $\bar{x}_3\bar{x}_2x_1$ , поэтому МКНФ этой функции

$$f(\nu) = (\bar{x}_3 \vee x_2 \vee x_1)(x_3 \vee x_2 \vee \bar{x}_1).$$

Из МДНФ и МКНФ не составляет труда получить МНФ в базисах И-НЕ и ИЛИ-НЕ.

Выбор  $m$ -кубов, покрывающих 1-клетки диаграммы Вейча, не всегда столь очевиден, как это было в предыдущих примерах. На рис. 1.2, в часть 1-клеток можно было бы покрыть 2-кубом (ему соответствует контерм  $x_4x_1$ ), однако при покрытии 1-кубами остальных четырех 1-клеток становится понятным, что необходимость использования 2-куба отпадает. МДНФ этой функции

$$f(\nu) = x_4\bar{x}_3\bar{x}_2 \vee \bar{x}_3x_2x_1 \vee x_3\bar{x}_2x_1 \vee x_4x_3x_2.$$

Таким образом, не всегда следует начинать покрытие 1-клеток с отыскания  $m$ -кубов максимального размера.

Сформулируем общие правила минимизации функций с помощью диаграмм Вейча, справедливые для любого числа переменных  $n$ :

для получения МДНФ необходимо найти минимальное покрытие 1-клеток, которое состоит из минимального числа  $m$ -кубов максимального размера;

$m$ -кубу, покрывающему  $2^m$  1-клеток, соответствует контерм, не зависящий от  $m$  переменных, причем исключаются те  $m$  переменные, которые в прямоугольной области на диаграмме Вейча, состоящей из 1-клеток, имеют различное значение  $x_p$  и  $\bar{x}_p$ ;

прямоугольные области на диаграммах Вейча, используемые при покрытии функции  $f(\nu)$ , могут состоять только из  $2^m$  1-клеток, где  $m = 0, 1, \dots, n$ , т. е. из 1, 2, 4, 8, 16 и т. д. 1-клеток;

покрытие следует начинать с выбора тех 1-клеток, которые могут войти в один и только один  $m$ -куб, а затем выбранные таким образом 1-клетки покрываются  $m$ -кубами максимального размера (это правило позволяет исключить возможность появления лишних  $m$ -кубов, как это могло иметь место в примере на рис. 1.2,в);

если 1-клеток, входящих только в один  $m$ -куб, нет, то следует рассмотреть несколько вариантов минимизации.

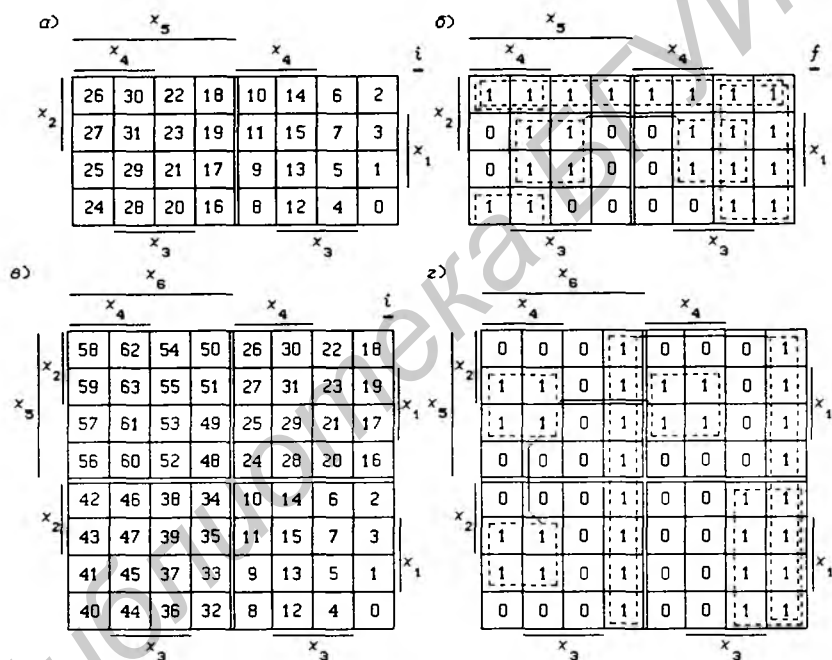


Рис. 1.3

Диаграммы Вейча для числа переменных  $n > 4$  составляются из идентичных ДВ<sup>\*</sup>-4 (в смысле обозначения сторон первичными термами  $x_p^{e_p}$ ). Знак "\*" означает, что имеется несколько одинаковых ДВ-4. На рис. 1.3 представлены диаграммы Вейча для  $n = 5$  и  $6$  (ДВ-5 и ДВ-6). Две ДВ<sup>\*</sup>-4 будем называть соседними, если они имеют общую грань. Клетки, расположенные в одинаковых местах соседних ДВ<sup>\*</sup>-4, являются соседними, так как им соответствуют соседние минтермы. Так, например, клетки с номерами 0 и 16, 5 и 21 и т. п. (рис. 1.3,а), 0 и 16, 0 и 32, 5 и 21, 5 и 37 и т. п. (рис. 1.3,в) являются соседними, но клетки 0 и

48, 5 и 53, 16 и 32 и т. п. (см. рис. 1.3,б) не являются соседними, так как они расположены не в соседних ДВ\*-4.

Легко убедиться в том, что  $m$ -кубы, расположенные в одинаковых местах двух соседних ДВ\*-4, образуют  $m + 1$ -куб. С учетом этого МДНФ функции  $f(\nu)$ , представленной на рис. 1.3,б, имеет вид:

$$f(\nu) = x_3x_1 \vee x_2\bar{x}_1 \vee \bar{x}_5\bar{x}_4 \vee x_5x_4\bar{x}_1.$$

В ДВ-6  $m$ -кубы, расположенные в одинаковых местах всех четырех ДВ\*-4, образуют  $m + 2$ -куб. Поэтому МДНФ функции, показанной на рис. 1.3,з,

$$f(\nu) = \bar{x}_4\bar{x}_3 \vee x_5x_4x_1 \vee x_6x_4x_1 \vee \bar{x}_6\bar{x}_5\bar{x}_4.$$

Основываясь на сформулированных выше правилах минимизации с помощью диаграмм Вейча, достаточно просто также отыскивать МДНФ функций семи и восьми переменных. Для этого нужно только подходящим образом выбрать способ расположения  $2^3 = 8$  и  $2^4 = 16$  ДВ\*-4 на ДВ-7 и ДВ-8. Удобнее всего располагать эти ДВ\*-4 так, как и клетки на ДВ-3 и ДВ-4, т. е. на рис. 1.1 и 1.2 следует заменить  $x_p$  на  $x_{p+4}$ , а каждую клетку заменить на ДВ\*-4. Тогда соседними будут те же ДВ\*-4, что и клетки на рис. 1.1 и 1.2. Правила покрытия  $m$ -кубами 1-клеток функций трех и четырех переменных полностью переносятся на покрытие одинаковых  $m$ -кубов (по размеру и местоположению на ДВ\*-4) на ДВ-7 и ДВ-8.

Модификация диаграмм (карт) Вейча, введенных в 1952 г., известна под названием *карт Карно* (1953 г.) [7, 9]. Известны также методы минимизации Квайна — Мак-Класки, Блейка и др. [7].

### 1.12. Минимизация неполностью определенных функций, совместная минимизация нескольких функций

Основная задача минимизации неполностью определенных функций заключается в отыскании оптимального варианта ее доопределения, позволяющего получить минимальную из всех возможных ДНФ или КНФ. Если значения функции не заданы в  $m$  точках, то ее можно доопределить  $2^m$  способами. Поэтому минимизация неполностью определенной функции состоит в оптимальном выборе одной из  $2^m$  полностью определенных функций (понятно, что, как и при минимизации полностью определенных функций, может быть получено несколько равноценных МДНФ и МКНФ).

Совершенную ДНФ неполностью определенной функции  $f(\nu)$  можно представить в виде

$$f(\nu) = \bigvee_{i_1} K_{i_1}(\nu) \vee \Phi \cdot \bigvee_{i_\Phi} K_{i_\Phi}(\nu),$$

где  $\nu = (x_n, \dots, x_1)$ ;  $i_1$  — номера тех точек области определения, в которых функция  $f(\nu)$  имеет значение 1, т.е.  $f(\nu_{i_1}) = 1$ , а  $i_\Phi$  — номера тех точек, в которых функция  $f(\nu)$  имеет неопределенное значение, т.е.  $f(\nu_{i_\Phi}) = \Phi$ .

Пусть задана СДНФ неполностью определенной функции четырех переменных  $x_4, x_3, x_2$  и  $x_1$ :

$$f(\nu) = K_0 \vee K_4 \vee K_7 \vee K_8 \vee \Phi \cdot (K_1 \vee K_5 \vee K_6 \vee K_9 \vee K_{12}),$$

где  $K_i = K_i(\nu)$ ,  $\nu = (x_4, x_3, x_2, x_1)$ . Составим для этой функции диаграмму Вейча (рис. 1.4). Для этого в клетки с номерами  $i = 0, 4, 7$  и  $8$  следует занести значения функции, равные 1, а в клетки с номерами  $i = 1, 5, 6, 9$  и  $12$  — неопределенные значения  $\Phi$ . С помощью диаграммы Вейча легко найти все минимальные покрытия, полагая либо  $\Phi = 0$ , либо  $\Phi = 1$ . На рис. 1.4 представлены два варианта доопределения функции  $f(\nu)$ , которые дают минимальные ДНФ:

$$f(\nu) = \bar{x}_4 x_3 \vee \bar{x}_2 \bar{x}_1, \quad f(\nu) = \bar{x}_4 x_3 \vee \bar{x}_3 \bar{x}_2$$

( $\Phi = 0$ , если символ  $\Phi$  не вошел ни в один  $m$ -куб, и  $\Phi = 1$ , если он вошел хотя бы в один  $m$ -куб).

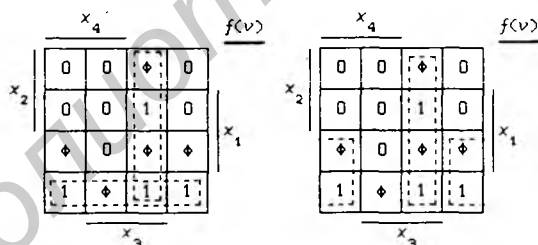


Рис. 1.4

Аналогично этому можно найти и МКНФ данной неполностью определенной функции, произведя оптимальным способом доопределение инверсной функции  $\overline{f(\nu)}$ :

$$\overline{f(\nu)} = x_4 x_3 \vee \bar{x}_3 x_2, \quad f(\nu) = (\bar{x}_4 \vee \bar{x}_3)(x_3 \vee \bar{x}_2).$$

Для данной функции имеется только один способ доопределения, дающий минимальную КНФ.

Следует иметь в виду, что в результате минимизации неполностью определенных функций всегда получаются полностью определенные функции.

**Комбинационные схемы.** Логическая схема (рис. 1.5), выходные сигналы  $z_q$  которой описываются системой переключательных функций

$$z_q = f_q(x_n, \dots, x_1), \quad (1.84)$$

где  $x_p$  — входные сигналы логической схемы,  $p = 1, 2, \dots, n$ ,  $q = 1, 2, \dots, k$ , называется *комбинационной схемой* (КС). Из (1.84) следует, что КС реализует однозначное соответствие между значениями входных и выходных сигналов.

При реализации функций  $z_q$ , описывающих выходные сигналы КС, используются логические элементы (ЛЭ), выпускаемые в виде интегральных схем. Условные графические обозначения таких ЛЭ, выполненные в соответствии с требованиями ЕСКД [12], представлены на рис. 1.6.

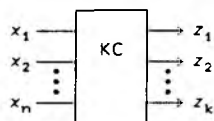
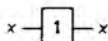


Рис. 1.5

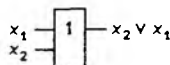
Повторитель (Buffer)



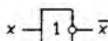
И (AND)



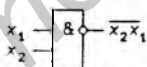
ИЛИ (OR)



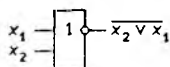
НЕ (NOT, Inverter)



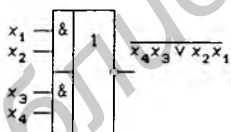
И-НЕ (NAND)



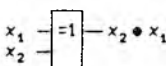
ИЛИ-НЕ (NOR)



И-ИЛИ-НЕ (AND-NOR)



Исключающее ИЛИ (XOR)



Мажоритарный элемент (Majority Gate)

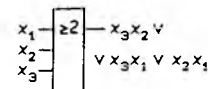


Рис. 1.6

**Совместная минимизация нескольких функций.** При синтезе КС, имеющих несколько выходов  $z_q$ , независимая минимизация каждой функции  $f_q(x_n, \dots, x_1)$ , как правило, не дает наилучшего результата в смысле суммарного числа первичных термов, требуемых для представления всех функций.

МДНФ функций  $f_1(\nu)$  и  $f_2(\nu)$ , заданных диаграммами Вейча (рис. 1.7), имеют вид

$$f_1(\nu) = x_4\bar{x}_3 \vee x_4x_2, \quad f_2(\nu) = \bar{x}_4x_3 \vee x_3x_2. \quad (1.85)$$

На рис. 1.8,а показана КС, реализующая эти функции. Из рис. 1.7 следует, что функции  $f_1(\nu)$  и  $f_2(\nu)$  можно представить

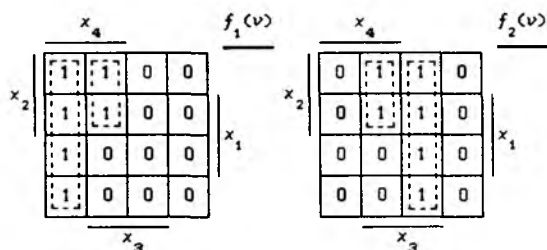


Рис. 1.7

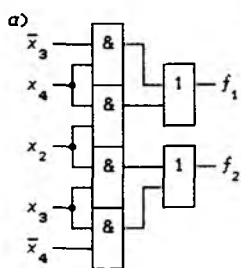


Рис. 1.8

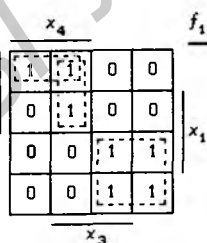
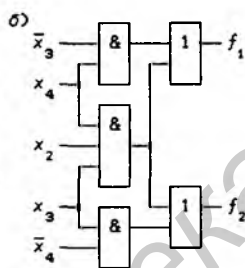
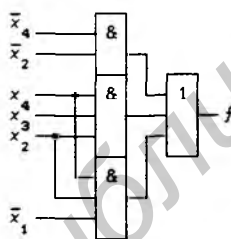
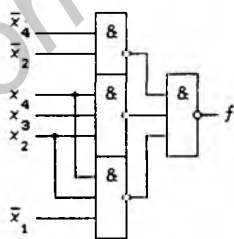


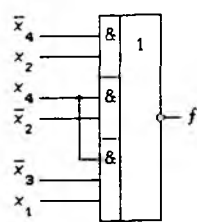
Рис. 1.9



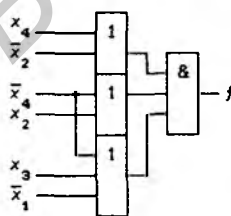
МДН



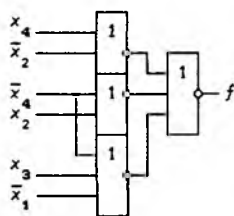
И-НЕ в базисе И-НЕ



И-ИЛИ-НЕ в базисе И-ИЛИ-НЕ



МКН



ИЛИ-НЕ в базисе ИЛИ-НЕ

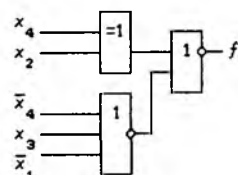


Рис. 1.10



также в форме (не МДНФ)

$$f_1(\nu) = x_4 \bar{x}_3 \vee x_4 x_3 x_2, \quad f_2(\nu) = \bar{x}_4 x_3 \vee x_4 x_3 x_2. \quad (1.86)$$

Контерм  $x_4 x_3 x_2$  входит в обе функции, а для его реализации требуется только один ЛЭ И. Для реализации функций в форме (1.86) требуется семь, а в форме (1.85) — восемь первичных термов. На рис. 1.8,б показана КС, реализованная в соответствии с (1.86). Сложность реализации КС можно оценивать также по суммарному числу входов используемых ЛЭ.

При совместной минимизации нескольких функций следует отыскивать конъюнктивные термы, входящие более чем в одну функцию, что, как правило, дает лучший результат, чем независимая минимизация каждой функции в отдельности. Или, говоря более строго, следует отыскивать совместное покрытие всех функций минимальным числом  $m$ -кубов (контермов) максимального размера.

**Примеры представления функции в различных минимальных формах.** В заключение приведем различные способы реализации на интегральных ЛЭ функции  $f(\nu)$ , заданной диаграммой Вейча на рис. 1.9, из которого следует, что

$$f(\nu) = \bar{x}_4 \bar{x}_2 \vee x_4 x_3 x_2 \vee x_4 x_2 \bar{x}_1 \text{ — МДНФ;}$$

$$f(\nu) = \bar{x}_4 \bar{x}_2 \cdot x_4 x_3 x_2 \cdot x_4 x_2 \bar{x}_1 \text{ — МНФ в базисе И-НЕ;}$$

$$\overline{f(\nu)} = \bar{x}_4 x_2 \vee x_4 \bar{x}_2 \vee x_4 \bar{x}_3 x_1 \text{ — МДНФ инверсной функции;}$$

$$f(\nu) = \bar{x}_4 x_2 \vee x_4 \bar{x}_2 \vee x_4 \bar{x}_3 x_1 \text{ — МНФ в базисе И-ИЛИ-НЕ;}$$

$$f(\nu) = (x_4 \vee \bar{x}_2)(\bar{x}_4 \vee x_2)(\bar{x}_4 \vee x_3 \vee \bar{x}_1) \text{ — МКНФ;}$$

$$f(\nu) = \overline{x_4 \vee \bar{x}_2 \vee \bar{x}_4 \vee x_2 \vee \bar{x}_4 \vee x_3 \vee \bar{x}_1} \text{ — МНФ в базисе ИЛИ-НЕ;}$$

$$f(\nu) = \bar{x}_4 x_2 \vee x_4 \bar{x}_2 \vee x_4 \bar{x}_3 x_1 = x_4 \oplus x_2 \vee \bar{x}_4 \vee x_3 \vee \bar{x}_1.$$

На рис. 1.10 представлены шесть способов реализации функции  $f(\nu)$  на ЛЭ различного типа. Последняя форма представления функции не может быть получена формальными методами, использованными при построении СНФ и МНФ, из-за линейной операции сумма по модулю два, достаточной для описания только линейных функций.

### 1.13. Скобочные формы функций

Для представления переключательных функций можно использовать не только нормальные формы. Некоторые тождественные преобразования МНФ могут привести к уменьшению числа первичных термов в аналитическом представлении функции, а значит и к уменьшению стоимости ее реализации на ЛЭ. Так, преобразование МДНФ с помощью первого дистрибутив-

ного закона (1.9) приводит к скобочным формам представления функций и сокращению числа первичных термов.

**Порядок функций и комбинационных схем.** Максимальное число последовательно выполняемых логических операций для реализации функции  $f(x_n, \dots, x_1)$  называется *порядком переключательной функции*. Функции, представленные в любой нормальной форме, имеют порядок не выше второго. Порядком КС называется максимальное число последовательно включенных ЛЭ. Порядки КС и соответствующих им функций совпадают. Например, КС, представленные на рис. 1.8, реализованы в соответствии с МДНФ и ДНФ, которые имеют второй порядок, и максимальное число последовательно включенных ЛЭ равно двум.

При вынесении в ДНФ общих членов за скобки порядок функции увеличивается. На рис. 1.11 представлена диаграмма Вейча функции  $f(\nu)$ , МДНФ которой

$$f(\nu) = x_4 x_3 x_2 \vee x_4 x_3 x_1 \vee x_4 x_2 x_1. \quad (1.87)$$

Этой функции соответствует КС второго порядка, показанная на рис. 1.12,а. Иначе эта КС называется двухъярусной. На основании дистрибутивных законов (1.9) функцию (1.87) можно представить в форме

$$f(\nu) = x_4 \cdot [x_3 \cdot (x_2 \vee x_1) \vee x_2 \cdot x_1], \quad (1.88)$$

которой соответствует схема на рис. 1.12,б. В этой КС максимальное число последовательно включенных ЛЭ равно четырем, т. е. КС имеет четвертый порядок (четырёхъярусная КС).

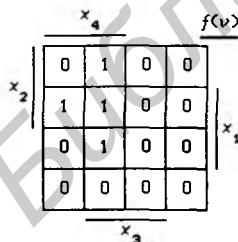


Рис. 1.11

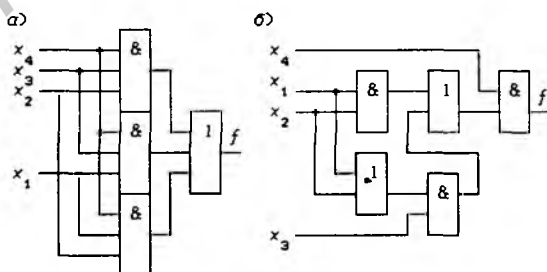


Рис. 1.12

Каждый ЛЭ имеет конечное быстродействие, которое можно характеризовать задержкой распространения сигналов  $t_3$  от входов к выходу. Чем выше порядок КС, тем меньше ее быстродействие. Скобочные формы представления функций типа (1.88) используются для уменьшения стоимости КС. Так, суммарное

число входов ЛЭ на рис. 1.12,а равно 12, а на рис. 1.12,б — 10. В общем случае стоимость КС и ее быстродействие жестко связаны. Реализация КС с большим числом входов на основании функций, представленных в ДНФ (МДНФ), практически неприемлема из-за громадного числа требующихся ЛЭ. На практике очень часто используются КС, имеющие порядок выше 10. В таких КС уменьшение быстродействия оправдывается существенным снижением стоимости их реализации.

**Синтез комбинационных схем на мажоритарных элементах.** Мажоритарными элементами (МЭ) называются ЛЭ, имеющие нечетное число  $n$  логически равноправных входов  $x_p$  и выполняющие функцию

$$f(\nu) = \begin{cases} 1, & \text{если } \sum x_p \geq k, \\ 0, & \text{если } \sum x_p < k, \end{cases} \quad (1.89)$$

где  $\nu = (x_n, \dots, x_1)$ ,  $x_p = 0$  и  $1$ ,  $p = 1, 2, \dots, n$ ,  $k = (n + 1)/2$  — пороговый уровень (сумма входных сигналов арифметическая).

Трехвходовой МЭ выполняет функцию  $f = x_3x_2 \vee x_3x_1 \vee x_2x_1$ . Действительно,  $f = 1$  только при равенстве единице двух или трех сигналов из  $x_p$ ,  $p = 1, 2, 3$ . Если  $x_2x_1 = 0$ , то  $f = (x_2 \vee x_1)x_3$ , а при  $x_3 = 1$  функция  $f = x_2 \vee x_1$ .

Рассмотрим функцию  $n$  переменных  $f(\nu) = f(\nu', x_p, x_q)$ , где  $\nu = (x_n, \dots, x_1)$ , а  $\nu'$  — множество переменных без  $x_p$  и  $x_q$ . По теореме разложения Шеннона

$$f(\nu', x_p, x_q) = \bar{x}_p f(\nu', 0, x_q) \vee x_p f(\nu', 1, x_q) = \alpha_0 \vee \beta_0,$$

где

$$\alpha_0 = \bar{x}_p f(\nu', 0, x_q) = \bar{x}_p [\bar{x}_q f(\nu', 0, 0) \vee x_q f(\nu', 0, 1)] = (\alpha_1 \vee \beta_1) \bar{x}_p,$$

$$\beta_0 = x_p f(\nu', 1, x_q) = x_p [\bar{x}_q f(\nu', 1, 0) \vee x_q f(\nu', 1, 1)] = (\alpha_2 \vee \beta_2) x_p$$

и  $\alpha_r \beta_r = 0$ ,  $r = 0, 1, 2$ . Из полученных соотношений следует схема, показанная на рис. 1.13, которая реализована на трехвходовых МЭ.

Продолжив разложение по остальным переменным, на последнем этапе получим значения  $a_i = f(\nu_i) = 0$  и  $1$ . Соответствующая КС будет состоять из  $n$  ярусов, содержащих  $2^n - 1$  трехвходовых МЭ. На рис. 1.14 показана КС, реализующая любую функцию пяти переменных.

Пятивходовой МЭ описывается табл. 1.6. На рис. 1.14 указаны значения входных сигналов, соответствующие значениям  $a_i$  табл. 1.6. Трехвходовые МЭ, помеченные символом "\*", не нужны, так как их выходные сигналы равны 0,  $x_p$  либо  $\bar{x}_p$ . Мажоритарные элементы  $D_r$ , имеющие одинаковый номер  $r$ , выполняют одинаковые функции, так как их входные сигналы совпадают.

На рис. 1.15 показана схема пятивходового МЭ, полученная исключением лишних трехвходовых МЭ из схемы рис. 1.14. Данная схема, как и исходная, является сильно избыточной (этого следовало ожидать, так как любой МЭ описывается функцией, в которую не входят инверсные сигналы  $\bar{x}_p$ ). Анализ схемы на рис. 1.15 показал,

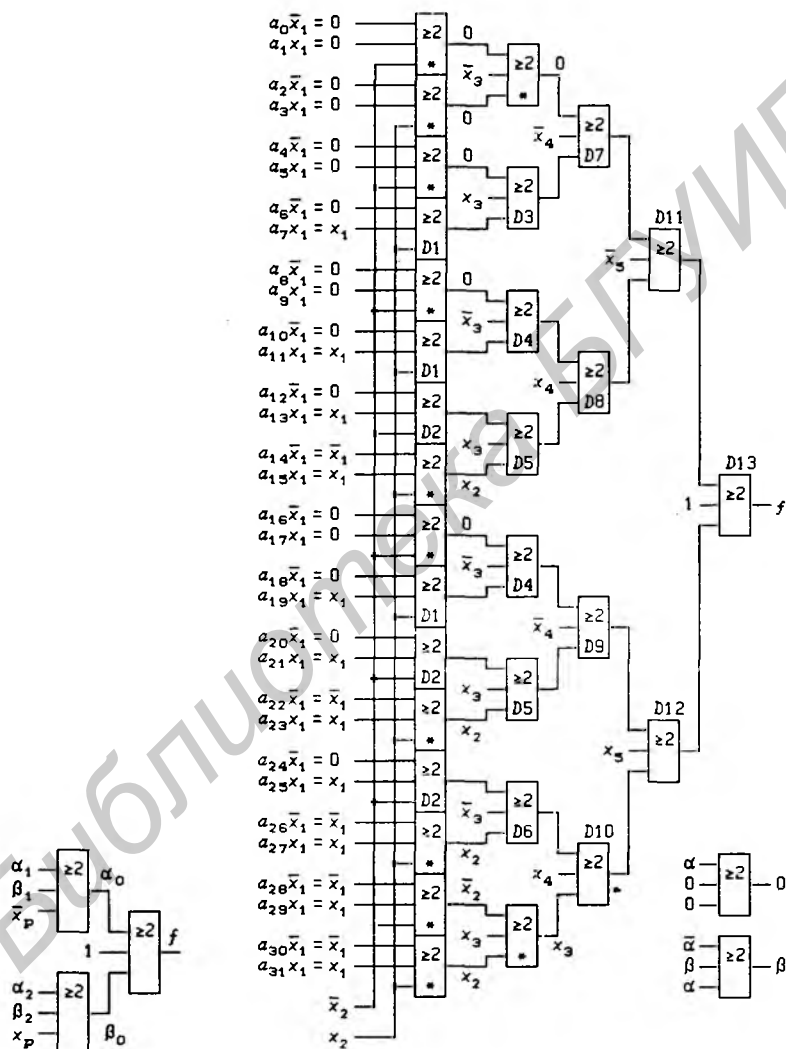


Рис. 1.13

Рис. 1.14

Таблица 1.6. Пятиходовой мажоритарный элемент

$i$	$x_5x_4x_3x_2x_1$	$a_i$	$i$	$x_5x_4x_3x_2x_1$	$a_i$
0	0 0 0 0 0	0	16	1 0 0 0 0	0
1	0 0 0 0 1	0	17	1 0 0 0 1	0
2	0 0 0 1 0	0	18	1 0 0 1 0	0
3	0 0 0 1 1	0	19	1 0 0 1 1	1
4	0 0 1 0 0	0	20	1 0 1 0 0	0
5	0 0 1 0 1	0	21	1 0 1 0 1	1
6	0 0 1 1 0	0	22	1 0 1 1 0	1
7	0 0 1 1 1	1	23	1 0 1 1 1	1
8	0 1 0 0 0	0	24	1 1 0 0 0	0
9	0 1 0 0 1	0	25	1 1 0 0 1	1
10	0 1 0 1 0	0	26	1 1 0 1 0	1
11	0 1 0 1 1	1	27	1 1 0 1 1	1
12	0 1 1 0 0	0	28	1 1 1 0 0	1
13	0 1 1 0 1	1	29	1 1 1 0 1	1
14	0 1 1 1 0	1	30	1 1 1 1 0	1
15	0 1 1 1 1	1	31	1 1 1 1 1	1

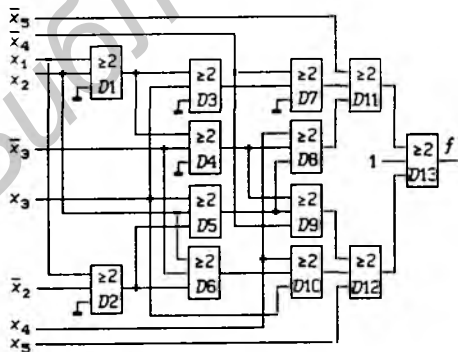


Рис. 1.15

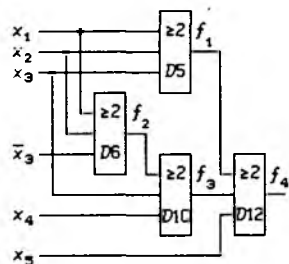


Рис. 1.16

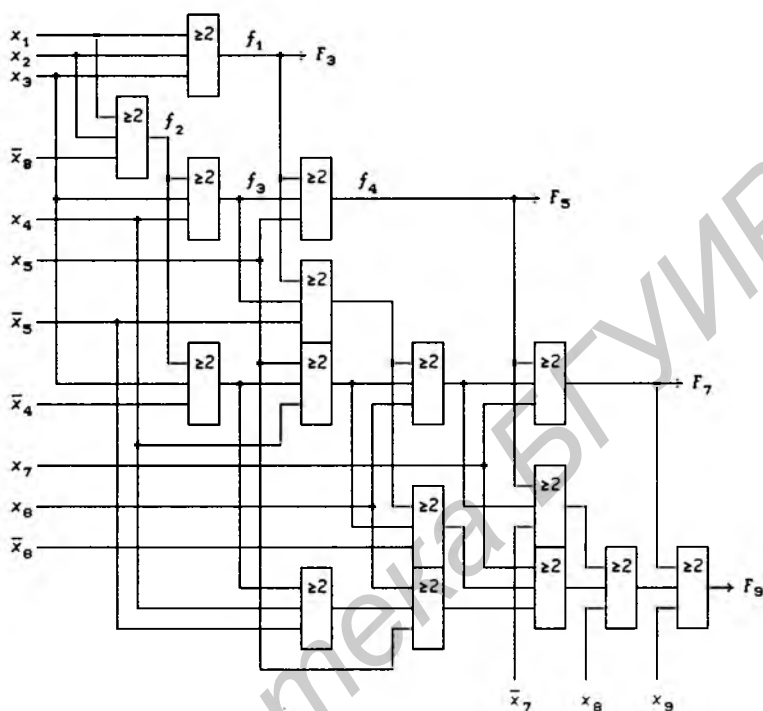


Рис. 1.17

что достаточно использовать трехвходовые МЭ  $D_5$ ,  $D_6$ ,  $D_{10}$  и  $D_{12}$  (рис. 1.16):

$$f_1 = x_3x_2 \vee x_3x_1 \vee x_2x_1, \quad f_2 = \bar{x}_3x_2 \vee \bar{x}_3x_1 \vee x_2x_1,$$

$$f_3 = x_4x_3 \vee x_4f_2 \vee x_3f_2 = x_4x_3 \vee x_4x_2 \vee x_4x_1 \vee x_3x_2x_1,$$

$$f_4 = x_5f_3 \vee x_5f_1 \vee f_3f_1 = x_5x_4x_3 \vee x_5x_4x_2 \vee x_5x_4x_1 \vee x_5x_3x_2 \vee x_5x_3x_1 \vee x_5x_2x_1 \vee x_4x_3x_2 \vee x_4x_3x_1 \vee x_4x_2x_1 \vee x_3x_2x_1.$$

Минимальная ДНФ  $n$ -входового МЭ содержит в первом ярусе  $\binom{n}{k} = n!/k!(n-k)!$   $k$ -входовых ЛЭ И, где  $k = (n+1)/2$ . Так, при  $n = 5$  требуется  $5!/3!2! = 10$  трехвходовых ЛЭ И. Комбинационная схема на рис. 1.16 имеет  $3 \times 2 = 6$ -й порядок, так как трехвходовой МЭ описывается функцией второго порядка. На рис. 1.17 показаны МЭ с числом входов 5 (выход  $F_5$ ), 7 (выход  $F_7$ ) и 9 (выход  $F_9$ ), синтезированные по вышеизложенной методике. Комбинационная схема для выхода  $F_9$  имеет порядок  $7 \times 2 = 14$ . Основная сложность синтеза КС на МЭ заключается в минимизации стандартной структуры, показанной на рис. 1.14. Изложенный метод синтеза автоматически приводит к скобочным формам результирующих функций.

### 1.14. Закон двойственности для логических схем

Логические схемы могут быть как комбинационными, так и последовательными, реализующими однозначную связь между значениями входных и выходных сигналов. Каждую конкретную ЛС можно реализовать в любом из рассмотренных выше базисов ЛЭ. Оказывается, что если ЛС спроектирована в базисе И–НЕ, то ее легко можно перевести, не производя заново синтеза, на ЛЭ ИЛИ–НЕ.

На основании закона двойственности для любого ЛЭ можно использовать одно из двух условных графических обозначений, показанных на рис. 1.18, а, б. Например, двухвходовой ЛЭ И–НЕ выполняет функцию  $f(\nu) = \bar{x}_2 \bar{x}_1$ . Тогда по закону двойственности  $f(\nu) = \bar{x}_2 \vee \bar{x}_1$ , т. е. ЛЭ И–НЕ можно определить через одну из двух основных операций алгебры логики — конъюнкцию или дизъюнкцию и операцию отрицания (инверсию). В первом случае инвертор указывается на выходе ЛЭ, во втором — на обоих его входах.

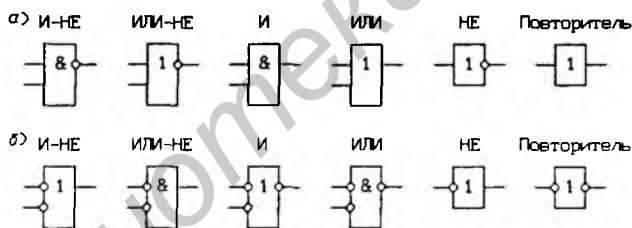


Рис. 1.18

Часто в одной и той же схеме радиоэлектронного устройства используют оба обозначения ЛЭ. Это связано с тем, что уровни всех сигналов устройства принято делить на активные и неактивные. *Активный уровень сигнала* (0 или 1) — это уровень, при котором сигнал производит воздействие на узлы схемы. Проходя через инверторы, сигнал изменяет свой активный уровень.

Для указания активных уровней сигналов им присваивают мнемонические (символические) имена, которые по требованию ЕСКД [12] составляются из латинских букв, входящих в английские слова, описывающие назначение сигнала. Например, сигналы *WR* (*Write*) и *RD* (*Read*), как следует из их символических имен, предназначены для управления записью и чтением. Если в какой-либо точке схемы их активный уровень высокий (логическая 1), то они в этой точке обозначаются через *WR* и *RD*, а если активный уровень низкий (логический 0), то через

$\overline{WR}$  и  $\overline{RD}$ . Предположим, что на какой-то узел схемы воздействие должен производить высокий уровень и того и другого сигнала, а их активные уровни низкие. Положив  $x_2 = \overline{WR}$  и  $x_1 = \overline{RD}$ , можно записать:

$$f(\nu) = \bar{x}_2 \vee \bar{x}_1 = WR \vee RD,$$

т. е. на узел воздействует дизъюнкция сигналов с высоким результирующим уровнем. Этим объясняется использование второго графического обозначения ЛЭ И-НЕ, при котором в явном виде указывается операция ИЛИ, производящаяся над сигналами. Таким образом, выбор одного из двух графических обозначений ЛЭ диктуется желанием облегчить чтение сложных принципиальных схем, так как в этом случае подчеркивается конкретное назначение ЛЭ, используемых для построения устройства.

Подразделение уровней сигналов на активные и неактивные облегчает проектирование схем устройств эвристическим методом. Для этого нужно лишь понимать, что ЛЭ И выполняет операцию конъюнкции для высоких уровней сигналов и операцию дизъюнкции для низких уровней (ЛЭ ИЛИ выполняет эти же операции, но для противоположных значений уровней). При составлении схем многих узлов устройства часто достаточно учета только этого правила в сочетании с удачными символическими именами сигналов для исключения грубых ошибок при проектировании.

Некоторые сигналы в принципе нельзя классифицировать по признаку активного и неактивного уровней. Такими сигналами являются, например, сигналы на шине данных микропроцессорных систем. Уровни этих сигналов одинаково значимы, так как определяют информацию, передаваемую между узлами системы. Понятие активного уровня сигналов используется обычно только для сигналов управления передачей данных и состоянием микропроцессорной системы.

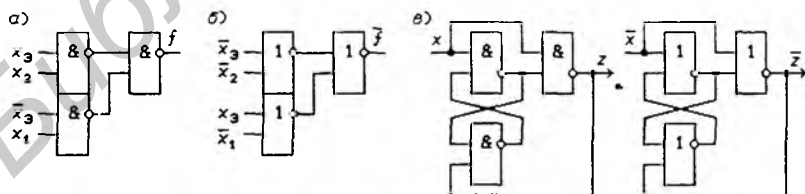


Рис. 1.19

Пусть КС выполняет функцию  $f(\nu) = x_3 x_2 \vee \bar{x}_3 x_1$ . Тогда по закону двойственности МНФ функции в базисе И-НЕ (рис. 1.19, а) и ее инверсии в базисе ИЛИ-НЕ (рис. 1.19, б) будут иметь вид:

$$f(\nu) = \overline{\bar{x}_3 \bar{x}_2 \cdot \overline{\bar{x}_3 x_1}}, \quad \overline{f(\nu)} = (\bar{x}_3 \vee \bar{x}_2)(x_3 \vee \bar{x}_1) = \overline{\bar{x}_3 \vee \bar{x}_2 \vee x_3 \vee \bar{x}_1}.$$



Из рис. 1.19 следует, что при замене ЛЭ И-НЕ на ЛЭ ИЛИ-НЕ необходимо все входные и выходные сигналы заменить на инверсные. Рассмотренный пример иллюстрирует закон двойственности для двухъярусных КС.

Данный закон справедлив и для более сложных логических схем (многоярусных КС и ЛС с обратными связями, которые в большинстве случаев не являются комбинационными). Действительно, ЛЭ И-НЕ, имеющий  $m$  входов, выполняет функцию

$$f_1(x_m, \dots, x_1) = \overline{x_m \cdots x_2 x_1},$$

а ЛЭ ИЛИ-НЕ — функцию

$$f_2(x_m, \dots, x_1) = \overline{x_m \vee \dots \vee x_2 \vee x_1} = \overline{x_m} \cdots \overline{x_2} \overline{x_1} = f_1(\overline{x_m}, \dots, \overline{x_1}).$$

Из этого следует, что для преобразования любой ЛС, выполненной на ЛЭ И-НЕ, в схему, реализованную на ЛЭ ИЛИ-НЕ, достаточно все ЛЭ И-НЕ заменить на ЛЭ ИЛИ-НЕ, а все входные и выходные сигналы исходной схемы заменить их инверсиями.

На рис. 1.19, в показана ЛС с обратными связями, которая является комбинационной схемой. Функциональная связь между входными и выходными сигналами в обеих схемах одинакова. Принцип двойственности справедлив также и для последовательностных схем (автоматов).

## 1.15. Линейные функции

В настоящее время наибольшие успехи в развитии теории передачи информации (кодирование сообщений с обнаружением и исправлением ошибок) [13] и теории дискретных сигналов [14, 15] достигнуты благодаря использованию методов абстрактных разделов современной алгебры. Особую роль в технической реализации разработанных методов кодирования и декодирования сообщений, а также генерирования и синтеза сложных сигналов играют линейные автоматы [16], для построения которых достаточно использовать синхронные элементы задержки ( $D$ -триггеры) и КС, реализующие линейные функции.

Функция  $f(x_n, \dots, x_1)$  называется *линейной* [8], если она удовлетворяет принципу суперпозиции

$$f(\alpha_n x_n, \dots, \alpha_2 x_2, \alpha_1 x_1) = \alpha_n \cdot f(x_n, 0, 0, \dots, 0, 0) + \dots + \alpha_2 \cdot f(0, 0, 0, \dots, x_2, 0) + \alpha_1 \cdot f(0, 0, 0, \dots, 0, x_1), \quad (1.90)$$

где  $\alpha_p$  — константы;  $p = 1, \dots, n$ ;  $\alpha_p \in F$ ;  $x_p \in F$ ;  $F$  — некоторое поле.

*Поле*  $F$  называется множество элементов  $F = \{a, b, c, \dots\}$ , для которых определены две операции, называемые сложением (+) и умножением ( $\times$ ,  $\cdot$ ), и выполняются аксиомы:

$a + b \in F$ ,  $a \cdot b \in F$  — замкнутость;  
 $a + (b + c) = (a + b) + c$ ,  $a \cdot (b \cdot c) = (a \cdot b) \cdot c$  — ассоциативные законы;

$a + b = b + a$ ,  $a \cdot b = b \cdot a$  — коммутативные законы;

$a \cdot (b + c) = a \cdot b + a \cdot c$  — дистрибутивный закон;

$0 + a = a + 0 = a$ ,  $1 \cdot a = a \cdot 1 = a$  — существование единичных элементов относительно операций сложения и умножения (для операции сложения единичный элемент называется нулем, а для операции умножения — единицей);

каждый элемент  $a$  поля  $F$  обладает противоположным элементом ( $-a$ ) относительно операции сложения и обратным элементом ( $a^{-1}$ ) относительно операции умножения (за исключением нулевого элемента):

$$a + (-a) = 0, \quad a \cdot a^{-1} = 1.$$

На основании этих аксиом можно доказать, что каждый элемент поля имеет единственный противоположный и единственный обратный элементы, а также, что  $0 \cdot a = a \cdot 0 = 0$ .

Наиболее известными примерами полей являются множество рациональных и множество действительных чисел, для которых операция “+” означает арифметическое сложение чисел, а операция “ $\times$ ” — арифметическое умножение. Однако операции “+” и “ $\times$ ” могут иметь и совершенно иной смысл, так как для определения поля имеет значение только выполнение всех вышеперечисленных аксиом.

В теории цифровых автоматов могут быть использованы только конечные поля, т. е. поля, множество элементов которых конечно. Широкое применение в теории и практике проектирования цифровых устройств находят поля Галуа  $GF(q)$ , в которых в качестве бинарных операций “+” и “ $\times$ ” используются операции сложения и умножения целых чисел по модулю  $q$ , где  $q$  — простое число [13, 16]. Такие поля содержат  $q$  элементов:  $0, 1, 2, \dots, q-1$ . Напомним, что число  $X$  по модулю  $q$  равно остатку от деления данного числа на  $q$ .

Правила сложения и умножения по модулю  $q = 2$  определяются табл. 1.7, из которой видно, что операция “+” совпадает с логической операцией сумма по модулю два ( $\oplus$ ), а операция “ $\times$ ” — с логической операцией конъюнкция ( $\&$ ). Это и является основой для использования алгебраических методов при проектировании линейных цифровых автоматов, КС которых описываются линейными функциями

$$f_j = a_0 \oplus a_1 x_1 \oplus a_2 x_2 \oplus \dots \oplus a_n x_n,$$

где  $a_p = 0$  или  $1$ ,  $p = 0, 1, \dots, n$ . Данные функции удовлетворяют

Таблица 1.7. Сложение и умножение по модулю 2

+	0	1	×	0	1
0	0	1	0	0	0
1	1	0	1	0	1

Таблица 1.8. Сложение и умножение по модулю 3

+	0	1	2	×	0	1	2
0	0	1	2	0	0	0	0
1	1	2	0	1	0	1	2
2	2	0	1	2	0	2	1

Таблица 1.9. Сложение и умножение по модулю 5

+	0	1	2	3	4	×	0	1	2	3	4
0	0	1	2	3	4	0	0	0	0	0	0
1	1	2	3	4	0	1	0	1	2	3	4
2	2	3	4	0	1	2	0	2	4	1	3
3	3	4	0	1	2	3	0	3	1	4	2
4	4	0	1	2	3	4	0	4	3	2	1

определению линейных функций (1.90), если положить  $a_0 = x_0$  и  $f(x_0, 0, 0, \dots, 0) = a_0$ .

Правила сложения и умножения по модулю  $q = 3$  и  $q = 5$  приведены в табл. 1.8 и 1.9. По этим таблицам легко убедиться, что все аксиомы, входящие в определение поля, удовлетворяются.

Согласно определению (1.90), линейными функциями являются функции

$$f(x_n, \dots, x_1) = a_n x_n + \dots + a_1 x_1 + a_0, \quad (1.91)$$

где  $a_p \in GF(q)$  и переменные  $x_p$  принимают значения из поля  $GF(q)$ ,  $p = 0, 1, 2, \dots, n$ .

Комбинационные схемы, выполняющие операции сложения и умножения по модулю  $q$ , называются *линейными*. При значении  $q = 2$  проблема синтеза линейных КС отсутствует, так как ЛЭ И и сумма по модулю два выпускаются в виде ИС. При значениях  $q > 2$  необходимо синтезировать типовые линейные КС, выполняющие операции сложения  $q$ -ичных чисел и умножения их на константы  $a_p$  по модулю  $q$ . Данная задача решена в § 6.15.

## Глава 2

### Анализ и синтез логических схем

#### 2.1. Потенциальные и импульсные сигналы

Сигнал называется *потенциальным*, если интервал времени  $T_i$  между соседними изменениями сигнала значительно больше времени реакции схемы  $\tau_p$ , в которой он используется, т. е. сигнал  $x(t)$  (рис. 2.1) потенциальный, если  $\min\{T_1, T_2, T_3, \dots\} \gg \tau_p$ . Сигнал называется *импульсным*, если длительность его активного уровня того же порядка, что и время реакции схемы (схема должна отреагировать на воздействие импульсного сигнала, а он должен закончиться сразу же после окончания в схеме переходного процесса).

При аналитическом описании схем, на которые воздействуют импульсные сигналы, используется понятие абстрактного импульсного сигнала, длительность которого бесконечно мала. Реальные импульсные сигналы всегда имеют конечную длительность, которая определяется временем реакции схемы. В зависимости от быстродействия ЛЭ, из которых построена схема, время реакции может изменяться в широких пределах. Понятие абстрактного импульсного сигнала позволяет абстрагироваться от физических параметров конкретных схем. Импульсные сигналы порождаются изменениями потенциальных сигналов с 1 на 0 и (или) с 0 на 1.

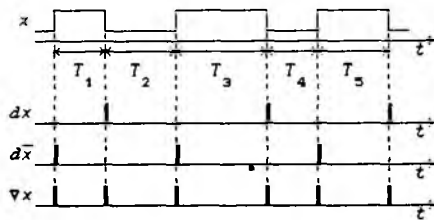


Рис. 2.1

Для описания изменений потенциальных сигналов и порождаемых ими импульсных сигналов удобно использовать мате-

матический аппарат, основанный на операторах переходов  $d$  и  $\nabla$  [10]. Импульсные сигналы  $dx$ ,  $d\bar{x}$  и  $\nabla x$  с высоким активным уровнем, порождаемые изменениями потенциального сигнала  $x$  с 1 на 0 и с 0 на 1, показаны на рис. 2.1.

Оператор переходов  $d$  определяется соотношением

$$dx(t) = \overline{x(t)} \cdot x(t - \Delta t), \quad (2.1)$$

где  $dx(t)$  — импульсный сигнал, порождаемый изменениями потенциального сигнала с 1 на 0;  $x(t)$  — значение потенциального сигнала в данный момент времени;  $x(t - \Delta t)$  — значение потенциального сигнала в предыдущий момент времени.

Очевидно, что  $dx = 1$  только при изменении потенциального сигнала с 1 на 0. Считается, что абстрактный потенциальный сигнал имеет бесконечно крутые фронты, а для абстрактного импульсного сигнала в соотношении (2.1)  $\Delta t \rightarrow 0$ . Введя обозначения сигналов  $x(t) = x$ ,  $x(t - \Delta t) = x^*$ , получим:

$$dx = \bar{x} \cdot x^*. \quad (2.2)$$

Соотношение (2.2) учитывает время в явном виде и может использоваться не только для потенциальных сигналов, но и для переключательных функций от потенциальных сигналов:

$$df(\nu) = \overline{f(\nu)} \cdot f^*(\nu) = \overline{f(\nu)} \cdot f(\nu^*), \quad (2.3)$$

где  $\nu = (x_n, \dots, x_1)$ ,  $\nu^* = (x_n^*, \dots, x_1^*)$ ,  $f(\nu)$  — значение функции в данный момент времени,  $f^*(\nu)$  — значение функции в предыдущий момент времени. Из соотношения (2.3) следует, что импульсные сигналы, порождаемые переключательными функциями от потенциальных сигналов, весьма просто могут быть получены с помощью основных операций алгебры логики. Так, если  $f(\nu) = \bar{x}$ , то

$$d\bar{x} = x \cdot \bar{x}^*, \quad (2.4)$$

где  $d\bar{x} = 1$  только при изменении потенциального сигнала  $x$  с 0 на 1.

Имеет место тождество  $dx \cdot d\bar{x} = 0$ , которое отражает тот факт, что потенциальный сигнал не может одновременно изменяться с 1 на 0 и с 0 на 1 (доказательство:  $dx \cdot d\bar{x} = \bar{x} \cdot x^* \cdot x \cdot \bar{x}^* \equiv 0$ ). Следует всегда иметь в виду, что с точки зрения алгебры логики сигналы  $x$  и  $x^*$  являются разными переменными, но поскольку их значения совпадают со значениями одного и того же сигнала, взятыми в различные моменты времени, то операторные соотношения учитывают время в явном виде.

Оператор переходов  $\nabla$  определяется соотношением

$$\nabla x = dx \vee d\bar{x} = x \oplus x^*, \quad (2.5)$$

где  $\nabla x = 1$  при изменении потенциального сигнала  $x$  как с 1 на 0, так и с 0 на 1.

Легко доказать следующие основные операторные тождества:

$$\left. \begin{aligned} d(x_2 \cdot x_1) &= x_2^* \cdot dx_1 \vee x_1^* \cdot dx_2, \\ d(x_2 \vee x_1) &= \bar{x}_2 \cdot dx_1 \vee \bar{x}_1 \cdot dx_2, \\ \nabla(x_2 \oplus x_1) &= \nabla x_2 \oplus \nabla x_1. \end{aligned} \right\} \quad (2.6)$$

Докажем, например, первое тождество:

$$d(x_2 \cdot x_1) = \overline{x_2 \cdot x_1} \cdot (x_2 \cdot x_1)^* = (\bar{x}_2 \vee \bar{x}_1) \cdot x_2^* \cdot x_1^* = x_2^* \cdot dx_1 \vee x_1^* \cdot dx_2.$$

Тождества (2.6) поясняются временными диаграммами, изображенными на рис. 2.2.

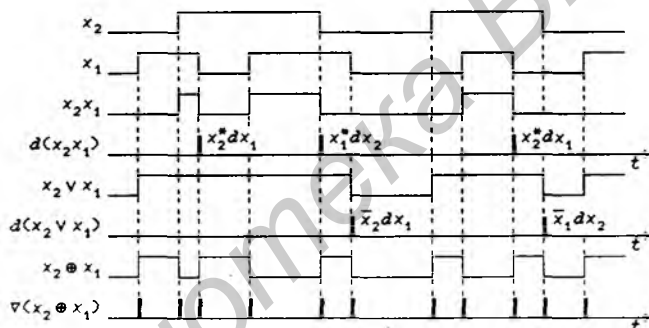


Рис. 2.2

Оператор переходов  $d$  от мультиплексной функции дает

$$d(y_1 \bar{x} \vee y_2 x) = \bar{x} \cdot \bar{x}^* \cdot dy_1 \vee x \cdot x^* \cdot dy_2 \vee \bar{y}_1 \cdot y_2^* \cdot dx \vee \bar{y}_2 \cdot y_1^* \cdot d\bar{x}.$$

В § 1.4 было показано, что для обычных тождеств алгебры логики справедлив принцип двойственности, устанавливающий правило, на основании которого для любого тождества можно получить двойственное ему тождество. В [22] доказана теорема, утверждающая, что и для операторных тождеств справедлив некоторый принцип, позволяющий разбить их на пары:

если справедливо операторное тождество

$$\bigvee_i \varphi_i(\nu, \nu^*) df_i(\nu/\nu, \&) = \bigvee_j \psi_j(\nu, \nu^*) d\psi_j(\nu/\nu, \&),$$

то имеет место также операторное тождество

$$\bigvee_i \varphi_i(\bar{\nu}^*, \bar{\nu}) df_i(\nu/\&, \nu) = \bigvee_j \psi_j(\bar{\nu}^*, \bar{\nu}) d\psi_j(\nu/\&, \nu),$$

где  $\varphi_i, f_i, \psi_j, w_j$  — некоторые переключательные функции  $n$  и  $2n$  переменных. Такие тождества будем называть сопряженными. Функции  $\varphi_i$  и  $\psi_j$ , входящие во второе операторное тождество, получаются из функций  $\varphi_i$  и  $\psi_j$ , входящих в первое операторное тождество, заменой  $\nu$  на  $\bar{\nu}^*$ , а  $\nu^*$  на  $\bar{\nu}$ , т. е. заменой переменных  $x_p$  на  $\bar{x}_p^*$  ( $\bar{x}_p$  на  $x_p^*$ ), а переменных  $x_p^*$  на  $\bar{x}_p$  ( $\bar{x}_p^*$  на  $x_p$ ). Функции же  $f_i$  и  $w_j$ , входящие во второе тождество, получаются из функций  $f_i$  и  $w_j$ , входящих в первое тождество, взаимной заменой операций дизъюнкции ( $\vee$ ) и конъюнкции ( $\&$ ). Такое преобразование тождеств допустимо в силу того, что взаимная замена  $\bar{\nu}$  на  $\bar{\nu}^*$  эквивалентна изменению направления отсчета времени.

Используя определение оператора перехода (2.3), не представляет труда доказать следующие операторные тождества:

$$\begin{aligned} \bar{x}^* dx &= 0, & x dx &= 0, \\ x^* dx &= dx, & \bar{x} dx &= dx, \\ \bar{x}_2 d(x_1 x_2) &= 0, & x_2 d(x_2 \vee x_1) &= 0, \\ d(x_2 x_1) &= x_2^* dx_1 \vee x_1^* dx_2, & d(x_2 \vee x_1) &= \bar{x}_2 dx_1 \vee \bar{x}_1 dx_2, \\ x_2^* d(x_2 x_1) &= d(x_2 x_1), & \bar{x}_2 d(x_2 \vee x_1) &= d(x_2 \vee x_1), \\ x_2^* d(x_2 \vee x_1) &= \bar{x}_1 dx_2, & \bar{x}_2 d(x_2 x_1) &= x_1^* dx_2, \\ \bar{x}_2^* d(x_2 \vee x_1) &= \bar{x}_2 \bar{x}_2^* dx_1, & x_2 d(x_2 x_1) &= x_2 x_2^* dx_1, \\ x_2^* x_1^* d(x_2 \vee x_1) &= \bar{x}_2 \bar{x}_1 d(x_2 x_1) &= dx_2 dx_1. \end{aligned}$$

Все тождества, за исключением последнего, записаны парами и могут быть получены одно из другого на основании приведенной теоремы. Последнее тождество является самосопряженным, так как оно по теореме не изменяется. Рассмотренные тождества наиболее часто используются для упрощения выражений, содержащих операторы переходов.

Для преобразования операторных выражений могут быть полезны следующие тождества:

$$d(dx) = 0, \quad d\bar{d}x = dx, \quad \nabla x = \nabla \bar{x}, \quad \nabla(\nabla x) = \nabla x.$$

При проектировании логических схем можно использовать и импульсные сигналы с низким активным уровнем  $\bar{d}x$ ,  $\bar{d}\bar{x}$  и  $\nabla \bar{x}$  (инверсные импульсные сигналы).

Операторные выражения, описывающие импульсные сигналы, могут быть применены для проектирования логических схем, формирующих такие сигналы. На рис. 2.3,а показана схема генератора импульсного сигнала  $dx$ , построенная в соответствии с (2.1), а на рис. 2.3,б — временные диаграммы, поясняющие ее работу (для простоты положили, что ЛЭ безынерционны). Инверсный импульсный сигнал  $\bar{d}x$  может быть получен с помощью ЛЭ НЕ. Генераторы импульсных сигналов называются *разностными элементами*.

На рис. 2.3,в представлена *схема удвоения частоты*, выполненная в соответствии с (2.5), а на рис. 2.3,г — временные диа-

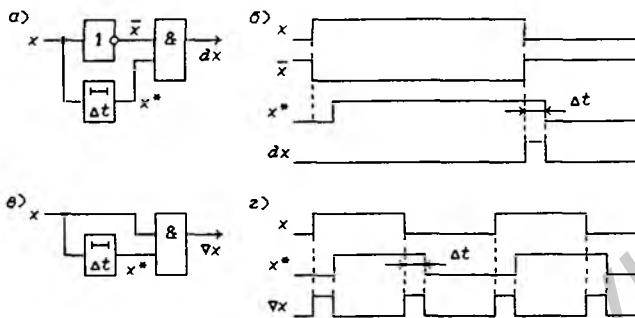


Рис. 2.3

граммы, поясняющие ее работу. Вместо асинхронных потенциальных элементов задержки на время  $\Delta t$  можно использовать некоторое число последовательно включенных ЛЭ, обеспечивающих заданную задержку.

Впервые операторы переходов были введены в работе [17]. Математический аппарат для синтеза и анализа цифровых схем, основанный на операторах переходов, разработан в [10].

## 2.2. Модели логических элементов

Любой реальный ЛЭ не мгновенно реагирует на изменения входных сигналов, поэтому имеется некоторая *паразитная задержка* между моментом времени, в который на его входы поступают новые значения сигналов, и моментом времени, когда выходной сигнал принимает значение, определяемое функцией, которую выполняет ЛЭ. Эта функция представляет собой *статическую модель ЛЭ*, так как она не учитывает поведение ЛЭ при изменении входных сигналов. Аналогично этому функция  $f(v)$  или система функций  $f_q(v)$  (1.84), описывающая работу КС без обратных связей, является ее *статической моделью*.

Для исследования переходных процессов, вызываемых в ЛС изменениями входных сигналов, необходимо ввести *динамические модели ЛЭ*, учитывающие паразитные задержки. Тогда *динамическая модель ЛС* будет определяться динамической моделью ЛЭ и статической моделью ЛС. Так, динамическая модель КС без обратных связей будет определяться формой представления функций  $f_q(v)$ , задающей структурную схему (число ЛЭ и все связи между ними), и динамической моделью ЛЭ.

Самая общая динамическая модель ЛЭ И-НЕ, имеющего два входа, представлена на рис. 2.4,а. Эта модель состоит из



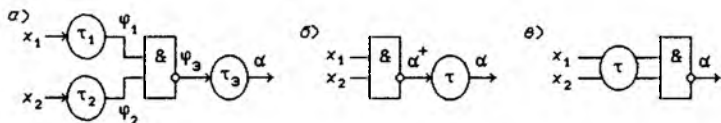


Рис. 2.4

безынерционного ЛЭ И–НЕ (статическая часть модели) и паразитных элементов задержки  $\tau_i$  ( $i = 1, 2, 3$ ). Величины задержек  $\tau_1$  и  $\tau_2$  зависят от длины проводников, соединяющих выводы ЛЭ с источниками сигналов, от длительности фронтов входных сигналов  $x_1$  и  $x_2$ , от порогов срабатывания ЛЭ по входам  $x_1$  и  $x_2$ , а величина  $\tau_3$  определяется инерционностью той части ЛЭ И–НЕ, через которую проходит сигнал, описываемый функцией  $x_2 \cdot x_1$ . В общем случае точные значения величин  $\tau_i$  неизвестны, так как они зависят от многих факторов и с течением времени могут изменяться. Кроме того, значения величин  $\tau_i$  могут быть различными при переходах сигналов  $x_1$ ,  $x_2$  и  $\alpha$  с 0 на 1 и с 1 на 0. Рассмотренная модель является наиболее сложной и пригодна для описания любого ЛЭ (И, ИЛИ, ИЛИ–НЕ), если использовать в ней соответствующую статическую модель.

Будем говорить, что входные сигналы ЛЭ не изменяются одновременно, если на интервале  $\Delta t = |\tau_1 - \tau_2|$  изменяется только один сигнал  $x_1$  или  $x_2$ , и что входные сигналы ЛЭ изменяются одновременно, если на интервале  $\Delta t$  изменяются оба сигнала  $x_1$  и  $x_2$ , так как истинное соотношение величин задержек  $\tau_1$  и  $\tau_2$  неизвестно. Если сигналы  $x_1$  и  $x_2$  никогда одновременно не изменяются (хотя бы в противоположных направлениях), то модель ЛЭ И–НЕ может быть приведена к виду, показанному на рис. 2.4,б, где  $\tau$  — элемент задержки с переменной величиной задержки  $\tau = \tau_1 + \tau_3$  или  $\tau = \tau_2 + \tau_3$  в зависимости от того, каким сигналом  $x_p$  вызывается изменение выходного сигнала  $\alpha$ . Поэтому данную модель назовем *динамической моделью с переменной задержкой*. Из рис. 2.4,б следует, что

$$\alpha(t) = \overline{x_2(t - \tau) \cdot x_1(t - \tau)}, \quad \alpha(t + \tau) = \overline{x_2(t) \cdot x_1(t)} = \alpha^+.$$

Обозначив сигналы  $x_p(t) = x_p$  и  $\alpha(t) = \alpha$ , получим:

$$\alpha^+ = \overline{\bar{x}_2 \cdot \bar{x}_1} = \bar{x}_2 \vee \bar{x}_1, \quad (2.7)$$

где  $\alpha$  — значение выходного сигнала ЛЭ в данный момент времени,  $\alpha^+$  — следующее его значение, которое появится через время  $\tau$  после изменения входных сигналов  $x_p$ .

Модель с переменной задержкой можно представить в несколько ином виде (рис. 2.4,в), положив, что элемент задержки

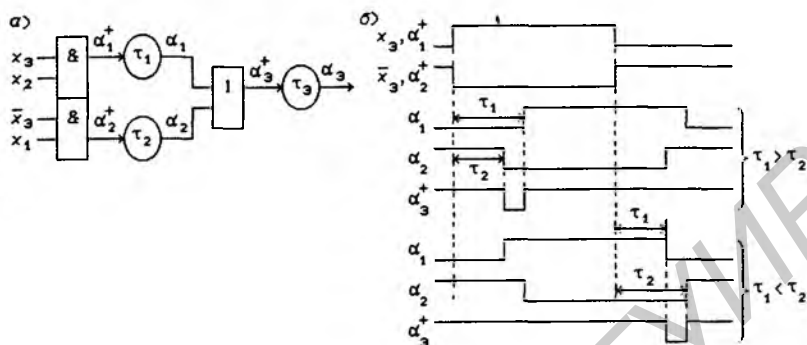


Рис. 2.5

$\tau$  в момент изменения сигнала  $x_p$  подключается к тому входу, на который этот сигнал подается, а на другом входе элемент задержки в этом случае отсутствует. Данную модель будем называть *динамической моделью с виртуальной задержкой*.

Логический элемент находится в *устойчивом состоянии*, если сигналы до элемента задержки и после него совпадают, т.е., если  $\alpha^+ = \alpha$ . Если же  $\alpha^+ \neq \alpha$ , то ЛЭ находится в *неустойчивом состоянии*, так как в этом случае его выходной сигнал должен измениться через время, не большее  $\tau$ .

На рис. 2.5,а показана КС, составленная из ЛЭ И и ИЛИ на основании их динамических моделей. Для ЛЭ И использована модель с переменной задержкой, аналогичная показанной на рис. 2.4,б, а для ЛЭ ИЛИ — общая модель, аналогичная показанной на рис. 2.4,а (на рис. 2.5,а паразитные задержки на выходах ЛЭ И объединены с паразитными задержками на входах ЛЭ ИЛИ, т.е. задержки  $\tau_1$  и  $\tau_2$  являются суммой двух задержек). Как видно из рис. 2.5,а, КС выполняет функцию  $f(\nu) = \bar{x}_3 \cdot x_1 \vee x_3 \cdot x_2$ , которая является ее статической моделью.

Пусть  $x_1 = x_2 = 1$  и изменяется только один сигнал  $x_3$ . Тогда функция  $f(\nu) = \bar{x}_3 \vee x_3 = 1$ , т.е. из статической модели КС следует, что ее выходной сигнал  $\alpha_3$  не должен изменяться при изменении входного сигнала  $x_3$ . Наличие же паразитных задержек  $\tau_1$  и  $\tau_2$  разной величины приводит к появлению на выходе КС ложных значений выходного сигнала  $\alpha_3 = 0$  малой длительности (рис. 2.5,б). Так как истинное соотношение величин задержек  $\tau_1$  и  $\tau_2$  неизвестно, то нельзя предугадать, в каком месте появится ложное значение выходного сигнала  $\alpha_3 = 0$  (при изменении входного сигнала  $x_3$  с 0 на 1 или с 1 на 0). Динамические модели ЛЭ и предназначены для формализации исследования поведения ЛС при переходных процессах, вызываемых в них изменениями входных сигналов.

При изменении выходных сигналов двух или большего числа

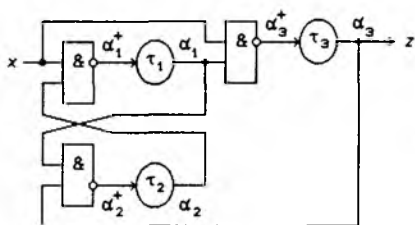


Рис. 2.6

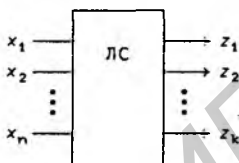


Рис. 2.7

ЛЭ, вызванных одними и теми же изменениями входных сигналов КС, из-за неравенства задержек возникают *состязания* (гонки) ЛЭ. Состязания ЛЭ называются *критическими*, или недопустимыми, если хотя бы один выходной сигнал КС во время переходного процесса может измениться более одного раза. Состязания ЛЭ называются *некритическими*, или допустимыми, если все выходные сигналы КС во время переходного процесса изменяются только один раз.

### 2.3. Модели логических схем

*Логической схемой* называется схема, составленная из ЛЭ путем соединения выходов одних ЛЭ со входами других. Будем полагать, что построение ЛС основано на следующих правилах: выход ЛЭ можно подсоединять ко входам нескольких ЛЭ; на входы ЛЭ можно подавать сигналы, представляющие собой константы 0 и 1;

выходы ЛЭ нельзя соединять вместе;

выходы ЛЭ нельзя подключать к собственным входам;

ЛС может иметь любое число обратных связей, по которым выходные сигналы некоторых ЛЭ возвращаются на собственные входы, предварительно пройдя через некоторое число ЛЭ.

В дальнейшем ЛЭ и их выходные сигналы будем обозначать символами  $\alpha_r$ , где  $r = 1, 2, \dots$ . *Динамической моделью ЛС* называется совокупность функций, описывающих сигналы  $\alpha_r^+$  всех ЛЭ, входящих в состав ЛС [10]. На рис. 2.6 приведена ЛС с обратными связями, в которой использована модель ЛЭ с переменной задержкой (см. рис. 2.4,б). Динамическая модель этой ЛС описывается функциями

$$\alpha_3^+ = \bar{x} \vee \bar{\alpha}_1, \quad \alpha_2^+ = \bar{\alpha}_3 \vee \bar{\alpha}_1, \quad \alpha_1^+ = \bar{x} \vee \bar{\alpha}_2. \quad (2.8)$$

Эти функции можно представить в более общем виде:

$$\alpha_r^+ = f_r(x, \alpha_3, \alpha_2, \alpha_1), \quad r = 1, 2, 3, \quad (2.9)$$

хотя  $\alpha_r^+$  и являются вырожденными функциями (зависят только от двух переменных).

Пусть ЛС состоит из  $s$  ЛЭ  $\alpha_s, \dots, \alpha_2, \alpha_1$ , определенным образом связанных между собою, и имеет  $n$  физических входов, на которые подаются сигналы  $x_n, \dots, x_2, x_1$ , и  $k$  физических выходов, с которых снимаются сигналы  $z_k, \dots, z_2, z_1$  (рис. 2.7). Тогда динамическую модель ЛС на основании выражения (2.9) можно описать системой функций

$$\alpha_r^+ = f_r(x_n, \dots, x_1, \alpha_s, \dots, \alpha_1), \quad r = 1, 2, \dots, s. \quad (2.10)$$

Данную систему функций можно представить в векторной форме:

$$\mu^+ = f(\nu, \mu), \quad (2.11)$$

где  $\mu^+ = (\alpha_s^+, \dots, \alpha_1^+)$ ,  $\nu = (x_n, \dots, x_1)$ ,  $\mu = (\alpha_s, \dots, \alpha_1)$ .

Введем некоторые определения. *Состоянием входа ЛС* называется  $n$ -мерный вектор

$$\nu_i = (e_{x_n}, \dots, e_{x_p}, \dots, e_{x_1}),$$

где  $e_{x_p} = 0$  или  $1$  — значение входного сигнала ЛС  $x_p$ ,  $i = e_{x_n} \dots e_{x_1}$ . Всего может быть  $2^n$  различных состояний входа  $\nu = (x_n, \dots, x_1)$ .

*Внутренним состоянием ЛС* называется  $s$ -мерный вектор

$$\mu_j = (e_{\alpha_s}, \dots, e_{\alpha_r}, \dots, e_{\alpha_1}),$$

где  $e_{\alpha_r} = 0$  или  $1$  — значение выходного сигнала ЛЭ  $\alpha_r$ ,  $j = e_{\alpha_s} \dots e_{\alpha_1}$ . Всего может быть  $2^s$  различных внутренних состояний  $\mu = (\alpha_s, \dots, \alpha_1)$ . В дальнейшем внутреннее состояние  $\mu_j$  часто будем называть просто состоянием  $\mu_j$ .

Два состояния входа  $\nu_{i1}$  и  $\nu_{i2}$  (два внутренних состояния  $\mu_{j1}$  и  $\mu_{j2}$ ) называются *соседними*, если они различаются значением только одного входного сигнала  $x_p$  (выходного сигнала ЛЭ  $\alpha_r$ ). Соседним изменением состояний входа называется изменение некоторого состояния входа  $\nu_{i1}$  на любое соседнее состояние входа  $\nu_{i2}$ . При соседних изменениях состояний входа изменяется только один входной сигнал ЛС. Изменения внутренних состояний называются *переходами*. Система функций (2.10), а также функция (2.11), называются *функцией переходов ЛС*. Функция переходов ЛС и представляет собой ее динамическую модель.

Так как выходными сигналами ЛС  $z_q$  ( $q = 1, 2, \dots, k$ ) являются выходные сигналы  $k$  ЛЭ, то можно считать, что  $z_q = \alpha_q$  ( $q \leq s$ ). *Состоянием выхода ЛС* называется  $k$ -мерный вектор

$$\lambda_l = (e_{z_k}, \dots, e_{z_q}, \dots, e_{z_1}),$$

где  $e_{z_q} = 0$  или  $1$  — значение выходного сигнала ЛС  $z_q$ ,  $l = e_{z_k} \dots e_{z_1}$ . Всего может быть  $2^k$  различных состояний выхода  $\lambda = (z_k, \dots, z_1)$ .

На основании вышеизложенного для ЛС, показанной на рис. 2.6, состояния  $\nu = (x)$ ,  $\mu = (\alpha_3, \alpha_2, \alpha_1)$ ,  $\lambda = (z)$ . Функция переходов ЛС (2.8) позволяет достаточно просто формальными методами проанализировать ее поведение при переходных процессах.

Логическая схема находится в *устойчивом состоянии*, если все ЛЭ, входящие в ее состав, находятся в устойчивом состоянии. Значит, в устойчивых состояниях должны выполняться равенства  $\alpha_r^+ = \alpha_r$  для всех  $r$ , т. е.  $\mu^+ = \mu$ . Подставив эти значения сигналов  $\alpha_r^+$  в функцию переходов (2.10), получим систему логических уравнений

$$\alpha_r = f_r(x_n, \dots, x_1, \alpha_s, \dots, \alpha_1) \quad (2.12)$$

с  $s$  неизвестными  $\alpha_r$  ( $r = 1, 2, \dots, s$ ). Данная система представляет собой *статическую модель ЛС*. Если решения системы логических уравнений (2.12) относительно неизвестных  $\alpha_r$  не существует, то это означает, что ЛС при некоторых или всех состояниях входа не имеет устойчивых состояний.

Логическая схема находится в *неустойчивом состоянии*, если хотя бы один ЛЭ находится в неустойчивом состоянии, т. е., если  $\mu^+ \neq \mu$ . Если ЛС находится в неустойчивом состоянии  $\mu_{j1}$ , то оно изменится на некоторое состояние  $\mu_{j2}$  через время, определяемое паразитными задержками тех ЛЭ  $\alpha_r$ , которые находятся в неустойчивом состоянии. Поэтому отсутствие у ЛС при некоторых состояниях входа  $\nu_i$  устойчивых состояний означает наличие в ней автоколебательных процессов при данных состояниях входа (так как число ЛЭ, входящих в состав ЛС, конечно, то выходные сигналы некоторых из них должны самопроизвольно изменяться с некоторым периодом).

Если ЛС является комбинационной схемой, то в устойчивых состояниях должно выполняться равенство

$$z_q = \alpha_q = f_q(x_n, \dots, x_1, \alpha_s, \dots, \alpha_1) = f_q(x_n, \dots, x_1), \quad (2.13)$$

где  $q = 1, 2, \dots, k$ .

Действительно, из определения КС (1.84) следует, что ее выходные сигналы не зависят от внутреннего состояния  $\mu = (\alpha_s, \dots, \alpha_1)$ , поэтому  $k$  функций из (2.12)  $\alpha_q = z_q$  не должны в устойчивых состояниях зависеть от состояния  $\mu$ .

Равенства (2.13) всегда выполняются для ЛС без обратных связей. Для ЛС с обратными связями эти равенства также могут выполняться, т. е. отсутствие обратных связей не является необходимым требо-

ванием для определения КС. Показанная на рис. 2.6 ЛС с обратными связями представляет собой комбинационную схему. Докажем это. Функция переходов (2.8) для устойчивых состояний ( $\alpha_r^+ = \alpha_r$ ) дает систему логических уравнений (статическую модель)

$$\alpha_3 = \bar{x} \vee \bar{\alpha}_1, \alpha_2 = \bar{\alpha}_3 \vee \bar{\alpha}_1, \alpha_1 = \bar{x} \vee \bar{\alpha}_2 \quad (2.14)$$

с тремя неизвестными  $\alpha_3$ ,  $\alpha_2$  и  $\alpha_1$ . Подстановка  $\alpha_3$  из первого уравнения во второе дает  $\alpha_2 = x \vee \bar{\alpha}_1$ . Подставив этот результат в третье уравнение, получим значение  $\alpha_1 = \bar{x}$ , и поэтому  $\alpha_3 = 1$  и  $\alpha_2 = x$ . Итак, ЛС на рис. 2.6 реализует константу 1, т. е. ее выходной сигнал не зависит от внутреннего состояния, а значит ЛС является комбинационной схемой. Статическая модель (2.14) не позволяет получить большей информации о функционировании ЛС.

Систему логических уравнений (2.14) можно решить и формальным методом, изложенным в § 1.6. Решение систем уравнений типа (2.14) будем называть решением функции переходов относительно устойчивых состояний. Если при решении будут делаться ссылки на функцию переходов типа (2.8), то предполагается, что знаки "+" в ней опущены.

## 2.4. Анализ логических схем

Основной задачей анализа ЛС является исследование их поведения при переходных процессах (в неустойчивых состояниях). Такое исследование позволяет не только определить длительность переходных процессов при тех или иных входных воздействиях, но и установить закон функционирования ЛС, если он неизвестен. Понятно, что для исследования переходных процессов необходимо использовать динамическую модель ЛС, которая описывается функцией переходов (2.10) или (2.11).

Для любой ЛС функцию переходов  $\mu^+ = f(\nu, \mu)$  всегда можно записать в явном виде и вычислить все ее значения в зависимости от значений  $\nu_i$  и  $\mu_j$ . Пара  $(\nu_i, \mu_j)$  называется *полным состоянием логической схемы*. Значения функции переходов для конкретных значений пар  $(\nu_i, \mu_j)$  будем записывать в виде  $\mu_{ij}^+ = f(\nu_i, \mu_j)$ . Вычисленные значения  $\mu_{ij}^+$  удобно представлять в виде таблицы, называемой *таблицей переходов*.

Таблица переходов состоит из  $2^s$  строк, каждой из которых соответствует одно из внутренних состояний  $\mu_j = (e_{\alpha_s}, \dots, e_{\alpha_1})$ , и  $2^n$  столбцов, каждому из которых соответствует одно из состояний входа  $\nu_i = (e_{x_n}, \dots, e_{x_1})$ . В каждую из клеток таблицы переходов, стоящую на пересечении столбца  $\nu_i$  и строки  $\mu_j$ , т. е. в клетки, соответствующие парам  $(\nu_i, \mu_j)$ , записывается вычисленное значение  $\mu_{ij}^+$ . Если  $\mu_{ij}^+ = \mu_j$ , то это означает, что вну-

тренное состояние  $\mu_j$  для состояния входа  $\nu_i$  является устойчивым. Если же  $\mu_{ij}^+ = \mu_r \neq \mu_j$ , то ЛС под воздействием состояния входа  $\nu_i$  перейдет через некоторое время из состояния  $\mu_j$  в состояние  $\mu_r$ , т. е. ЛС в данном случае находится в неустойчивом состоянии. Для большей наглядности устойчивые состояния в таблицах переходов отмечаются круглыми скобками.

Методику анализа ЛС рассмотрим на пяти конкретных примерах, которые позволят не только освоить ее, но и ввести на физической основе некоторые новые понятия.

**Пример 1.** ЛС состоит из одного ЛЭ И-НЕ (см. рис. 2.4, б), описываемого функцией переходов (2.7), т. е.

$$\alpha^+ = f(\nu, \mu) = f(x_2, x_1, \alpha) = \bar{x}_2 \vee \bar{x}_1, \quad (2.15)$$

где  $\nu = (x_2, x_1)$ ,  $\mu = (\alpha)$ . Таблица переходов в этом случае состоит из  $2^n = 2^2 = 4$  столбцов и  $2^s = 2^1 = 2$  строк (табл. 2.1).

Таблица 2.1. Таблица переходов ЛЭ И-НЕ

$\alpha$	$x_2 x_1$			
	00	01	10	11
0	1	1	1	(0)
1	(1)	(1)	(1)	0

Значения  $\mu_{ij}^+ = \alpha_{ij}^+$  довольно просто вычисляются на основании выражения (2.15). По таблице переходов легко установить, какие состояния входа  $\nu_i$  при данном исходном устойчивом состоянии  $\mu_j$  вызывают в ЛС переходный процесс. Так, например, если  $\alpha^+ = \alpha = 0$ , то переходный процесс (изменение выходного сигнала  $\alpha$  с 0 на 1) могут вызвать значения входа  $\nu_0 = (0, 0)$ ,  $\nu_1 = (0, 1)$  и  $\nu_2 = (1, 0)$ .

Функцию переходов можно представить и графически так называемым *графом переходов* (рис. 2.8), который легко может быть построен по таблице переходов. Граф переходов состоит из узлов, обозначаемых кружками, и ветвей, обозначаемых направленными линиями. Узлы указывают внутренние состояния  $\mu_j$ , а ветви — переходы между ними, вызываемые состояниями входа  $\nu_i$ . Ветви, исходящие из какого-либо узла и входящие в этот же узел, называются *петлями*. Ветви и петли подписываются состояниями входа  $\nu_i$ , вызывающими соответствующие переходы. Петли указывают, при каких состояниях входа  $\nu_i$  данное внутреннее состояние ЛС является устойчивым. С помощью графа переходов достигается большая наглядность изображения работы ЛС. Следует не забывать, что изменения внутренних состояний происходят не мгновенно, а через время  $\tau$ , равное задержке сигналов в одном ЛЭ.

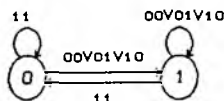


Рис. 2.8

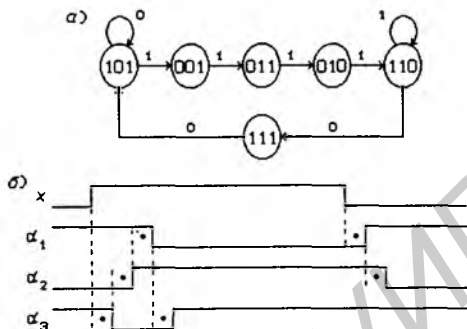


Рис. 2.9

**Пример 2.** Установим закон функционирования ЛС с обратными связями (см. рис. 2.6), которая описывается функцией переходов (2.8). Составим по ней таблицу переходов (табл. 2.2) и отметим скобками устойчивые состояния. Как и в предыдущем примере, каждый столбец содержит по одному устойчивому состоянию. Наличие для каждого состояния входа  $\nu_i$  только одного устойчивого состояния является достаточным условием того, чтобы ЛС была комбинационной схемой.

На рис. 2.9, а показан граф переходов, составленный по табл. 2.2. Поясним составление графа переходов. Пусть исходное состояние входа  $\nu = \nu_0 = (0)$ , т. е.  $x = 0$ . Из табл. 2.2 следует, что ЛС находится в устойчивом состоянии  $\mu_5 = (1, 0, 1)$ , т. е. полное ее состояние определяется парой  $(\nu_0, \mu_5)$ . При изменении сигнала  $x$  с 0 на 1 (состояния входа  $\nu_0$  на  $\nu_1$ ) состояние  $\mu_5$  должно измениться на состояние  $\mu_1 = (0, 0, 1)$ , так как оно находится в столбце  $\nu_1$  и строке  $\mu_5$ . Изменение состояния произойдет через время  $t_3$ , поскольку при этом изменяется выходной сигнал только одного ЛЭ  $\alpha_3$ . Внутреннее состояние  $\mu_1$  при состоянии входа  $\nu_1$ , как это видно из табл. 2.2, неустойчиво, поэтому оно должно измениться на следующее состояние  $\mu_3 = (0, 1, 1)$ , соответствующее возникшей новой паре  $(\nu_1, \mu_1)$ . Процесс изменения внутренних состояний продолжается до тех пор, пока ЛС не придет в устойчивое состояние. Из табл. 2.2 следует, что при этом реализуется следующая последовательность полных состояний:

$$(\nu_0, \mu_5) \rightarrow \nu_1, \mu_1 \rightarrow \nu_1, \mu_3 \rightarrow \nu_1, \mu_2 \rightarrow (\nu_1, \mu_6).$$

Первый переход вызывается изменением состояния входа, а все остальные — изменениями внутренних состояний. Первое и последнее полные внутренние состояния устойчивые (отмечены круглыми скобками). Аналогично этому по табл. 2.2 отыскиваются переходы при изменении входного сигнала  $x$  с 1 на 0 (рис. 2.9, а). Граф переходов составлен только из тех состояний, которые возникают при переходах между устойчивыми внутренними состояниями.

Состояние  $\mu_j$ , в которое есть переход под воздействием какого-



Таблица 2.2. Таблица переходов РЭ

$\alpha_3\alpha_2\alpha_1$	$x$	
	0	1
0 0 0	111	111
0 0 1	111	011
0 1 0	111	110
0 1 1	111	010
1 0 0	111	111
1 0 1	(101)	001
1 1 0	111	(110)
1 1 1	101	000

Таблица 2.3. Таблица переходов генератора

$\alpha_3\alpha_2\alpha_1$	$x$	
	0	1
0 0 0	111	111
0 0 1	101	101
0 1 0	011	011
0 1 1	001	001
1 0 0	111	110
1 0 1	(101)	100
1 1 0	011	010
1 1 1	001	000

либо состояния входа  $v_i$ , но не являющееся для него устойчивым, называется *переходным состоянием*. Так, состояния  $\mu_1$ ,  $\mu_3$ ,  $\mu_2$  и  $\mu_7$  — переходные.

При практическом использовании любой ЛС частота изменения состояний входа должна быть ограничена некоторой величиной, гарантирующей надежный переход из одного устойчивого состояния в другое, т. е. состояние входа не должно изменяться до тех пор, пока в ЛС не закончится переходный процесс. В противном случае поведение ЛС будет недетерминированным.

Из графа переходов (рис. 2.9,а) видно, что при переходах внутренние состояния изменяются только на соседние (при каждом переходе изменяется выходной сигнал только одного ЛЭ), и на выходе  $z = \alpha_3$  при изменении входного сигнала  $x$  с 0 на 1 формируется сигнал, равный 0, длительностью  $\tau_3 + \tau_2 + \tau_1 = 3\tau$ , где  $\tau$  — среднее время паразитной задержки сигналов в одном ЛЭ. На этом основании данная ЛС называется *разностным элементом* (элементом, формирующим импульсный сигнал при изменениях потенциального сигнала  $x$ ).

На рис. 2.9,б показаны временные диаграммы, построенные по графу переходов на рис. 2.9,а (точками помечены интервалы времени  $\tau$ , когда ЛС находится в неустойчивом состоянии). Из рис. 2.9,б следует, что выходной импульсный сигнал ЛС описывается функцией  $z = \alpha_3 = d\bar{x}$ . Если в обратную связь с ЛЭ  $\alpha_3$  на ЛЭ  $\alpha_2$  (см. рис. 2.6) последовательно включить  $2m$  ЛЭ НЕ, то длительность формируемого импульсного сигнала  $\alpha_3 = 0$  будет равна  $3\tau + 2m \cdot \tau$ .

Для приобретения навыков анализа ЛС рекомендуется самостоятельно произвести анализ двойственного разностного элемента, выполненного на ЛЭ ИЛИ-НЕ (см. рис. 1.19,е). Следует убедиться, что на его выходе формируется сигнал, равный 1, длительностью  $3\tau$  при изменении входного сигнала с 1 на 0. Если входной и выходной сигналы этого разностного элемента обозначить через  $x$  и  $z$ , то закон его функционирования будет описываться функцией  $z = dx$ .

В § 1.13 было введено понятие порядка КС без обратных связей как максимальное число последовательно включенных ЛЭ. Для КС с обратными связями такое определение порядка непригодно. Действительно, по виду КС на рис. 2.6 ее порядок установить невозможно. Так как порядок КС характеризует максимальную длительность переходного процесса, вызываемого изменениями входных сигналов, то *порядком КС с обратными связями* следует считать максимальное число переходов внутренних состояний при изменении ее состояний входа. На этом основании КС, представляющая собой рассмотренный разностный элемент (рис. 2.6), имеет четвертый порядок.

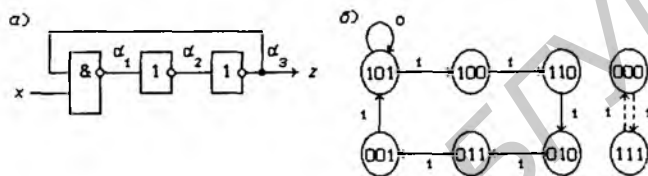


Рис. 2.10

**Пример 3.** Исследуем ЛС с обратной связью, изображенную на рис. 2.10,а. Здесь (и в дальнейшем) для простоты паразитные элементы задержки не показаны. Для записи функции переходов ЛС

$$\alpha_r^+ = f_r(x, \alpha_3, \alpha_2, \alpha_1), \quad r = 1, 2, 3$$

по ее структурной схеме (модели) все выходные сигналы ЛЭ  $\alpha_r$  следует заменить на  $\alpha_r^+$ , оставив неизменными обозначения их входных сигналов. Тогда из рис. 2.10,а следует, что функция переходов ЛС

$$\alpha_3^+ = \bar{\alpha}_2, \quad \alpha_2^+ = \bar{\alpha}_1, \quad \alpha_1^+ = \bar{x} \vee \bar{\alpha}_3. \quad (2.16)$$

Опустив знаки "+", получим статическую модель ЛС — систему логических уравнений

$$\alpha_3 = \bar{\alpha}_2, \quad \alpha_2 = \bar{\alpha}_1, \quad \alpha_1 = \bar{x} \vee \bar{\alpha}_3 \quad (2.17)$$

с тремя неизвестными  $\alpha_1$ ,  $\alpha_2$  и  $\alpha_3$ . Благодаря тому, что неизвестные обычно не являются независимыми, имеется возможность сократить их число. Подстановкой значений одних неизвестных в другие данную систему можно свести к одному уравнению  $\alpha_3 = \bar{x} \vee \bar{\alpha}_3$ , решение которого дает

$$\alpha_3 = 0 \oplus 1 \vee \bar{1} \cdot \overline{1 \oplus \bar{x}} = 1 \vee \bar{1} \cdot \bar{x}, \quad \psi_1 \cdot \psi_2 = x.$$

Из этого следует, что при значении входного сигнала  $x = 1$  решения не существует, т.е. в ЛС при  $x = 1$  происходит автоколебательный процесс, так как отсутствуют устойчивые состояния. При  $x = 0$  из системы (2.17) следует, что имеется одно устойчивое состояние, в котором сигналы  $\alpha_1 = 1$ ,  $\alpha_2 = 0$ ,  $\alpha_3 = 1$ . Таким образом, ЛС представляет собой *управляемый* сигналом  $x$  *автогенератор*.

Эти же самые выводы можно сделать и из таблицы переходов (табл. 2.3), составленной на основании функции переходов (2.16). Действительно, в столбце, соответствующем значению входного сигнала

$x = 1$ , не имеется ни одного устойчивого состояния. На рис. 2.10,б показан граф переходов, построенный по табл. 2.3, из которого видно, что при  $x = 1$  внутренние состояния ЛС самопроизвольно изменяются на соседние, и период генерируемого сигнала равен  $6t$ . По графу переходов легко построить временные диаграммы для сигналов  $\alpha_r$ .

Из табл. 2.3 видно, что при  $x = 1$  состояние  $\mu_0 = (0, 0, 0)$  изменяется на  $\mu_7 = (1, 1, 1)$ , а  $\mu_7$  на  $\mu_0$ . Эти переходы, отмеченные на рис. 2.10,б штриховыми ветвями, могут происходить длительное время только при равенстве задержек сигналов во всех трех ЛЭ, т. е. при  $\tau_1 = \tau_2 = \tau_3$ . Даже при незначительном различии этих задержек в ЛС возникают состязания (гонки) ЛЭ. Так как истинное соотношение задержек неизвестно, то поведение ЛС в этом случае недетерминированно. Как бы близки ни были величины задержек, должен произойти переход в подграф, состоящий из шести состояний (рис. 2.10,б). Здесь внутренние состояния изменяются на соседние, а значит состязания ЛЭ отсутствуют, и автогенерация продолжается до тех пор, пока управляющий сигнал  $x = 1$ .

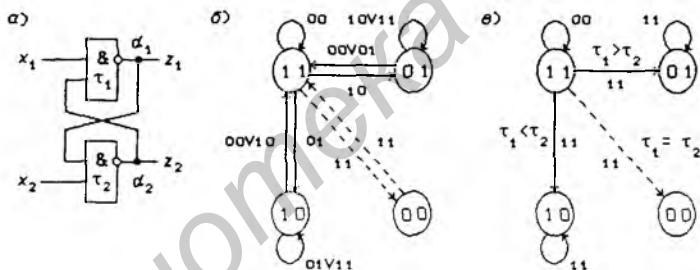


Рис. 2.11

**Пример 4.** Установим закон функционирования ЛС, приведенной на рис. 2.11,а. В этом случае состояния  $\nu = (x_2, x_1)$ ,  $\mu = (\alpha_2, \alpha_1) = \lambda = (z_2, z_1)$ , и функция переходов

$$\alpha_r^+ = f_r(x_2, x_1, \alpha_2, \alpha_1), \quad r = 1 \text{ и } 2,$$

определяется выражениями:

$$\alpha_2^+ = \bar{x}_2 \vee \bar{\alpha}_1, \quad \alpha_1^+ = \bar{x}_1 \vee \bar{\alpha}_2. \quad (2.18)$$

Опустив знаки "+", получим статическую модель ЛС:

$$\alpha_2 = \bar{x}_2 \vee \bar{\alpha}_1, \quad \alpha_1 = \bar{x}_1 \vee \bar{\alpha}_2. \quad (2.19)$$

Подстановка значения  $\alpha_1$  из второго уравнения в первое дает логическое уравнение  $\alpha_2 = \bar{x}_2 \vee x_1 \alpha_2$  с одним неизвестным  $\alpha_2$ . Решив его, получим:

$$\alpha_2 = \bar{x}_2 \vee \bar{h} \cdot \overline{x_2 \cdot \bar{x}_1}, \quad \psi_1 \cdot \psi_2 = 0,$$

т. е. решение существует, а значит автоколебательные процессы в ЛС отсутствуют. Упростив полученное решение и подставив его во второе

уравнение (2.19), найдем:

$$\alpha_2 = \bar{x}_2 \vee \bar{h} \cdot x_1, \quad \alpha_1 = \bar{x}_1 \vee \bar{h} \cdot x_2. \quad (2.20)$$

Из этих выражений видно, что выходные сигналы ЛС  $z_2 = \alpha_2$  и  $z_1 = \alpha_1$  неоднозначно выражаются через входные сигналы  $x_2$  и  $x_1$ , а это означает, что ЛС не является комбинационной схемой. В таблице переходов (табл. 2.4), составленной на основании функции переходов (2.18), в столбце  $\nu_3 = (1, 1)$  имеется два устойчивых состояния  $\mu_1 = (0, 1)$  и  $\mu_2 = (1, 0)$  в отличие от предыдущих таблиц переходов, в которых было только по одному устойчивому состоянию. Из этого следует вывод: чтобы ЛС была комбинационной схемой, достаточно, чтобы во всех столбцах соответствующей ей таблицы переходов было только по одному устойчивому состоянию.

Таблица 2.4. Таблица переходов R-S-триггера

$\alpha_2 \alpha_1$	$x_2 x_1$			
	00	01	10	11
0 0	11	11	11	11
0 1	11	11	(01)	(01)
1 0	11	(10)	11	(10)
1 1	(11)	10	01	00

В отличие от КС, которые в устойчивых состояниях реализуют однозначное соответствие между состояниями входа  $\nu_i$  и состояниями выхода  $\lambda_i$ , в рассматриваемой ЛС реализуется соответствие между последовательностями состояний входа  $\nu_{i1}, \nu_{i2}, \nu_{i3}, \dots$  (входными последовательностями) и последовательностями состояний выхода  $\lambda_{j1}, \lambda_{j2}, \lambda_{j3}, \dots$  (выходными последовательностями). По графу переходов (рис. 2.11, б), составленному по табл. 2.4 для ЛС на рис. 2.11, а, легко установить такое соответствие. Так, например, входной последовательности  $\nu_2, \nu_3, \nu_1, \nu_3$  соответствует выходная последовательность  $\lambda_1, \lambda_1, \lambda_2, \lambda_2$ , откуда видно, что при одном и том же состоянии входа  $\nu_3$  получаются разные состояния выхода  $\lambda_1$  и  $\lambda_2$ . Такие ЛС называются *последовательностными схемами*, или *цифровыми автоматами*. Для того, чтобы ЛС была последовательностной, необходимо (но не достаточно), чтобы хотя бы в одном столбце имелось не менее двух устойчивых состояний.

При изменении состояния входа  $\nu_0 = (0, 0)$  на  $\nu_3 = (1, 1)$  возникают состязания ЛЭ (штриховые ветви на рис. 2.11, б), так как состояние  $\mu_3 = (1, 1)$  изменяется на несоседнее состояние  $\mu_0 = (0, 0)$ . В зависимости от соотношений задержек  $\tau_1$  и  $\tau_2$  ЛС может установиться в любое из двух устойчивых состояний:  $\mu_1 = (0, 1)$  или  $\mu_2 = (1, 0)$  (рис. 2.11, в), т. е. в этом случае переходы между устойчивыми состояниями являются недетерминированными. Таким образом, в рассматриваемой

мой последовательностной схеме состязания ЛЭ приводят к состязаниям устойчивых состояний, которые недопустимы, так как разным устойчивым состояниям обычно соответствуют разные значения выходных сигналов автомата. Поэтому при практическом использовании ЛС состояние входа  $\nu_0 = (0, 0)$  должно быть запрещено, т.е. на входы никогда одновременно не должны подаваться значения сигналов  $x_1 = 0$  и  $x_2 = 0$ . При выполнении этого условия ЛС будет представлять собой *асинхронный потенциальный триггер типа R-S*, имеющий прямой  $z_1 = Q$  и инверсный  $z_2 = \bar{Q}$  выходы ( $x_1 = \bar{S}$ ,  $x_2 = \bar{R}$ ).

Из графа переходов (рис. 2.11, б) следует, что при изменении внутренних состояний триггера прямой и инверсный сигналы на время  $\tau_1$  или  $\tau_2$  одновременно становятся равными 1 (состояние  $\mu_3 = (1, 1)$ ) является переходным для состояний входа  $\nu_1$  и  $\nu_2$ ). Необходимо подчеркнуть, что понятие прямого и инверсного сигналов может быть определено только для устойчивых внутренних состояний, так как практически всегда “прямые” и “инверсные” сигналы в переходных режимах имеют одинаковые значения 0 или 1.

Рассмотренные примеры позволяют разделить все ЛС на три класса: комбинационные схемы, последовательностные схемы (цифровые автоматы) и автогенераторы. В принципе, автогенераторы можно отнести к особым случаям комбинационных или последовательностных схем, поскольку ЛС с обратными связями могут быть как комбинационными, так и последовательностными схемами. Действительно, автогенератор можно рассматривать как КС, имеющую бесконечно высокий порядок, поскольку переходный процесс в автогенераторе длится бесконечно долго. Порядок КС, представляющей собой управляемый автогенератор, зависит от значения входного управляющего сигнала и от момента времени его изменения по отношению к внутреннему состоянию автогенератора. Но управляемый автогенератор можно считать и особым случаем цифрового автомата — автомата, не имеющего устойчивых внутренних состояний при некоторых состояниях входа.

**Пример 5.** Требуется установить закон функционирования ЛС на рис. 2.12, функция переходов которой

$$\alpha_r^+ = f_r(x, \alpha_4, \alpha_3, \alpha_2, \alpha_1), \quad r = 1, 2, 3, 4$$

описывается выражениями

$$\alpha_4^+ = \bar{\alpha}_3 \vee \bar{\alpha}_2, \quad \alpha_3^+ = \bar{\alpha}_4 \vee \bar{\alpha}_1, \quad \alpha_2^+ = \bar{x} \vee \bar{\alpha}_3 \vee \bar{\alpha}_1, \quad \alpha_1^+ = \bar{x} \vee \bar{\alpha}_4 \vee \bar{\alpha}_2.$$

Решение данной системы уравнений относительно устойчивых состояний дает  $\alpha_4 = x \vee \bar{h} \cdot \bar{x}$ ,  $\psi_1 \cdot \psi_2 = x$ , т.е. решение отсутствует при  $x = 1$ , что подтверждается и таблицей переходов (табл. 2.5; в столбце  $x = 1$  устойчивые состояния отсутствуют). При  $x = 0$  сигналы  $\alpha_4 = \bar{h} = 0$  или 1,  $\alpha_3 = \bar{h} = 1$  или 0,  $\alpha_2 = 1$ ,  $\alpha_1 = 1$ , т.е. в этом случае имеется два устойчивых состояния  $\mu_7 = (0, 1, 1, 1)$  и  $\mu_{11} = (1, 0, 1, 1)$ . Для получения практических навыков в аналитических преобразованиях функций решение системы логических уравнений рекомендуется выполнить самостоятельно, сведя ее предварительно к одному логическому уравнению (число независимых уравнений обычно значительно меньше, чем их имеется в статической модели ЛС).

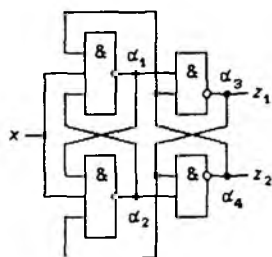


Рис. 2.12

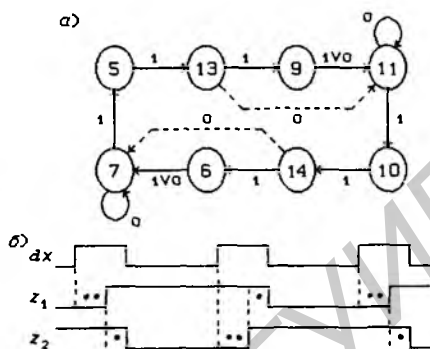


Рис. 2.13

Таблица 2.5. Таблица переходов  $dT$ -триггера

$\alpha_4\alpha_3\alpha_2\alpha_1$	$x$	
	0	1
0 0 0 0	1111	1111
0 0 0 1	1111	1111
0 0 1 0	1111	1111
0 0 1 1	1111	1111
0 1 0 0	1111	1111
0 1 0 1	1111	1101
0 1 1 0	0111	0111
0 1 1 1	(0111)	0101
1 0 0 0	1111	1111
1 0 0 1	1011	1011
1 0 1 0	1111	1110
1 0 1 1	(1011)	1010
1 1 0 0	1111	1111
1 1 0 1	1011	1001
1 1 1 0	0111	0110
1 1 1 1	0011	0000

Из графа переходов (рис. 2.13, а), построенного на основании табл. 2.5, видно, что при значении входного сигнала  $x = 1$  внутренние состояния ЛС циклически изменяются с периодом  $8\tau$ , так как в этом случае не имеется ни одного устойчивого состояния. Внутренние состояния изменяются только на соседние, а значит состязания ЛЭ отсутствуют.

Покажем, что данную ЛС можно использовать в качестве *асинхронного импульсного триггера со счетным входом* ( $dT$ -триггера), если потенциальный сигнал  $x$  заменить импульсным сигналом  $dT$  ( $T$  — входной информационный сигнал триггеров со счетным входом).

Импульсный сигнал  $dT$  характеризуется последовательностью значений  $0 \rightarrow 1 \rightarrow 0$ . Пусть при значении сигнала  $dT = 0$  ЛС находится в устойчивом состоянии  $\mu_7 = (0, 1, 1, 1)$ , а затем его значение изменяется на 1. В ЛС при таком воздействии возникает переходный процесс, характеризующийся последовательностью изменений внутренних состояний

$$\mu_7 \rightarrow \mu_5 \rightarrow \mu_{13} \rightarrow \mu_9 \rightarrow \mu_{11} \rightarrow \mu_{10} \rightarrow \mu_{14} \rightarrow \dots$$

Если импульсный сигнал  $dT$  изменится с 1 на 0 в тот момент времени, когда ЛС перешла в состояние  $\mu_{11}$ , то переходный процесс на этом и закончится, так как данное внутреннее состояние является устойчивым для значения входного сигнала  $x = 0$ . Часть ЛС, состоящая из ЛЭ  $\alpha_3$  и  $\alpha_4$ , представляет собой рассмотренный выше асинхронный потенциальный  $R$ - $S$ -триггер. Из графа переходов (рис. 2.13, а) видно, что данный триггер полностью переключается (сигналы  $\alpha_3$  и  $\alpha_4$ ) в момент времени, в который ЛС переходит в неустойчивое состояние  $\mu_9$ , и состояние  $\mu_9$  изменяется на  $\mu_{11}$  при любых значениях входного сигнала. Длительность перехода из устойчивого состояния  $\mu_7$  в неустойчивое состояние  $\mu_9$  равна  $3\tau$ , где  $\tau$  — среднее время паразитной задержки сигналов в одном ЛЭ.

Если импульсный сигнал  $dT$  изменится с 1 на 0, когда ЛС находится в неустойчивом состоянии  $\mu_{13}$ , то возникнут состязания ЛЭ, которые приведут к состязаниям устойчивых состояний (подробный анализ состязаний можно произвести с помощью табл. 2.5). Длительность перехода ЛС из устойчивого состояния  $\mu_7$  в состояние  $\mu_{13}$  равна  $2\tau$ , а в состояние  $\mu_{11}$  —  $4\tau$ . Поэтому длительность импульсного сигнала  $\Delta t$  при использовании ЛС на рис. 2.12 в качестве триггера со счетным входом ( $dT$ -триггера) должна удовлетворять соотношению

$$2\tau < \Delta t \leq 4\tau. \quad (2.21)$$

Переход из устойчивого состояния  $\mu_{11}$  под воздействием активного уровня импульсного сигнала  $dT = 1$  в состояние  $\mu_7$  в силу симметричности схемы подчиняется тем же закономерностям, что и рассмотренный выше переход из состояния  $\mu_7$  в состояние  $\mu_{11}$ , поэтому при поступлении на вход триггера каждого нового импульса его состояние (сигнал  $z_1 = \alpha_3$ ) будет изменяться на инверсное (0 на 1, а 1 на 0).

Таким образом, действительно, рассмотренная ЛС при соответствующем выборе длительности импульсного сигнала  $dT$  может быть использована в качестве триггера со счетным входом. На рис. 2.13, б изображены временные диаграммы, поясняющие его работу (интервалы времени  $\tau$  обозначены одной точкой, а  $2\tau$  — двумя точками).

Импульсный сигнал  $dT$  длительностью  $3\tau$  можно получить с помощью разностного элемента, показанного на рис. 2.6 (перед подачей на вход триггера выходной сигнал разностного элемента необходимо проинвертировать).

Если на вход триггера подать сигнал  $dT$ , имеющий длительность  $6\tau < \Delta t \leq 8\tau$ , то триггер сработает два раза, т. е. один импульс будет воспринят как два импульса, длительность которых определяется соотношением (2.21). Рассмотренный триггер можно использовать и без разностного элемента, если период  $T_0$  подаваемого на его вход сигнала (полагаем, что полупериоды равны) удовлетворяет соотношению  $4\tau < T_0 \leq 8\tau$ .

Изложенная формальная методика анализа ЛС дает ясное представление о физических процессах, протекающих в них при изменении входных воздействий, и достаточно проста в применении, если ЛС состоит из небольшого числа ЛЭ ( $s \leq 7$ ) и имеет мало физических входов ( $n \leq 3$ ). Анализ же более сложных ЛС необходимо проводить с помощью компьютера. Все понятия, введенные при выполнении анализа ЛС, естественным образом используются в теории асинхронных потенциальных автоматов.

Один из упрощенных методов анализа ЛС с обратными связями заключается в отыскании минимального числа обратных связей, при разрыве которых получается ЛС без обратных связей. Это позволяет найти минимальное число переменных  $\alpha_i^+$  для описания динамической модели ЛС. Так, если в разностном элементе (см. рис. 2.6) разорвать связь с выхода ЛЭ  $\alpha_2$  на вход ЛЭ  $\alpha_1$ , то получится ЛС без обратных связей. Тогда паразитные элементы задержки  $\tau_1$  и  $\tau_3$  можно вынести на выход  $\alpha_2^+$  полученной ЛС и получить упрощенную динамическую модель ЛС с восстановленной обратной связью (рис. 2.14):

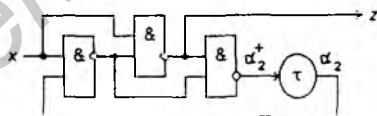


Рис. 2.14

$$\alpha_2^+ = \overline{\overline{x} \cdot \alpha_2 x \cdot \overline{x} \cdot \alpha_2} = x, \quad z = \overline{\overline{x} \cdot \alpha_2 x} = 1.$$

Упрощенная динамическая модель ЛС позволяет значительно проще установить закон ее функционирования, но переходные процессы на ее основе исследовать невозможно.

## 2.5. Синтез комбинационных схем, свободных от состязаний

В § 2.2 была показана возможность появления на выходах КС кратковременных ложных значений сигналов из-за состязаний ЛЭ. Эти ложные значения могут привести к неправильной работе других ЛС, в которых выходные сигналы КС используются в качестве входных. Воздействие кратковременных



ложных сигналов на ЛС с низким быстродействием не опасно, так как они не успевают на них отреагировать. Однако поступление ложных значений сигналов, хотя и кратковременных, на быстродействующие ЛС может вызвать ошибки в их работе. Покажем, что если допускаются только соседние изменения состояний входа, то можно синтезировать КС, на выходах которой ложные значения сигналов будут отсутствовать [5, 10].

Комбинационная схема называется *свободной от состязаний*, если в ней при соседних изменениях состояний входа отсутствуют критические состязания ЛЭ. Пусть функция  $f(\nu)$  задана в некоторой нормальной форме в базисе И-НЕ:

$$f(\nu) = \prod_{ij} \overline{K_{ij}(\nu)}, \quad (2.22)$$

где  $\nu = (x_n, \dots, x_1)$ .

Если в каждый момент времени может изменяться только один входной сигнал  $x_p$ , то для ЛЭ, реализующих инверсии контермов, можно использовать модель с виртуальной задержкой (см. рис. 2.4,б).

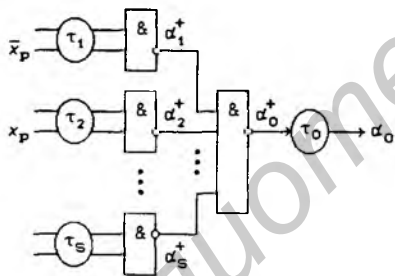


Рис. 2.15

Используя модель с виртуальной задержкой (см. рис. 2.4,б). Используя для ЛЭ И-НЕ второго яруса общую модель (см. рис. 2.4,а), получим схему на рис. 2.15 (паразитные задержки на входах ЛЭ второго яруса просуммированы с задержками ЛЭ первого яруса и перемещены на их входы).

Итак, при соседних изменениях состояний входа динамическая модель КС состоит из статической (безынерционной) части и паразитных элементов задержки, включенных на входах и выходе КС. Для исследования статической части модели форма представления функции не имеет значения, так как в статических моделях изменения всех сигналов происходят мгновенно. Поэтому для анализа статической части модели можно производить любые тождественные преобразования функции  $f(\nu)$  в соответствии с правилами алгебры логики.

Поведение КС в переходных режимах определяется ее структурой, задаваемой выражением (2.22), и динамической моделью ЛЭ. Динамическая модель КС, представленная на рис. 2.15, позволяет довольно просто определить условия, при которых могут возникнуть критические состязания ЛЭ. Пусть изменяется только один входной сигнал  $x_p$ , и в функцию (2.22) входит как

переменная  $x_p$ , так и ее инверсия  $\bar{x}_p$ . Поскольку в общем случае величины задержек  $\tau_1, \dots, \tau_{s-1}$  не равны между собой, то некоторое время на статическую часть модели КС могут поступать одинаковые значения сигналов  $x_p$  и  $\bar{x}_p$  (0 или 1) даже при одновременном изменении их в противоположных направлениях на входах динамической модели КС. Таким образом, в переходном режиме сигналы  $x_p$  и  $\bar{x}_p$  следует считать независимыми сигналами  $x'_p$  и  $\bar{x}''_p$ , которые могут принимать также значения  $x'_p = \bar{x}''_p = 0$  и 1.

На основании выражения (2.22) статическую модель КС можно представить в виде

$$f(\nu) = f(\xi, x_p) = \bigvee_{ij} K_{ij}(\nu) = f_1(\xi) \vee \bar{x}_p f_2(\xi) \vee x_p f_3(\xi), \quad (2.23)$$

где  $f_r(\xi)$  — функции, не зависящие от  $x_p$  ( $r = 1, 2, 3$ ) и представляющие собой дизъюнкцию некоторого числа контермов;

$$\begin{aligned} \nu &= (x_n, \dots, x_{p+1}, x_p, x_{p-1}, \dots, x_1), \\ \xi &= (x_n, \dots, x_{p+1}, x_{p-1}, \dots, x_1), \quad \nu = (\xi, x_p). \end{aligned}$$

Тогда поведение КС в переходных режимах можно описать функцией:

$$f^+(\xi, x'_p, \bar{x}''_p) = f_1(\xi) \vee \bar{x}''_p \cdot f_2(\xi) \vee x'_p \cdot f_3(\xi). \quad (2.24)$$

Если изменяется только один входной сигнал  $x_p$ , то некоторое из состояний входа  $(\xi_q, 0)$  или  $(\xi_q, 1)$  изменяется на соседнее состояние  $(\xi_q, 1)$  или  $(\xi_q, 0)$  соответственно, где  $\xi_q = (e_n, \dots, e_{p+1}, e_{p-1}, \dots, e_1)$ , так как остальные сигналы сохраняют свои значения. Пусть функция  $f(\nu)$  при изменении сигнала  $x_p$  сохраняет значение 0, т.е.  $f(\xi_q, 0) = f(\xi_q, 1) = 0$ . Тогда из выражения (2.23) следует, что

$$f_1(\xi_q) \vee f_2(\xi_q) = 0, \quad f_1(\xi_q) \vee f_3(\xi_q) = 0,$$

т.е.  $f_1(\xi_q) = f_2(\xi_q) = f_3(\xi_q) = 0$ .

Подставим эти значения функций  $f_r(\xi_q)$  в выражение (2.24):  $f^+(\xi_q, x'_p, \bar{x}''_p) = 0$ , т.е. в данном случае в КС вообще отсутствуют изменения каких-либо сигналов.

Рассмотрим второй случай, когда  $f(\xi_q, 0) = 0$ , а  $f(\xi_q, 1) = 1$ , а значит, как это следует из выражения (2.23), должны выполняться следующие соотношения:

$$f_1(\xi_q) \vee f_2(\xi_q) = 0, \quad f_1(\xi_q) \vee f_3(\xi_q) = 1,$$

т.е.  $f_1(\xi_q) = f_2(\xi_q) = 0, \quad f_3(\xi_q) = 1$ .

Подставим эти значения функций  $f_r(\xi_q)$  в выражение (2.24):

$$f^+(\xi_q, x'_p, \bar{x}''_p) = x'_p \cdot f_3(\xi_q) = x_p \cdot f_3(\xi_q).$$

Из последних соотношений можно сделать вывод, что выходной сигнал  $\alpha_s^+ = f^+(\nu)$  (рис. 2.15) изменяется с 1 на 0 (с 0 на 1), как только новое значение сигнала  $x_p = 0$  ( $x_p = 1$ ) поступит на входы статической части всех тех ЛЭ (хотя бы одного ЛЭ), от которых зависит значение функции  $f_3(\xi_q) = 1$ , а значит, в данном случае состязания ЛЭ являются некритическими. Аналогично этому доказывается, что состязания ЛЭ являются некритическими и при  $f(\xi_q, 0) = 1$ , а  $f(\xi_q, 1) = 0$ .

Пусть теперь функция  $f(\nu)$  при изменении сигнала  $x_p$  сохраняет значение 1, т.е.  $f(\xi_q, 0) = f(\xi_q, 1) = 1$ . Тогда из выражения (2.23) следует, что

$$f_1(\xi_q) \vee f_2(\xi_q) = 1, f_1(\xi_q) \vee f_3(\xi_q) = 1. \quad (2.25)$$

Предположим, что  $f_1(\xi_q) = 0$ . Тогда  $f_2(\xi_q) = f_3(\xi_q) = 1$ . Подставив эти значения функций  $f_r(\xi_q)$  в выражение (2.24), получим  $f^+(\xi_q, x'_p, \bar{x}''_p) = \bar{x}''_p \vee x'_p$ . Если  $\bar{x}''_p = x'_p = 1$ , то  $f^+(\xi_q, 1, 1) = 1$ , а если  $\bar{x}''_p \vee x'_p = 0$ , то  $f^+(\xi_q, 0, 0) = 0$ , т.е. в данном случае значение функции  $f(\nu)$  в переходном режиме в зависимости от соотношений задержек  $\tau_1, \dots, \tau_{s-1}$  может измениться два раза (сначала с 1 на 0, а затем с 0 на 1). Это означает, что в КС имеют место критические состязания ЛЭ, если  $f_1(\xi_q) = 0$  при  $f(\xi_q, 0) = f(\xi_q, 1) = 1$ .

Таким образом, критические состязания ЛЭ при соседних изменениях состояний входа могут возникнуть только в том случае, когда при этих состояниях входа функция сохраняет значение 1.

Из выражений (2.25) видно, что возможен также случай, когда  $f_1(\xi_q) = 1$ . Подставив это значение функции  $f_1(\xi_q)$  в выражение (2.24), получим  $f^+(\xi_q, x'_p, \bar{x}''_p) = 1$  независимо от значений  $x'_p$  и  $\bar{x}''_p$ . Из этого следует, что независимо от соотношений задержек  $\tau_1, \dots, \tau_{s-1}$  и способов получения сигналов  $x_p$  и  $\bar{x}_p$  критические состязания ЛЭ будут отсутствовать, если  $f_1(\xi_q) = 1$  при  $f(\xi_q, 0) = f(\xi_q, 1) = 1$ . Если это условие соблюдается для всех сигналов  $x_p$ , то КС будет свободна от состязаний.

Из доказанного условия, при выполнении которого критические состязания ЛЭ отсутствуют, легко вывести правила синтеза КС, свободных от состязаний. Рассмотрим эти правила для синтеза КС с помощью диаграмм Вейча.

Если  $f(\xi_q, 0) = f(\xi_q, 1) = 1$ , то это означает, что в диаграмме Вейча имеются две соседние 1-клетки, для которых переменная  $x_p$  имеет различные значения, а все остальные переменные не изменяются. Если покрыть эти 1-клетки 1-кубом, то получим контерм  $K_{ij}(\xi)$  такой, что  $K_{ij}(\xi_q) = 1$ , а это и означает, что получена функция  $f_1(\xi_q) = 1$ . Очевидно, что для покрытия 1-клеток можно использовать  $m$ -кубы и большего размера. Если покрыть все соседние 1-клетки  $m$ -кубами и взять дизъюнкцию соответствующих им контермов, то функция  $f(\nu)$  будет представлена в форме (2.23), причем такой, что если  $f(\xi_q, 0) = f(\xi_q, 1) = 1$ , то  $f_1(\xi_q) = 1$  для любых  $\xi_q$  и  $x_p$ .

Таким образом, одной из основных задач синтеза КС, свободных от состязаний, является отыскание таких минимальных покрытий 1-клеток функции  $f(\nu)$   $m$ -кубами, в которых любые соседние 1-клетки покрыты по меньшей мере одним  $m$ -кубом. Соответствующая этим покрытиям форма представления функции называется *минимальной дизъюнктивной нормальной формой, свободной от состязаний* (МДНФС). Используя закон двойного отрицания (1.14) и закон двойственности (1.25), из МДНФС можно получить *минимальную нормальную форму в базе И-НЕ, свободную от состязаний* (МНФС в базе И-НЕ).

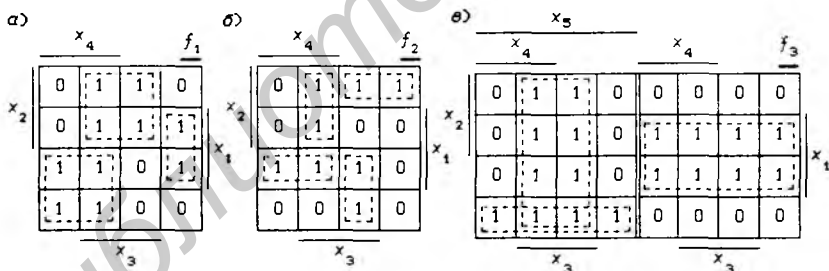


Рис. 2.16

Рассмотрим несколько примеров. На рис. 2.16 приведены диаграммы Вейча, в которых  $m$ -кубы, необходимые для получения МДНФ, отмечены сплошными контурами. Для получения МДНФС функции, представленной на рис. 2.16,а, необходимо добавить два 1-куба и один 2-куб (штриховые контуры), чтобы покрыть  $m$ -кубами соседние 1-клетки с номерами 1 и 9, 3 и 7, 13 и 15. Для функции, представленной на рис. 2.16,б, число 1-кубов для получения МДНФС удваивается по сравнению с МДНФ. Рис. 2.16,в поясняет отыскание МДНФС функции пяти переменных. В качестве примера запишем МДНФ и МДНФС

этой функции:

$$\begin{aligned} f(\nu) &= x_5 \cdot x_3 \vee \bar{x}_5 \cdot x_1 \vee x_5 \cdot \bar{x}_2 \cdot \bar{x}_1, \\ f(\nu) &= x_5 \cdot x_3 \vee \bar{x}_5 \cdot x_1 \vee x_5 \cdot \bar{x}_2 \cdot \bar{x}_1 \vee x_3 \cdot x_1. \end{aligned}$$

Аналогичным образом можно показать, что в КС, построенных в соответствии с КНФ или нормальными формами в базисе ИЛИ-НЕ, критические состязания ЛЭ могут возникнуть только в тех случаях, когда функция выхода при двух соседних состояниях входа сохраняет значение 0, т. е., если  $f(\xi_q, 0) = f(\xi_q, 1) = 0$ . Из вывода выражения (1.74) следует, что *минимальная конъюнктивная нормальная форма, свободная от состязаний* (МКНФС), функции  $f(\nu)$  может быть получена из МДНФС инверсной функции  $\overline{f(\nu)}$ , т. е. для получения МКНФС необходимо найти такое минимальное покрытие 0-клеток диаграммы Вейча для функции  $f(\nu)$ , в котором любые две соседние 0-клетки покрыты по крайней мере хотя бы одним  $m$ -кубом. С помощью закона двойного отрицания (1.14) и закона двойственности (1.25), из МКНФС можно получить *минимальную нормальную форму в базисе ИЛИ-НЕ, свободную от состязаний* (МНФС в базисе ИЛИ-НЕ).

В заключение отметим, что из МДНФС можно получать скобочные формы функций, которым также соответствуют КС, свободные от состязаний. Если допускаются несоседние изменения состояний входа, то в общем случае невозможно синтезировать КС, свободные от состязаний.

Изложенный материал имеет первостепенное значение для разработки методов синтеза асинхронных потенциальных автоматов.

## Глава 3

# Синтез асинхронных потенциальных автоматов

### 3.1. Основная модель цифровых автоматов

*Цифровые автоматы* (последовательностные схемы), элементарные примеры которых были рассмотрены в § 2.4, по способу воздействия на них входных информационных сигналов подразделяются на три основных класса: асинхронные потенциальные автоматы, синхронные автоматы и асинхронные импульсные автоматы. Каждый из классов автоматов можно разделить на несколько типов по другим признакам.

На *асинхронный потенциальный автомат* воздействия производят непосредственно его входные информационные сигналы до тех пор, пока сохраняется их активный уровень.

В *синхронном автомате* используется единый для всего автомата тактовый сигнал, который осуществляет на него импульсное воздействие в соответствии с уровнями входных информационных сигналов, т.е. в синхронном автомате последние только управляют воздействиями, а момент времени воздействия полностью определяется тактовым сигналом. Далее информационные сигналы будут называться просто входными сигналами автомата.

*Асинхронный импульсный автомат* отличается от потенциального тем, что входные потенциальные сигналы производят на него импульсные воздействия в момент их изменения. Такие воздействия в синхронных автоматах производит только один сигнал — тактовый, а в асинхронных импульсных автоматах любой из входных сигналов может управлять воздействиями и производить их.

Так как воздействия активных уровней входных сигналов на асинхронный потенциальный автомат происходят непрерывно-

но, то при их синтезе необходим учет переходных процессов, вызываемых этими воздействиями. В синхронных же автоматах изменения входных сигналов не могут вызвать переходного процесса без участия тактового сигнала, который задает моменты времени, в которые автомат воспринимает значения входных сигналов. Тактовый сигнал поступает на синхронный автомат от внешнего генератора, не синхронизированного с его входными сигналами. Поэтому в момент воздействия на автомат тактового сигнала входные сигналы не должны изменяться. При выполнении этого требования переходные процессы в синхронных автоматах можно не рассматривать, обеспечив выбором соответствующей частоты тактового сигнала окончание переходного процесса к следующему моменту его воздействия. Таким образом, в синхронных автоматах вместо непрерывного времени вводится в рассмотрение дискретное время, задаваемое генератором тактового сигнала.

Для проектирования цифровых автоматов используются не только ЛЭ, но и элементы памяти (ЭП), в качестве которых чаще всего используются триггеры (анализ работы двух типов триггеров был выполнен в § 2.4). Элементы памяти и триггеры являются элементарными автоматами, поэтому они, как и цифровые автоматы, делятся на те же три класса. Классы автоматов различаются только типом используемых в них ЭП: с потенциальным воздействием входных сигналов, импульсным воздействием только одного тактового сигнала или с импульсным воздействием нескольких входных сигналов (может быть и одного).

Наиболее фундаментальной и сложной является теория асинхронных потенциальных автоматов, и только ее методами можно синтезировать триггеры с импульсным восприятием изменений входных потенциальных сигналов, например тактового. Такие триггеры необходимы для структурного синтеза автоматов, принадлежащих к другим классам. Основные понятия теории автоматов являются общими для всех классов автоматов, различия же появляются в основном на этапе их структурного синтеза из-за особенностей законов функционирования используемых триггеров.

В отличие от КС значения выходных сигналов автомата в данный момент времени зависят не только от значений входных сигналов в этот же момент времени, но и от предыдущих их значений. Из этого следует, что цифровые автоматы реализуют функциональную связь уже не между отдельными значениями входных и выходных сигналов, а между их последовательностями. Таким образом, в отличие от КС работу автоматов следует

рассматривать во времени. Чтобы значения выходных сигналов зависели от предыдущих значений входных сигналов, автомат должен обладать памятью, в которой сохраняется информация о предыдущих входных воздействиях. Эта информация используется в автомате в виде совокупности сигналов, вырабатываемых памятью и называемых внутренними сигналами.

На рис. 3.1 показана основная модель асинхронного потенциального автомата, которая состоит из КС и элементов задержки  $D$  входных сигналов  $Q_r^+$  на время  $\Delta t$ , включенных в обратных связях КС (основная модель синхронного автомата отличается от показанной на рис. 3.1 только тем, что на ЭП типа  $D$  подается еще тактовый сигнал). Элементы задержки производят запоминание внутренних сигналов КС  $Q_r = Q_r^+$  ( $r = 1, 2, \dots, m$ ) на время  $\Delta t$ , т. е. они являются элементами памяти. Эти сигналы появляются на входах КС (выходах ЭП) через время  $\Delta t$  и могут вызвать изменение ее выходных сигналов. Понятно, что если сигнал  $Q_r = Q_r(t)$ , то сигнал  $Q_r^+ = Q_r(t + \Delta t)$ .

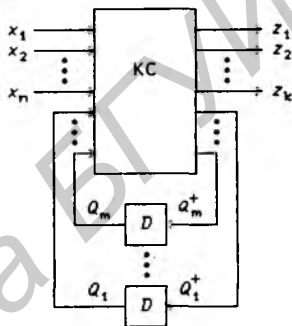


Рис. 3.1

В общем случае автомат содержит  $m$  ЭП  $Q_m, \dots, Q_r, \dots, Q_1$  и имеет  $n$  физических входов, на которые подаются сигналы  $x_n, \dots, x_p, \dots, x_1$ , и  $k$  физических выходов, с которых снимаются сигналы  $z_k, \dots, z_q, \dots, z_1$ . При фиксированных значениях внутренних сигналов  $Q_r$  автомат ведет себя подобно некоторой КС, т. е. реализует однозначное соответствие между значениями входных и выходных сигналов. Однако при изменении входных сигналов его реакция может выразиться в изменении внутренних сигналов. Если затем подать прежние значения входных сигналов, то соответствие между значениями входных и выходных сигналов может оказаться совсем другим.

На основании основной модели автомата его внутренние  $Q_r^+$  и выходные  $z_q$  сигналы можно задать некоторыми системами переключательных функций:

$$Q_r^+ = f_r(x_n, \dots, x_1, Q_m, \dots, Q_1), \quad r = 1, 2, \dots, m, \quad (3.1)$$

$$z_q = \varphi_q(x_n, \dots, x_1, Q_m, \dots, Q_1), \quad q = 1, 2, \dots, k, \quad (3.2)$$

где  $x_p = x_p(t)$ ,  $p = 1, 2, \dots, n$ ,  $Q_r = Q_r(t)$ ,  $Q_r^+ = Q_r(t + \Delta t)$ ,  $z_q = z_q(t)$ .



Система функций (3.1) называется *функцией переходов автомата*, а система функций (3.2) — *функцией выхода*. Эти системы функций можно представить в векторной форме:

$$\mu^+ = f(\nu, \mu), \quad \lambda = \varphi(\nu, \mu), \quad (3.3)$$

где  $\mu^+ = (Q_m^+, \dots, Q_1^+)$ ,  $\nu = (x_n, \dots, x_1)$ ,  $\mu = (Q_m, \dots, Q_1)$ ,  $\lambda = (z_k, \dots, z_1)$ ,  $\nu = \nu(t)$ ,  $\mu = \mu(t)$ ,  $\mu^+ = \mu(t + \Delta t)$ ,  $\lambda = \lambda(t)$ .

Введем основные определения. *Состоянием входа автомата* называется  $n$ -мерный вектор  $\nu_i = (e_{x_n}, \dots, e_{x_p}, \dots, e_{x_1})$ , где  $e_{x_p} = 0$  или 1 — значение входного сигнала автомата  $x_p$ ,  $i = e_{x_n} \dots e_{x_1}$ . Всего может быть  $2^n$  различных состояний входа  $\nu = (x_n, \dots, x_1)$ , т. е. множество  $N_0$  возможных состояний входа состоит из  $2^n$  элементов:

$$N_0 = \{\nu_0, \nu_1, \dots, \nu_{2^n-1}\}.$$

*Внутренним состоянием автомата* называется  $m$ -мерный вектор  $\mu_j = (e_{Q_m}, \dots, e_{Q_r}, \dots, e_{Q_1})$ , где  $e_{Q_r} = 0$  или 1 — значение выходного сигнала ЭП  $Q_r$ ,  $j = e_{Q_m} \dots e_{Q_1}$ . Всего может быть  $2^m$  различных внутренних состояний  $\mu = (Q_m, \dots, Q_1)$ , т. е. множество  $M_0$  возможных внутренних состояний состоит из  $2^m$  элементов:

$$M_0 = \{\mu_0, \mu_1, \dots, \mu_{2^m-1}\}.$$

В дальнейшем внутреннее состояние  $\mu_j$  часто будем называть просто состоянием автомата.

*Состоянием выхода автомата* называется  $k$ -мерный вектор  $\lambda_l = (e_{z_k}, \dots, e_{z_q}, \dots, e_{z_1})$ , где  $e_{z_q} = 0$  или 1 — значение выходного сигнала автомата  $z_q$ ,  $l = e_{z_k} \dots e_{z_1}$ . Всего может быть  $2^k$  различных состояний выхода  $\lambda = (z_k, \dots, z_1)$ , т. е. множество  $\Lambda_0$  возможных состояний выхода состоит из  $2^k$  элементов:

$$\Lambda_0 = \{\lambda_0, \lambda_1, \dots, \lambda_{2^k-1}\}.$$

Так как множества  $N_0$ ,  $M_0$  и  $\Lambda_0$  конечны, то цифровые автоматы называют также конечными автоматами. В конкретных автоматах множества  $N_0$ ,  $M_0$  и  $\Lambda_0$  могут использоваться не полностью. Так, если есть какие-либо ограничения на значения входных сигналов, то некоторые состояния входа будут запрещенными (не могут появиться при работе автомата). Таким образом, в конкретных автоматах могут использоваться подмножества  $N \subset N_0$ ,  $M \subset M_0$  и  $\Lambda \subset \Lambda_0$ .

Для формального задания автомата необходимо задать множества  $N$ ,  $M$  и  $\Lambda$  и функции переходов и выхода (3.3), определенные на этих множествах. Для задания этих функций каждой

паре  $(\nu_i, \mu_j)$  необходимо поставить в соответствие определенные значения  $\mu_s$  и  $\lambda_l$ , т. е. необходимо задать соотношения

$$\mu_s^\dagger = f(\nu_i, \mu_j) = \mu_s, \quad \lambda_l = \varphi(\nu_i, \mu_j) = \lambda_l,$$

где  $\nu_i \in N$ ,  $\mu_j \in M$ ,  $\mu_s \in M$  и  $\lambda_l \in A$ .

Каждая пара  $(\nu_i, \mu_j)$  называется *полным состоянием автомата*, а совокупность всех возможных пар  $(\nu_i, \mu_j)$  представляет собой множество  $P = N \times M$ . Функции переходов и выхода автомата можно задать аналитически, графически и с помощью таблиц, так как множества  $N$ ,  $M$  и  $A$  конечны.

Автоматы могут быть полностью определенными и недоопределенными. *Полностью определенными*, или полными, называются такие автоматы, для которых функции переходов и выхода определены на всем множестве  $P$ , т. е. значения функций переходов и выхода заданы на всех парах  $(\nu_i, \mu_j) \in P$ . Если же функции переходов и выхода или функция выхода определены только на подмножестве  $P_1 \subset P$ , т. е. значения этих функций заданы не на всех парах  $(\nu_i, \mu_j)$ , то автомат называется *недоопределенным*, или неполным.

Хотя назначением автоматов является преобразование входных последовательностей в выходные, иногда удобно рассматривать *автоматы без выхода*, задаваемые только множествами  $N$  и  $M$  и функцией переходов, определенной на этих множествах. Автоматы без выхода появляются при решении задач, в которых интересуются только внутренним его поведением. В таких случаях не имеет смысла усложнять задачу рассмотрением функции выхода. В качестве выходных сигналов автомата  $z_q$  всегда можно использовать выходные сигналы ЭП  $Q_r$ . В этом случае множество  $A = M$  и функция выхода  $\lambda = \varphi(\nu, \mu) = \mu$ .

Два состояния входа  $\nu_{i1}$  и  $\nu_{i2}$  (два внутренних состояния  $\mu_{j1}$  и  $\mu_{j2}$ ) называются *соседними*, если они различаются значением только одного входного сигнала  $x_p$  (выходного сигнала ЭП  $Q_r$ ). *Соседним изменением состояний входа* называется изменение некоторого состояния входа  $\nu_{i1}$  на любое соседнее состояние входа  $\nu_{i2}$ . При соседних изменениях состояний входа изменяется только один входной сигнал автомата  $x_p$ . Изменения внутренних состояний называются *переходами*. Переходы являются соседними, если при этом внутреннее состояние  $\mu_{j1}$  изменяется на соседнее состояние  $\mu_{j2}$ .

Все приведенные выше определения в равной степени относятся как к асинхронным потенциальным автоматам, так и к синхронным, а в большей своей части — и к асинхронным импульсным автоматам. Для краткости цифровые автоматы, при-

надлежащие к разным классам, будем называть просто автоматами без указания принадлежности к тому или иному классу, если ясно, о каких автоматах идет речь.

Теории автоматов посвящена обширная литература различного уровня сложности. Абстрактная теория автоматов достаточно полно изложена в [5, 7, 18, 19], а практические вопросы ее реализации — в [8, 20]. В указанной литературе рассматриваются в основном синхронные и асинхронные потенциальные автоматы. Основы теории асинхронных импульсных автоматов приведены в [21]. Аналитическая теория этих автоматов разработана в [10, 22, 23].

### 3.2. Асинхронные потенциальные автоматы

В основной модели автомата (см. рис. 3.1) используются асинхронные потенциальные элементы задержки (ЭП типа  $D$ ). Точные значения величин задержек  $\Delta t$  в принципе неизвестны, так как они могут со временем изменяться под воздействием многих факторов. Поэтому даже при одновременном изменении входных сигналов нескольких элементов задержки их выходные сигналы могут изменяться неодновременно, причем порядок изменения выходных сигналов может быть самым различным.

Из основной модели асинхронного потенциального автомата следует, что  $Q_r = Q_r(t)$ ,  $Q_r^+ = Q_r(t + \Delta t)$  и

$$Q_r^+ = D_r, \quad (3.4)$$

где  $D_r = D_r(t)$  — входные информационные сигналы ЭП. Функция (3.4) называется *функцией переходов ЭП типа  $D$* , а функцию

$$D_r = Q_r^+ \quad (3.5)$$

принято называть *функцией возбуждения ЭП типа  $D$* .

Элемент памяти  $Q_r$  находится в *устойчивом состоянии*, если выполняется соотношение  $Q_r^+ = D_r = Q_r$ , т. е., если значение выходного сигнала ЭП совпадает со значением его входного сигнала. Если же  $Q_r^+ = D_r \neq Q_r$ , то ЭП находится в *неустойчивом состоянии*, так как значение его выходного сигнала должно в этом случае измениться через время, не большее чем  $\Delta t$ .

Автомат находится в *устойчивом состоянии*, если  $Q_r^+ = Q_r$  для всех  $r = 1, 2, \dots, m$ , т. е., если все ЭП находятся в устойчивом состоянии. В векторной форме условие устойчивости состояния автомата можно записать так:

$$\mu_{ij}^+ = f(\nu_i, \mu_j) = \mu_j, \quad \mu^+ = \mu.$$

Автомат находится в *неустойчивом состоянии*, если хотя бы один ЭП находится в неустойчивом состоянии, т. е., если

$$\mu_{ij}^+ = f(\nu_i, \mu_j) = \mu_s \neq \mu_j, \mu^+ \neq \mu.$$

Если при изменении состояния входа  $\nu_{i1}$  на  $\nu_{i2}$  автомат в зависимости от некоторых условий может перейти в любое из двух или большего числа устойчивых состояний, то в автомате имеют место состязания устойчивых состояний. Состязания устойчивых состояний недопустимы, так как нарушается детерминированность переходов.

Пусть автомат при некотором состоянии входа  $\nu_{i1}$  находится в устойчивом состоянии  $\mu_{j1}$ , что будем символически записывать в виде  $(\nu_{i1}, \mu_{j1})$ . Затем состояние входа  $\nu_{i1}$  изменяется на некоторое состояние  $\nu_{i2}$ , при котором изменяются входные сигналы одного или нескольких ЭП. Автомат в этом случае переходит в неустойчивое состояние  $\mu_{j2}$ . Через время  $\Delta t$  на входах КС появятся новые значения выходных сигналов некоторых ЭП  $Q_r$ . При этом оказываются возможными три варианта дальнейшего поведения автомата.

1. Новые значения сигналов  $Q_r$  не изменяют входных сигналов ни одного ЭП, а значит, в этом случае переходный процесс заканчивается через время  $\Delta t$ ; устойчивое состояние  $\mu_{j1}$  изменяется на некоторое новое устойчивое состояние  $\mu_{j2}$ . Символически такие переходы можно представить в виде

$$(\nu_{i1}, \mu_{j1}) \rightarrow (\nu_{i2}, \mu_{j2}) \quad (3.6)$$

и называются они простыми. Автоматы, имеющие только простые переходы, будем называть *автоматами с простыми переходами*.

2. Новые значения сигналов  $Q_r$  (новое внутреннее состояние) в свою очередь изменяют входные сигналы одного или нескольких ЭП. В этом случае переходный процесс не заканчивается через время  $\Delta t$ , так как состояние  $\mu_{j2}$  не является устойчивым для состояния входа  $\nu_{i2}$  и должно измениться на некоторое другое состояние  $\mu_{j3}$ , которое в свою очередь может быть как устойчивым, так и неустойчивым. Таким образом, изменение состояния входа  $\nu_{i1}$  на  $\nu_{i2}$  может вызвать неоднократное изменение внутренних состояний, пока автомат не придет в устойчивое состояние. Символически такие переходы можно представить в виде

$$(\nu_{i1}, \mu_{j1}) \rightarrow \nu_{i2}, \mu_{j2} \rightarrow (\nu_{i2}, \mu_{j3}),$$

$$(\nu_{i1}, \mu_{j1}) \rightarrow \nu_{i2}, \mu_{j2} \rightarrow \nu_{i2}, \mu_{j3} \rightarrow \dots \rightarrow (\nu_{i2}, \mu_{js})$$

(круглыми скобками отмечены устойчивые полные состояния автомата). В первом случае длительность переходного процесса равна  $2\Delta t$ , во втором —  $(s-1)\Delta t$  (задержками сигналов в КС пренебрегли). Автоматы, в которых хотя бы при одном изменении состояния входа возможно неоднократное изменение внутренних состояний, будем называть *автоматами со сложными переходами*. Внутреннее состояние  $\mu_q$  будем называть *переходным*, если

$$\mu_{ij}^+ = f(\nu_i, \mu_j) = \mu_q, \mu_{iq}^+ = f(\nu_i, \mu_q) \neq \mu_q,$$

т. е., если состояние  $\mu_q$  не является устойчивым для состояния входа  $\nu_i$ , вызывающего изменение состояния  $\mu_j$  на  $\mu_q$ . В рассмотренных выше двух случаях переходов между устойчивыми состояниями имеются соответственно одно и  $s-2$  переходных внутренних состояний.

3. Новые значения сигналов  $Q_r$ , возникающие в результате изменения состояния входа  $\nu_{i1}$  на  $\nu_{i2}$ , вызывают бесконечную последовательность смены внутренних состояний. Так как число этих состояний конечно ( $\leq 2^m$ ), то последовательность должна быть периодической, например:

$$(\nu_{i1}, \mu_{j1}) \rightarrow \nu_{i2}, \mu_{j2} \rightarrow \nu_{i2}, \mu_{j3} \rightarrow \nu_{i2}, \mu_{j4} \rightarrow \\ \rightarrow \nu_{i2}, \mu_{j5} \rightarrow \nu_{i2}, \mu_{j6} \rightarrow \nu_{i2}, \mu_{j3} \rightarrow \nu_{i2}, \mu_{j4} \rightarrow \dots$$

В этом случае имеет место автоколебательный процесс (переходный процесс длится бесконечно долго). Такие процессы в автомате недопустимы ни при одном состоянии входа  $\nu_i$ , так как неизвестно, в каком внутреннем состоянии  $\mu_j$  он окажется к моменту следующего изменения состояния входа (нарушается детерминированность переходов).

Рассмотрим теперь ограничения, которые необходимо наложить на частоту изменения состояний входа, чтобы обеспечить правильную работу автомата. Пусть состояние входа  $\nu_{i1}$  изменяется на  $\nu_{i2}$ , и при этом происходит изменение внутреннего состояния автомата. Если автомат не успеет достигнуть устойчивого состояния к моменту изменения состояния входа  $\nu_{i2}$  на некоторое новое состояние  $\nu_{i3}$ , то нельзя сказать ничего определенного о дальнейшем поведении автомата, а значит, это может привести к недетерминированности переходов. Поэтому для автоматов с простыми переходами должно выполняться условие  $1/f_{\max} > \Delta t$ , а для автоматов со сложными переходами — условие  $1/f_{\max} > (s-1)\Delta t$ , где  $f_{\max}$  — максимально допустимая частота изменений состояний входа, которая характеризует быстродействие автомата. Данные условия справедливы только при  $\Delta t \gg \tau_{\max}$ , где  $\tau_{\max}$  — максимальное время протекания

переходных процессов в КС. Эти же условия с учетом величины  $\tau_{\max}$  будут приведены ниже. Очевидно, что быстродействие автоматов со сложными переходами значительно ниже быстродействия автоматов с простыми переходами.

В § 2.2 было показано, что в результате состязаний ЛЭ на выходах КС могут появляться ложные сигналы малой длительности. Так как в автомате имеются обратные связи, то ложные сигналы, поступив через ЭП на входы КС, могут привести к неправильному срабатыванию других ЭП, что может вызвать переход автомата в непредусмотренное функцией переходов внутреннее состояние — возникают состязания устойчивых состояний. Из этого следует, что КС необходимо синтезировать свободной от состязаний и что нельзя допускать несоседние изменения состояний входа.

После изменения состояния входа в КС начинает протекать переходный процесс, при этом входные сигналы одного или нескольких ЭП могут измениться раньше, чем он полностью закончится, т. е. прежде, чем КС придет в устойчивое состояние. Выходные сигналы указанных ЭП изменятся только через время  $\Delta t$ , и если к этому времени переходный процесс в КС не закончится, то появление новых значений сигналов  $Q_r$  на входах КС может привести к нарушению правильности ее работы. Поэтому необходимо, чтобы время задержки  $\Delta t$  сигналов в ЭП было бы больше, чем максимально возможное время протекания переходных процессов в КС.

Таким образом, основным назначением ЭП является задержка сигналов, задающая время, отводимое в автомате на переходные процессы в КС. Чем большее требуется время  $\Delta t$ , тем меньшее быстродействие будет иметь автомат. Точные значения величины  $\Delta t$  и времени протекания в КС переходных процессов  $\tau_{\text{КС}}$  неизвестны, но всегда можно указать некоторые пределы, в которых они заключены:

$$\Delta t_{\min} \leq \Delta t \leq \Delta t_{\max}, \quad \tau_{\min} \leq \tau_{\text{КС}} \leq \tau_{\max}.$$

Тогда для гарантии правильной работы автомата должно выполняться соотношение

$$\Delta t_{\min} \geq \tau_{\max} - \tau_{\min}. \quad (3.7)$$

Если положить, что  $\tau_{\min} = 0$ , то необходимо выполнение условия

$$\Delta t_{\min} \geq \tau_{\max}.$$

С учетом этих соотношений для автоматов с простыми переходами необходимо соблюдать условие

$$1/f_{\max} \geq \Delta t_{\max} + 2\tau_{\max},$$

а для автоматов со сложными переходами — условие

$$1/f_{\max} \geq (p+1)\Delta t_{\max} + (p+2)\tau_{\max},$$

где  $f_{\max}$  — максимально допустимая частота изменения состояний входа,  $p$  — число переходных состояний.

Если одновременно изменяются входные сигналы хотя бы двух ЭП, то их выходные сигналы не обязательно изменятся одновременно. Так как величины задержек для разных ЭП могут быть различными, то в автомате возникают *состязания ЭП*. Ввиду того, что точные значения величин задержек  $\Delta t$  неизвестны, ничего нельзя сказать о том, в какой последовательности изменяются выходные сигналы ЭП. Автомат может вести себя совершенно по-разному в зависимости от того, в какой последовательности они изменяются.

Состязания ЭП могут быть критическими и некритическими. Если автомат в результате состязаний переходит в устойчивое состояние, задаваемое функцией переходов (3.1), независимо от соотношений величин задержек  $\Delta t$ , то состязания называются *некритическими*, или допустимыми. Если же автомат в результате состязаний ЭП может перейти в какое-либо устойчивое состояние, не предусмотренное функцией переходов, то состязания называются *критическими*, или недопустимыми, так как состязания ЭП приводят к состязаниям устойчивых состояний, а значит, нарушается детерминированность переходов.

Состязаний ЭП можно избежать с помощью специального кодирования внутренних состояний автомата, которое исключает возможность одновременного изменения входных сигналов двух или большего числа ЭП. Такое кодирование заключается в приписывании каждому двум состояниям  $\mu_{j1}$  и  $\mu_{j2}$ , между которыми есть переход, соседних кодовых комбинаций

$$(e_{Q_m}, \dots, e_{Q_r}, \dots, e_{Q_1}) \text{ и } (e_{Q_m}, \dots, \bar{e}_{Q_r}, \dots, e_{Q_1}),$$

отличающихся значением только одного сигнала  $Q_r$ . Данное кодирование называется *соседним кодированием внутренних состояний* автомата. Очевидно, что при выполнении соседнего кодирования внутренних состояний в каждый момент времени будет изменяться выходной сигнал только одного ЭП.

Если бы даже величины задержек  $\Delta t$  сигналов во всех ЭП были одинаковы, то и тогда нельзя было бы допускать одновременного изменения выходных сигналов двух или большего числа ЭП. Это объясняется тем, что при одновременном изменении нескольких входных сигналов КС в ней могли бы возникнуть критические состязания ЛЭ, вызывающие появление ложных сигналов на выходах КС.

Итак, чтобы иметь полную уверенность в том, что полученный в результате синтеза автомат будет выполнять заданные функции, следует потребовать выполнения шести условий:

1. При переходах не должны возникать автоколебательные процессы.
2. КС должна синтезироваться свободной от состязаний.
3. Состояния входа должны изменяться только на соседние.
4. Величина задержки  $\Delta t$  сигналов в ЭП должна быть больше максимальной длительности переходных процессов в КС.
5. Частота изменения состояний входа должна быть ограничена некоторой величиной  $f_{\max}$ , при которой в автомате успевают заканчиваться все переходные процессы в интервале между двумя последовательными изменениями состояний входа.
6. Должны отсутствовать критические состязания ЭП.

Первое и последнее условия являются необходимыми, так как невыполнение их всегда приводит к недетерминированности переходов. Первое условие следует даже ввести в определение асинхронных потенциальных автоматов. Остальные условия являются достаточными, но не необходимыми, т. е. при их соблюдении автомат всегда будет функционировать в соответствии с заданным законом, а при несоблюдении некоторых из них может работать все-таки правильно. Однако следует иметь в виду, что при несоблюдении хотя бы одного достаточного условия не может быть никакой гарантии в том, что автомат будет работать правильно, а значит, в этих случаях после синтеза необходимо производить анализ на соответствие его работы заданному закону функционирования.

В качестве ЭП могут быть использованы линии задержки любого типа. При синтезе автоматов на интегральных микросхемах требуемую величину задержки можно получить с помощью некоторого числа последовательно включенных ЛЭ.

Будем считать, что сигналы  $x_r$  или  $Q_r$ , или  $x_r$  и  $Q_r$  изменяются одновременно, если моменты их изменения разделены интервалом, меньшим чем  $\tau_{\max}$ , где  $\tau_{\max}$  — максимально возможное время переходных процессов в КС. Если никакие два сигнала из  $x_r$  и  $Q_r$  не изменяются одновременно, то для КС можно использовать модель, показанную на рис. 2.14. В этом случае основную модель автомата можно преобразовать к виду, приведенному на рис. 3.2,а ( $\tau_1$  и  $\tau_2$  — паразитные элементы задержки с виртуальной и постоянной задержками соответственно). Паразитные элементы задержки на входах  $x_r$  и выходах  $z_q$  не показаны, так как они, находясь вне цепей обратных связей, не могут оказать сколько-нибудь существенного влияния на работу автомата.



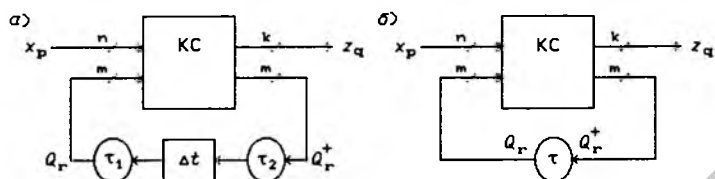


Рис. 3.2

Комбинационная схема в данной модели автомата является безынерционной, а значит, можно исключить из рассмотрения протекающие в ней переходные процессы. На этом основании часть КС, реализующую функции  $Q_r^+ = D_r$ , можно рассматривать как совокупность  $m$  гипотетических безынерционных ЛЭ, на выходах которых включены элементы задержки. Из этого следует, что все понятия, введенные в §§ 2.2 – 2.4, можно использовать и для асинхронных потенциальных автоматов с той лишь разницей, что внутреннее состояние автомата определяется как набор значений выходных сигналов ЭП, а не набор значений выходных сигналов всех ЛЭ, входящих в состав ЛС. В частности, таблицы и графы переходов автоматов по своей структуре должны быть аналогичны таблицам и графам переходов ЛС.

Для анализа автоматов, так же как и для анализа ЛС, можно использовать решение функции переходов относительно устойчивых состояний. Отсутствие решения будет означать, что функция переходов задает некоторый генератор сигналов. Значит, не любая система функций (3.1) является функцией переходов асинхронного потенциального автомата.

При синтезе асинхронных потенциальных автоматов наиболее часто не выполняются третье и четвертое условия, что в ряде случаев может привести к возникновению состязаний устойчивых состояний. Так как все входные сигналы или хотя бы их часть могут поступать от независимого внешнего источника, то проектировщик автомата не может не допустить несоседние изменения состояний входа. Четвертое же условие часто не выполняется умышленно, так как с целью повышения быстродействия и упрощения реализации автомата желательно ЭП вообще не использовать, заменив их триггерами или непосредственными обратными связями. Если ЭП исключить из автомата, то его модель примет вид, показанный на рис. 3.2,б. Отметим, что во многих практических случаях для правильной работы автомата оказывается достаточным наличие паразитных элементов задержки.

### 3.3. Асинхронные потенциальные триггеры и элементы памяти

В литературе обычно термины “элемент памяти” и “триггер” имеют один и тот же смысл, так как основным свойством триггеров является способность запоминания входных воздействий (входной информации) на сколь угодно длительное время. В § 3.1 элементами памяти были названы элементы задержки, назначением которых является запоминание сигналов, подаваемых на их входы, на время протекания переходных процессов в КС, т. е. на сравнительно небольшой интервал времени  $\Delta t$ .

Основным назначением ЭП является строгое упорядочение во времени воздействий входных и внутренних сигналов автомата на КС, что обеспечивается соответствующей задержкой внутренних сигналов относительно входных. Триггеры же, хотя и обладают возможностью длительного хранения входной информации, могут не обеспечить указанной задержки (быстродействие триггера может быть выше быстродействия КС), необходимой для распределения во времени моментов начала воздействия на КС новых значений различных сигналов (входных и внутренних сигналов или нескольких внутренних сигналов при сложных переходах). Поэтому следует различать термины “элемент памяти” и “триггер”.

Чтобы дать точное определение триггера, необходимо ввести понятие о полноте системы переходов автомата. Если для каждой упорядоченной пары внутренних состояний  $(\mu_j, \mu_s)$  имеется хотя бы одно состояние входа  $\nu_i$ , которое переводит автомат из состояния  $\mu_j$  в состояние  $\mu_s$ , то говорят, что автомат обладает *полной системой переходов*. Данное условие должно выполняться как при  $j \neq s$ , так и при  $j = s$ .

Триггеры обычно имеют два выхода: прямой (основной)  $Q$  и инверсный  $\bar{Q}$ . *Асинхронным потенциальным триггером* называется асинхронный потенциальный автомат, имеющий не более двух устойчивых состояний для каждого допустимого состояния входа и обладающий полной системой переходов, внутренние состояния которого отождествляются со значениями выходного сигнала  $Q$ . Таким образом, состояние триггера полностью характеризуется значением его выходного сигнала  $Q$ .

Так как любой автомат задается функциями переходов (3.1) и выхода (3.2), то из данного выше определения следует, что для триггеров  $r = 1$ ,  $q = 1$ ,  $z = Q$ . Ввиду этого закон функционирования триггеров полностью описывается одной только функцией переходов  $Q^+ = f(x_n, \dots, x_1, Q) = f(\nu, Q)$ .

Асинхронные потенциальные триггеры имеют не менее двух

входов. Рассмотрим триггеры с двумя входами, функция переходов которых в общем виде задается уравнением

$$Q^+ = f(\eta, Q) = f(I_2, I_1, Q), \quad (3.8)$$

где  $\eta = (I_2, I_1)$ ,  $I_2, I_1$  — входные сигналы триггеров.

В принципе имеется  $2^{2^3} = 256$  различных функций трех переменных  $I_2, I_1$  и  $Q$ . Однако для задания триггера с двумя входами могут быть использованы только невырожденные функции. Более того, многие невырожденные функции будут различаться лишь перестановкой переменных  $I_2$  и  $I_1$  или заменой прямых сигналов на инверсные. Понятно, что не имеет смысла рассматривать все такие функции, а достаточно взять только одну из них. Кроме того, часть невырожденных функций может задавать автоколебательные ЛС (генераторы сигналов). Так, например, функция переходов вида

$$Q^+ = \bar{Q} \cdot I_1 \vee Q \cdot \bar{I}_2 \quad (3.9)$$

не может описывать закон функционирования асинхронного потенциального триггера. Докажем это с помощью решения данной функции переходов относительно устойчивых состояний:

$$Q = I_1 \vee \bar{h} \cdot \overline{1 \oplus \bar{I}_2} = I_1 \vee \bar{h} \cdot \bar{I}_2.$$

Так как  $\psi_1 \cdot \psi_2 = I_1 \cdot I_2 \neq 0$  при  $I_1 = I_2 = 1$ , то в этом случае ЛС, задаваемая уравнением (3.9), не имеет устойчивых состояний, а значит, должна самовозбуждаться. Действительно, если допускаются значения входных сигналов  $I_1 = I_2 = 1$ , то из выражения (3.9) получим, что  $Q^+ = \bar{Q}$ , а значит, состояние  $Q$  должно самопроизвольно изменяться с 1 на 0 и с 0 на 1. Частота генерируемых сигналов определяется инерционностью ЛЭ, из которых построена ЛС, описываемая функцией переходов (3.9).

Так как триггер имеет только два внутренних состояния, то для его реализации в виде асинхронного потенциального автомата требуется только один ЭП типа  $D$  — элемент задержки.

**Триггеры типа  $R$ - $S$ .** Модель асинхронного потенциального  $R$ - $S$ -триггера как асинхронного потенциального автомата показана на рис. 3.3,а. Такой  $R$ - $S$ -триггер имеет вход  $S$  (*Set*) установки в состояние  $Q = 1$  и вход  $R$  (*Reset*) установки в состояние  $Q = 0$ , причем значения  $R = 1$  и  $S = 1$  одновременно подавать запрещено:

$$S = 1, R = 0 \Rightarrow Q^+ = 1 \text{ (установка состояния 1),}$$

$$S = 0, R = 1 \Rightarrow Q^+ = 0 \text{ (установка состояния 0),}$$

$$S = 0, R = 0 \Rightarrow Q^+ = Q \text{ (сохранение состояния),}$$

$S = 1, R = 1 \Rightarrow Q^+ = \Phi$  (неопределенное состояние, поэтому требуется выполнение условия  $R \cdot S = 0$ ).

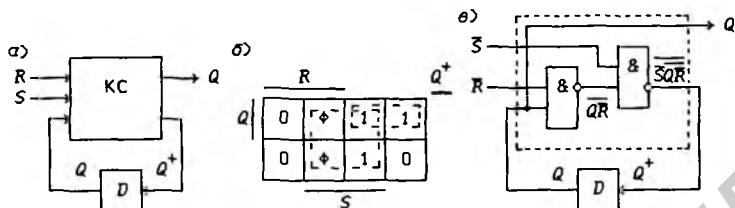


Рис. 3.3

Составив по словесному описанию функции переходов  $R$ - $S$ -триггера таблицу истинности (табл. 3.1), а затем диаграмму Вейча (рис. 3.3,б), получим функцию переходов

$$Q^+ = S \vee Q \cdot \bar{R}, \quad R \cdot S = 0. \quad (3.10)$$

Второе соотношение в (3.10) указывает, что запрещается одновременно подавать значения  $R = 1$  и  $S = 1$ . Первое выражение в (3.10) используется для построения схемы ЭП типа  $R$ - $S$  в базе И-НЕ:

$$Q^+ = S \vee Q \cdot \bar{R} = \overline{\overline{S} \cdot \overline{Q \cdot \bar{R}}}. \quad (3.11)$$

На рис. 3.3,в показана схема ЭП типа  $R$ - $S$ , выполненная на ЛЭ И-НЕ в соответствии с (3.11).

Таблица 3.1. Функция переходов  $R$ - $S$ -триггера

$i$	$R$	$S$	$Q$	$Q^+$	$i$	$R$	$S$	$Q$	$Q^+$
0	0	0	0	0	4	1	0	0	0
1	0	0	1	1	5	1	0	1	0
2	0	1	0	1	6	1	1	0	Ф
3	0	1	1	1	7	1	1	1	Ф

Отличие триггера от ЭП состоит только в отсутствии асинхронного потенциального элемента задержки  $D$ , необходимого для удовлетворения четвертого условия синтеза асинхронных потенциальных автоматов. Замкнув обратную связь без элемента задержки  $D$ , получим схему  $R$ - $S$ -триггера на рис. 3.4,а. Анализ схемы (§ 2.4) показывает, что триггер в устойчивых состояниях имеет прямой  $Q$  и инверсный  $\bar{Q}$  выходы. На рис. 3.4,б представлены временные диаграммы, поясняющие работу  $R$ - $S$ -триггера, из которых следует, что при переходных процессах на время задержки сигналов в одном ЛЭ И-НЕ значения выходных сигналов  $Q$  и  $\bar{Q}$  равны 1 (эти интервалы отмечены точками).

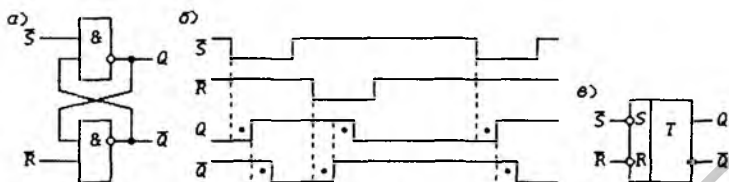


Рис. 3.4

Условное графическое обозначение синтезированного триггера представлено на рис. 3.4,в (активные уровни входных информационных сигналов низкие —  $\bar{S} = 0$  и  $\bar{R} = 0$ ).

Если  $S = S_1 \vee S_2$  и  $R = R_1 \vee R_2$ , то в соответствии с (3.10)

$$Q^+ = S_1 \vee S_2 \vee Q \cdot \overline{R_1 \vee R_2} = \overline{\bar{S}_1 \bar{S}_2} \cdot \overline{\bar{R}_1 \bar{R}_2}. \quad (3.12)$$

На рис. 3.5 показана схема, построенная на основании функции переходов (3.12), где

$$S_1 = I_1 I_2, S_2 = I_3 I_4, R_1 = I_5 I_8, R_2 = I_7 I_8,$$

т. е.  $S = I_1 I_2 \vee I_3 I_4$ ,  $R = I_5 I_8 \vee I_7 I_8$  (использован  $R$ - $S$ -триггер с входной логикой).

Из рис. 3.3,б следует, что

$$\bar{Q}^+ = R \vee \bar{S} \cdot \bar{Q} \Rightarrow Q^+ = \overline{R \vee \bar{Q} \vee \bar{S}}. \quad (3.13)$$

Выражению (3.13) соответствует схема  $R$ - $S$ -триггера на рис. 3.6,а, выполненная на ЛЭ ИЛИ-НЕ (двойственная по отношению к схеме на рис. 3.4,а). На рис. 3.6,б показаны временные диаграммы, поясняющие работу триггера. На время переходного процесса выходные сигналы триггера  $Q$  и  $\bar{Q}$  принимают одинаковые значения, равные 0. Условное графическое обозначение этого триггера показано на рис. 3.6,в (активные уровни входных информационных сигналов высокие —  $R = 1$  и  $S = 1$ ). Если в схеме  $R$ - $S$ -триггера поменять местами входы  $Q$  и  $\bar{Q}$ , то в силу ее симметричности входы  $Q$  и  $\bar{Q}$  поменяются местами. Об этом следует помнить, так как обычно в микросхемах выводится только прямой выход триггера (например, ИС 555TP2 — четыре  $R$ - $S$ -триггера с прямыми выходами).

В § 1.6 при решении функции переходов  $R$ - $S$ -триггера были

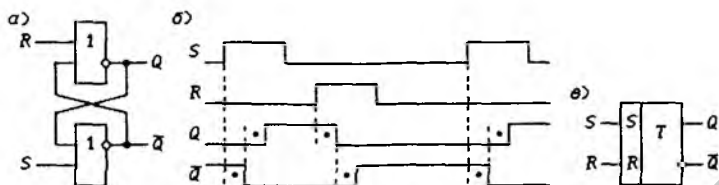


Рис. 3.6

получены функции возбуждения

$$S = Q^+ \cdot \bar{Q} \vee \bar{h}_1 \cdot Q^+, \quad R = \bar{Q}^+ \cdot Q \vee h_2 \cdot \bar{Q}^+, \quad (3.14)$$

которые используются при синтезе на  $R$ - $S$ -триггерах как асинхронных потенциальных, так и синхронных автоматов.

На рис. 3.7 приведена основная модель асинхронного потенциального триггера с тремя информационными входами. Методика синтеза триггеров других типов, имеющих два, три и большее число входов, аналогична изложенной методике синтеза  $R$ - $S$ -триггера. Элементы задержки в дальнейшем сразу будем исключать, так как они применяются только в соответствующих ЭП. Использование же элементов задержки в триггерах существенно уменьшило бы их быстродействие.

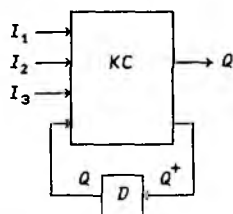


Рис. 3.7

Если элементы задержки исключены, то вместо основной модели (рис. 3.7) можно использовать модель с  $R$ - $S$ -триггером в цепи обратной связи и синтезировать другие типы триггеров на его основе. Так как  $R$ - $S$ -триггер обладает некоторой паразитной задержкой, то новая модель ближе к основной, чем модель с прямым замыканием обратной связи.

**Триггеры типа  $D$ - $L$ .** Асинхронный потенциальный  $D$ - $L$ -триггер имеет два информационных входа:  $D$  (*Data* — данные) и  $L$  (*Load* — нагрузка). Выходной сигнал  $Q$  принимает значение  $D$  при  $L = 1$ , а при  $L = 0$  состояние триггера сохраняется независимо от значения сигнала  $D$ , т.е.  $Q^+ = D$  при  $L = 1$  и  $Q^+ = Q$  при  $L = 0$  (табл. 3.2). Из диаграммы Вейча на рис. 3.8,а, составленной по табл. 3.2, следует, что функция переходов  $D$ - $L$ -триггера

$$Q^+ = D \cdot L \vee Q \cdot \bar{L}, \quad (3.15)$$

а МДНФ функции  $Q^+$ , свободная от состязаний, имеет вид:

$$Q^+ = D \cdot L \vee Q \cdot \bar{L} \vee Q \cdot D. \quad (3.16)$$

Таблица 3.2. Функция переходов  
D-L-триггера

$i$	$L$	$D$	$Q$	$Q^+$	$i$	$L$	$D$	$Q$	$Q^+$
0	0	0	0	0	4	1	0	0	0
1	0	0	1	1	5	1	0	1	0
2	0	1	0	0	6	1	1	0	1
3	0	1	1	1	7	1	1	1	1

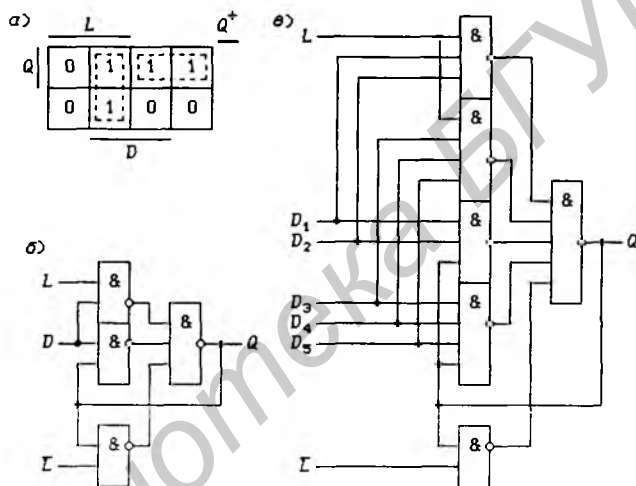


Рис. 3.8

Представив функцию (3.16) в базисе И-НЕ

$$Q^+ = \overline{\overline{D} \cdot \overline{L} \cdot \overline{Q} \cdot \overline{L} \cdot \overline{Q} \cdot \overline{D}}, \quad (3.17)$$

получим схему D-L-триггера (рис. 3.8,б), называемого *триггером Эрла* [24]. Этот триггер имеет наибольшее быстродействие из всех триггеров, которые можно использовать в конвейерных устройствах обработки информации, содержащих несколько ступеней ее преобразования. Действительно, пусть результат  $D$  преобразования данных  $D_i$  получается в соответствии с выражением  $D = D_1 D_2 \vee D_3 D_4 D_5$ . Подставив его в (3.16), получим:

$$\begin{aligned} Q^+ &= D_1 D_2 L \vee D_3 D_4 D_5 L \vee Q \cdot \overline{L} \vee Q \cdot D_1 D_2 \vee Q \cdot D_3 D_4 D_5 = \\ &= \overline{\overline{D_1 D_2 L} \cdot \overline{D_3 D_4 D_5 L} \cdot \overline{Q} \cdot \overline{L} \cdot \overline{Q} \cdot \overline{D_1 D_2} \cdot \overline{Q} \cdot \overline{D_3 D_4 D_5}}. \end{aligned} \quad (3.18)$$

На рис. 3.8,в представлен триггер Эрла, построенный в соответствии с (3.18), из которого видно, что КС (при разрыве обратной связи с выхода  $Q$ ) имеет второй порядок, которому соответствует наибольшее быстродействие при реализации сложных функций. Таким же способом в триггер Эрла может быть встроена КС, выполняющая любые заданные преобразования информационных сигналов  $D_i$ . Несмотря на сложность и схемное многообразие триггеров Эрла, они находят широкое применение при построении векторных вычислительных машин [24].

Из рис. 3.8,а следует, что МДНФ функции  $\bar{Q}^+$ , свободной от состязаний, равна

$$\bar{Q}^+ = \bar{D} \cdot L \vee \bar{Q} \cdot \bar{L} \vee \bar{Q} \cdot \bar{D}.$$

Приведа эту функцию к виду

$$Q^+ = \overline{\bar{D} \cdot L \vee \bar{Q} \vee \bar{D} \cdot \bar{L}}, \quad (3.19)$$

получим схему  $D$ - $L$ -триггера, выполненную на ЛЭ И-ИЛИ-НЕ (рис. 3.9,а). Как показывает анализ, эта схема в устойчивых состояниях имеет прямой  $Q$  и инверсный  $\bar{Q}$  выходные сигналы, что необходимо для триггеров широкого назначения.

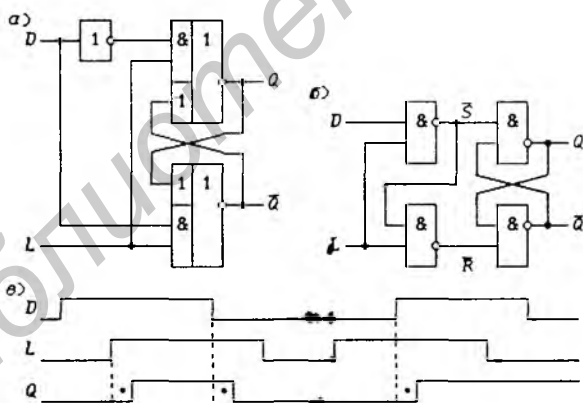


Рис. 3.9

Используя скобочные формы, функцию (3.16) можно привести к виду

$$Q^+ = D \cdot L \vee Q \cdot (\bar{L} \vee D) = D \cdot L \vee Q \cdot (D \cdot L \vee \bar{L}) = \overline{\bar{D} \cdot \bar{L} \vee Q \cdot \bar{D} \cdot \bar{L} \vee L}. \quad (3.20)$$

Этому выражению соответствует схема триггера на рис. 3.9,б. Он обладает значительно меньшим быстродействием, чем



триггер Эрла, но имеет прямой  $Q$  и инверсный  $\bar{Q}$  выходы и требует подачи только прямого сигнала загрузки  $L$ .

В § 1.6 были получены функции возбуждения  $D$ - $L$ -триггера:

$$D = Q^+ \cdot \bar{Q} \vee \bar{h}_2 \cdot (Q^+ \vee \bar{Q}), \quad L = Q^+ \oplus Q \vee \bar{h}_1 \cdot \overline{Q^+ \oplus \bar{h}_2}.$$

Эти функции возбуждения можно использовать при синтезе как асинхронных потенциальных, так и синхронных автоматов. Методика синтеза автоматов на  $D$ - $L$ -триггерах подробно изложена в [10].

Из функции переходов (3.15) при  $L = 1$  следует, что  $Q^+ = D$ , т. е. триггер превращается в ЛЭ, выполняющий функцию повторителя и инвертора. Так как при  $L = 1$  любое изменение информационного сигнала  $D$  сразу же появляется на выходах  $Q$  и  $\bar{Q}$ , то  $D$ - $L$ -триггеры называются “прозрачными”. Управляющий сигнал  $L$  позволяет при необходимости переключать  $D$ - $L$ -триггеры на прямую передачу информационного сигнала  $D$  на выход  $Q$ . На рис. 3.9,б показаны временные диаграммы, поясняющие работу  $D$ - $L$ -триггеров.

При практическом использовании  $D$ - $L$ -триггера в нем обычно фиксируется значение сигнала  $D$  в момент перехода управляющего сигнала  $L$  с 1 на 0 (с активного уровня на неактивный), поэтому в литературе  $D$ - $L$ -триггеры иногда называются защелками, или фиксаторами. Если в схеме  $D$ - $L$ -триггера вход  $D$  заменить на инверсный  $\bar{D}$ , то выходы  $Q$  и  $\bar{Q}$  поменяются местами. Это свойство можно использовать при проектировании устройств на микросхемах, в которых выведены только прямые выходы  $D$ - $L$ -триггеров (например, 155ТМ5, 555ИР22 и 1533ИР33).

**Триггеры типа  $D$ - $L$ - $R$  с приоритетом входа  $R$ .** В интегральных схемах, реализующих некоторые функциональные узлы, часто используются  $D$ - $L$ -триггеры с добавочным входом  $R$  установки нулевого состояния (сброса) — триггеры типа  $D$ - $L$ - $R$ . Входы загрузки  $L$  и сброса  $R$  могут иметь различный приоритет, т. е. при  $L = R = 1$  может производиться либо загрузка данных  $D$ , либо сброс триггера в нулевое состояние. Функция переходов асинхронного потенциального  $D$ - $L$ - $R$ -триггера с приоритетом входа  $R$  задается табл. 3.3. Составив диаграмму Вейча (рис. 3.10,а), получим

$$Q^+ = D \cdot L \cdot \bar{R} \vee Q \cdot \bar{L} \cdot \bar{R}. \quad (3.21)$$

Из рис. 3.9,б видно, что в  $D$ - $L$ -триггер в качестве составной части входит  $R$ - $S$ -триггер. Действительно, если сделать синтез  $D$ - $L$ -триггера на ЭП типа  $R$ - $S$ , то могла бы быть получена эта же схема. Синтез более сложных триггеров, чем  $D$ - $L$ -триггер,

Таблица 3.3. Функция переходов  
D-L-R-триггера с приоритетом входа R

<i>i</i>	R	L	D	Q	Q <sup>+</sup>	<i>i</i>	R	L	D	Q	Q <sup>+</sup>
0	0	0	0	0	0	4	0	1	0	0	0
1	0	0	0	1	1	5	0	1	0	1	0
2	0	0	1	0	0	6	0	1	1	0	1
3	0	0	1	1	1	7	0	1	1	1	1
						8-15	1	Φ	Φ	Φ	0

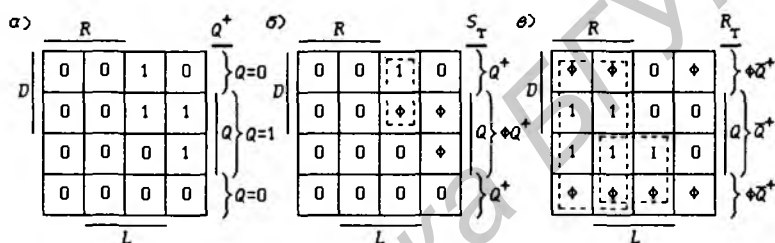


Рис. 3.10

удобнее производить на R-S-триггерах, так как имеет место декомпозиция функций возбуждения: вместо одной функции возбуждения D используются две — R и S, в силу чего выражение для каждой из них должно быть проще, чем выражение для функции возбуждения D.

Из (3.14) следует, что

$$S = \begin{cases} Q^+, & \text{если } Q = 0, \\ \bar{h}_1 Q^+, & \text{если } Q = 1; \end{cases} \quad (3.22)$$

$$R = \begin{cases} \bar{h}_2 \bar{Q}^+, & \text{если } Q = 0, \\ \bar{Q}^+, & \text{если } Q = 1, \end{cases} \quad (3.23)$$

где  $\bar{h}_1 = \bar{h}_1(Q, Q^+)$ ,  $\bar{h}_2 = \bar{h}_2(Q, Q^+)$  — полностью неопределенные функции, произвольные значения которых  $\Phi$  должны заноситься в диаграммы Вейча для функций возбуждения S и R с учетом соотношений  $\Phi \cdot 0 = 0$ ,  $\Phi \cdot 1 = \Phi$ ,  $\bar{\Phi} = \Phi$ . Диаграммы Вейча для функции возбуждения  $S_T$  (рис. 3.10, б) составляются по диаграмме Вейча для функции  $Q^+$  (рис. 3.10, а) на основании соотношений (3.22), а для функции возбуждения  $R_T$  (рис. 3.10, в) — на основании соотношений (3.23). Из диаграмм Вейча

следует, что функции возбуждения  $R$ - $S$ -триггера.

$$S_T = D \cdot L \cdot \bar{R}, \quad R_T = \bar{D} \cdot L \vee R.$$

Если  $R$ - $S$ -триггер выполнен на ЛЭ И-НЕ, то требуется использовать инверсные функции

$$\bar{S}_T = \overline{D \cdot L \cdot \bar{R}} = \overline{D \cdot L} \vee R, \quad \bar{R}_T = \overline{\bar{D} \cdot L \vee R} = \overline{\bar{D} \cdot L} \cdot \overline{L \vee R}. \quad (3.24)$$

Этим функциям возбуждения соответствует схема на рис. 3.11. Легко заметить, что при  $R = 0$  из данной схемы получается схема  $D$ - $L$ -триггера на рис. 3.9,б. Триггеры типа  $D$ - $L$ - $R$  с приоритетом входа  $R$  выпускаются в виде ИС, например ИС 1533ИР34.

**Триггеры типа  $D$ - $L$ - $R$  с приоритетом входа  $L$ .** Функция переходов асинхронного потенциального  $D$ - $L$ - $R$ -триггера с приоритетом входа  $L$  задается табл.

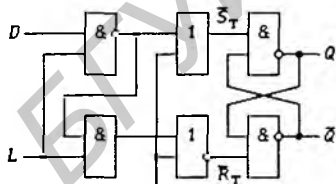


Рис. 3.11

3.4. Из диаграммы Вейча для функции переходов  $Q^+$  (рис. 3.12,а) следует, что

$$Q^+ = D \cdot L \vee Q \cdot \bar{L} \cdot \bar{R} = D \cdot L \vee Q \cdot \bar{L} \vee \bar{R}. \quad (3.25)$$

Таблица 3.4. Функция переходов  $D$ - $L$ - $R$ -триггера с приоритетом входа  $L$

$i$	$L$	$D$	$R$	$Q$	$Q^+$	$i$	$L$	$D$	$R$	$Q$	$Q^+$
0	0	0	0	0	0	5	0	1	0	1	1
1	0	0	0	1	1	6	0	1	1	0	0
2	0	0	1	0	0	7	0	1	1	1	0
3	0	0	1	1	0	8-11	1	0	$\Phi$	$\Phi$	0
4	0	1	0	0	0	12-15	1	1	$\Phi$	$\Phi$	1

Составив по изложенной выше методике диаграммы Вейча для функций возбуждения  $R$ - $S$ -триггера  $S_T$  и  $R_T$  (рис. 3.12,б), получим свободные от состязаний формы:

$$S_T = D \cdot L, \quad R_T = \bar{D} \cdot L \vee R \cdot \bar{L} \vee \bar{D} \cdot R.$$

Произведя элементарные преобразования, функции возбуждения можно представить в форме:

$$\bar{S}_T = \bar{D} \cdot \bar{L}, \quad \bar{R}_T = \bar{D} \cdot \bar{L} \cdot (L \vee R). \quad (3.26)$$

Функциям возбуждения (3.26) соответствует схема на рис.

Рис. 3.12

3.13. Легко заметить, что при  $R \equiv 0$  получается схема  $D-L$ -триггера на рис. 3.9,б. Триггеры типа  $D-L-R$  с приоритетом входа  $L$  использованы, например в ИС 555ИР30 и 589ИР12.

**Триггеры типа  $R-S-L$ .** Функция переходов асинхронного потенциального  $R-S-L$ -триггера задается табл. 3.5 (при  $L = 1$  триггер выполняет функции  $R-S$ -триггера; при  $L = 0$  состояние триггера не изменяется независимо от значений сигналов  $R$  и  $S$ ; значения сигналов  $R = S = L = 1$  подавать запрещено). На рис. 3.14 представлены диаграммы Вейча для функции  $Q^+$  и функций возбуждения  $R-S$ -триггера  $S_T$  и  $R_T$ , из которых следует, что функция переходов

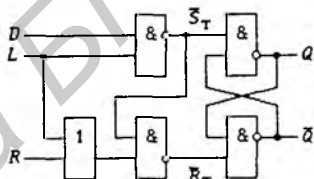


Рис. 3.13

Таблица 3.5. Функция переходов  $R-S-L$ -триггера

$i$	$L$	$R$	$S$	$Q$	$Q^+$	$i$	$L$	$R$	$S$	$Q$	$Q^+$
0, 2, 4, 6	0	$\Phi$	$\Phi$	0	0	11	1	0	1	1	1
1, 3, 5, 7	0	$\Phi$	$\Phi$	1	1	12	1	1	0	0	0
8	1	0	0	0	0	13	1	1	0	1	0
9	1	0	0	1	1	14	1	1	1	0	$\Phi$
10	1	0	1	0	1	15	1	1	1	1	$\Phi$

$$Q^+ = S \cdot L \vee Q \cdot \bar{R} \vee Q \cdot \bar{L}, \quad R \cdot S \cdot L = 0, \quad (3.27)$$

а функции возбуждения  $S_T = S \cdot L$ ,  $R_T = R \cdot L$ . Этим функциям соответствует схема, показанная на рис. 3.15,а. Если в (3.27) подставить значения  $S = \bar{R} = D$ , то получим выражение

$$Q^+ = D \cdot L \vee Q \cdot D \vee Q \cdot \bar{L} = D \cdot L \vee Q \cdot \bar{L},$$

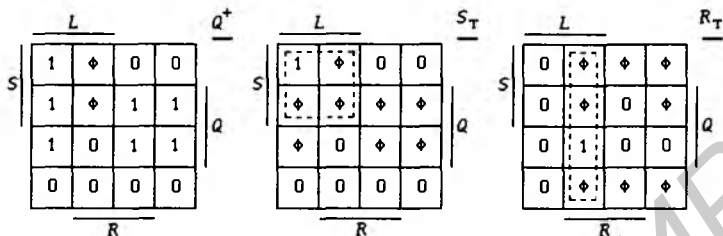


Рис. 3.14

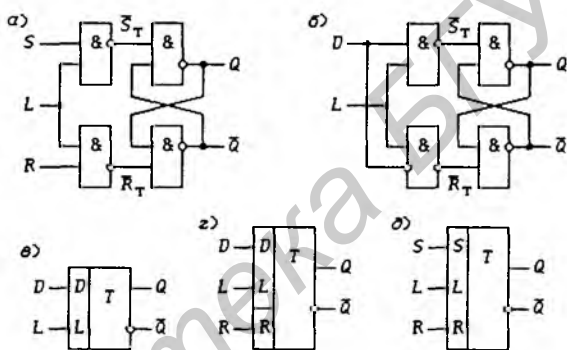


Рис. 3.15

описывающее функцию переходов  $D$ - $L$ -триггера. Соответствующая схема  $D$ - $L$ -триггера представлена на рис. 3.15,б. Условные графические обозначения триггеров типов  $D$ - $L$ ,  $D$ - $L$ - $R$  и  $R$ - $S$ - $L$  приведены на рис. 3.15,в.

**Триггеры типа  $D_N$ - $L_N$ .** Можно синтезировать триггеры, имеющие  $N$  пар входов  $D$  и  $L$ , которые функционируют как  $D$ - $L$ -триггеры для каждой пары сигналов  $D$  и  $L$ . Такие триггеры назовем  $D_N$ - $L_N$ -триггерами. Если несколько сигналов  $L_i = 1$  ( $i = 0 \dots N - 1$ ), то триггер устанавливается в состояние  $Q = 1$  при хотя бы одном сигнале  $D_i = 1$ . Табл. 3.6 задает функцию переходов  $D_N$ - $L_N$ -триггера при  $N = 2$ . Из диаграмм Вейча (рис. 3.16,а), составленных для функций  $Q^+$ ,  $S$  и  $R$  по табл. 3.6, следует, что функция переходов

$$Q^+ = D_1 L_1 \vee D_0 L_0 \vee Q \cdot \overline{L_1} \vee \overline{L_0}, \quad (3.28)$$

а функции возбуждения в форме, свободной от состояний,

$$S = D_1 L_1 \vee D_0 L_0, \quad (3.29)$$

Таблица 3.6. Функция переходов  $D_N-L_N$ -триггера

$i$	$L_1L_0D_1D_0Q$	$Q^+$	$i$	$L_1L_0D_1D_0Q$	$Q^+$
0	0 0 0 0 0	0	16	1 0 0 0 0	0
1	0 0 0 0 1	1	17	1 0 0 0 0	0
2	0 0 0 1 0	0	18	1 0 0 1 0	0
3	0 0 0 1 1	1	19	1 0 0 1 1	0
4	0 0 1 0 0	0	20	1 0 1 0 0	1
5	0 0 1 0 1	1	21	1 0 1 0 1	1
6	0 0 1 1 0	0	22	1 0 1 1 0	1
7	0 0 1 1 1	1	23	1 0 1 1 1	1
8	0 1 0 0 0	0	24	1 1 0 0 0	0
9	0 1 0 0 1	0	25	1 1 0 0 1	0
10	0 1 0 1 0	1	26	1 1 0 1 0	1
11	0 1 0 1 1	1	27	1 1 0 1 1	1
12	0 1 1 0 0	0	28	1 1 1 0 0	1
13	0 1 1 0 1	0	29	1 1 1 0 1	1
14	0 1 1 1 0	1	30	1 1 1 1 0	1
15	0 1 1 1 1	1	31	1 1 1 1 1	1

$$R = \overline{D}_1L_1\overline{L}_0 \vee \overline{D}_0\overline{L}_1L_0 \vee \overline{D}_1\overline{D}_0L_1 \vee \overline{D}_1\overline{D}_0L_0 = \overline{D}_1L_1 \vee \overline{D}_0L_0L_1 \vee \overline{D}_1L_1 \vee \overline{D}_0L_0L_0 = \overline{S} \cdot L_1 \vee \overline{S} \cdot L_0. \quad (3.30)$$

На рис. 3.16,б показана схема  $D_N-L_N$ -триггера для  $N = 2$ , составленная по функциям возбуждения (3.29) и (3.30) (без входов, показанных штриховыми линиями) и  $N = 3$  (со входами, показанными штриховыми линиями). Принцип построения  $D_N-L_N$ -триггера для любого значения  $N$  ясен из рис. 3.16,б. На рис. 3.16,б показаны условные графические обозначения  $D_N-L_N$ -триггеров для  $N = 2$  и 3. Триггеры типа  $D_N-L_N$  при  $N = 3$  использованы в ИС 155ХЛ1 и 531ХЛ1.

**Аналитический метод синтеза и анализа триггеров.** Выше изложен путь перехода от словесного описания закона функционирования триггера через таблицу истинности и диаграмму Вейча к аналитическому его заданию с помощью функции переходов. Однако такой путь представляет интерес только для первоначального знакомства с задачей описания триггеров, так как в нем отсутствуют регулярные правила, позволяющие получить функции переходов триггеров любого типа, в том числе и не описанных в литературе. Кроме того, словесное описание имеет недостаток, заключающийся в возможности неоднозначного его истолкования. Существенным же недостатком таблиц истинности является их громоздкость при большом числе информационных входов триггера.

Поскольку конечной целью является получение функции перехо-

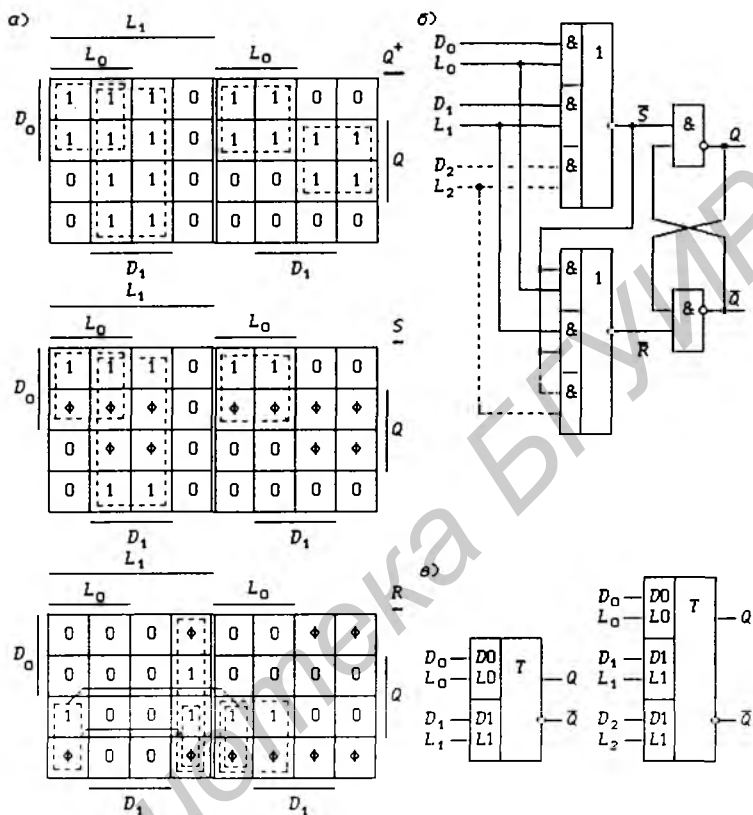


Рис. 3.16

дов в аналитической форме, то желательно иметь в распоряжении исключительно аналитический метод их синтеза. Аналитическим методам присущи точность (недвусмысленность), краткость и простота использования при хорошем владении методами преобразования логических выражений, изложенными в гл. 1. Кроме того, аналитический метод получения функций переходов позволяет глубже понять связь между различными типами триггеров и может быть применен и для синхронных триггеров с дополнительными асинхронными потенциальными входами. Мощным приемом для построения аналитического метода является применение мультиплексных функций типа (1.34) и (1.35). Покажем это.

Элемент задержки  $D$  (элемент памяти типа  $D$ ) описывается мультиплексной функцией переходов (МФП)

$$Q^+ = f(D, Q) = 0 \cdot \bar{D} \vee 1 \cdot D = D = f_0, \quad (3.31)$$

т. е. сигнал  $D$  производит коммутацию констант 0 и 1. Данная МФП

— вырожденная, так как не зависит от переменной  $Q$ . Элемент задержки является самым примитивным ЭП, поэтому он используется в основных моделях автоматов. Добавляя число входов у элемента задержки, можно получать ЭП и других типов.

Добавим вход  $R$ , производящий коммутацию функции  $f_0$  и константы 0. Тогда МФП будет иметь вид

$$Q^+ = f_0 \cdot \bar{R} \vee 0 \cdot R = D \cdot \bar{R} = f_1. \quad (3.32)$$

Соответствующий этой функции ЭП будет представлять собой элемент задержки, на входе которого включен ЛЭ И. Такой ЭП следует назвать элементом памяти типа  $D-R$ .

Добавим к полученному ЭП вход  $S$ , производящий коммутацию функции  $f_1$  и константы 1. Тогда МФП будет иметь вид:

$$Q^+ = f_1 \cdot \bar{S} \vee 1 \cdot S = D \cdot \bar{R} \vee S. \quad (3.33)$$

Такой ЭП следует назвать элементом памяти типа  $D-R-S$ . Функции переходов ЭП (3.32) и (3.33) не зависят от сигнала  $Q$ , поэтому они не являются триггерами.

Для синтеза автоматов на этих ЭП следует найти их функции возбуждения. Так, например, решение уравнения (3.32) дает

$$D = Q^+ \vee h_2, \quad R = (h_1 \vee h_2) \cdot \bar{Q}^+.$$

При  $h_2 \equiv$  функции возбуждения  $D \equiv 1$  и  $R = \bar{Q}^+$ , т.е. получился элемент задержки со входом  $R$  и инверсным выходом  $\bar{Q}$ .

Функции переходов триггеров описываются выражениями типа (3.8), основной особенностью которых является вхождение в них состояния  $Q$  в качестве аргумента, что обеспечивает длительное хранение информации (длительное запоминание входных воздействий). Поэтому для аналитического описания триггеров следует использовать мультиплексные функции с коммутацией сигнала  $Q$ .

Пусть сигнал  $R$  производит коммутацию сигнала  $Q$  и константы 0, тогда мультиплексная функция

$$Q^+ = f(R, Q) = Q \cdot \bar{R} \vee 0 \cdot R = Q \cdot \bar{R} = f_2.$$

Данная функция не является функцией переходов триггера, так как не обладает полной системой переходов. Действительно, если состояние  $Q = 0$ , то сигнал  $R$  не может установить значение  $Q^+ = 1$ . Поэтому для получения триггера следует добавить еще один сигнал  $S$ , производящий коммутацию функции  $f_2$  и константы 1:

$$Q^+ = f_2 \cdot \bar{S} \vee 1 \cdot S = S \vee Q \cdot \bar{R} = f_3. \quad (3.34)$$

Данная функция обладает полной системой переходов, а значит задает триггер некоторого типа. Функция переходов (3.34) отличается от функции переходов (3.10), так как отсутствует ограничение, задаваемое уравнением  $R \cdot S = 0$ . Поскольку при получении (3.34) последним мультиплексированием производил сигнал  $S$ , то он имеет приоритет по отношению к сигналу  $R$ , т.е. при подаче значений  $R = S = 1$  устанавливается состояние  $Q^+ = 1$ , что следует из (3.34).

Триггер типа  $R-S$  с приоритетом входа  $S$  можно синтезировать на основе  $R-S$ -триггера, описываемого функцией переходов (3.10). В



результате будут получены функции возбуждения  $S_T = S$  и  $R_T = R \cdot \bar{S}$ . По этим функциям можно построить схему на основе  $R$ - $S$ -триггера, приведенного на рис. 3.4,а (для реализации функции  $\bar{R}_T = R \cdot \bar{S}$  следует добавить ЛЭ И-НЕ). Входные сигналы этого триггера будут иметь разные активные уровни:  $R = 1$  и  $\bar{S} = 0$ .

Функция переходов  $R$ - $S$ -триггера с приоритетом входа  $R$  получается мультиплексированием состояния  $Q$  и константы 1 сигналом  $S$  с последующей коммутацией полученной функции и константы 0 сигналом  $R$ :

$$Q^+ = Q \cdot \bar{S} \vee 1 \cdot S = S \vee Q = f_4, \quad Q^+ = f_4 \cdot \bar{R} \vee 0 \cdot R = S \cdot \bar{R} \vee Q \cdot \bar{R}.$$

Этот же результат может быть получен коммутацией функции  $f_3$  (3.34) и константы 0 сигналом  $R$ :

$$Q^+ = f_3 \cdot \bar{R} \vee 0 \cdot R = S \cdot \bar{R} \vee Q \cdot \bar{R}. \quad (3.35)$$

Схему  $R$ - $S$ -триггера с приоритетом входа  $R$  можно построить непосредственно по функции (3.35), переводя ее в базис И-НЕ:

$$Q^+ = \overline{S \cdot \bar{R} \cdot Q \cdot \bar{R}}.$$

Если функцию (3.35) и константу 1 опять прокоммутировать сигналом  $S$ , то заново будет получена функция переходов (3.34)  $R$ - $S$ -триггера с приоритетом входа  $S$ . Такой результат является следствием свойства коммутаторов периодически повторять результат при неизменности коммутируемых функций.

Сигнал  $L$  в  $D$ - $L$ -триггере производит коммутацию сигнала  $Q$  и функции  $f_0$  (3.31), поэтому МФП имеет вид

$$Q^+ = Q \cdot \bar{L} \vee f_0 \cdot L = D \cdot L \vee Q \cdot \bar{L} = f_5, \quad (3.36)$$

что совпадает с (3.15). Добавим вход  $R$ , производящий коммутацию функции  $f_5$  и константы 0. Тогда МФП будет иметь вид

$$Q^+ = f_5 \cdot \bar{R} \vee 0 \cdot R = D \cdot L \cdot \bar{R} \vee Q \cdot \bar{L} \cdot \bar{R} = f_6, \quad (3.37)$$

что совпадает с (3.21). Так как сигнал  $R$  последним производит коммутацию, то он имеет приоритет по отношению к сигналу  $L$ .

Пусть теперь тот же сигнал  $L$  производит коммутацию функций  $f_6$  и  $f_5$ :

$$\begin{aligned} Q^+ &= f_6 \bar{L} \vee f_5 L = (D \cdot L \cdot \bar{R} \vee Q \cdot \bar{L} \cdot \bar{R}) \cdot \bar{L} \vee (D \cdot L \vee Q \cdot \bar{L}) \cdot L = \\ &= D \cdot L \vee Q \cdot \bar{L} \cdot \bar{R} = f_7, \end{aligned} \quad (3.38)$$

что совпадает с (3.25). Здесь вход  $L$  имеет приоритет по отношению ко входу  $R$ , так как он последним производил коммутацию. Этот же результат может быть получен коммутацией сигналом  $L$  функций  $f_6$  и  $f_0$  (3.31).

Если функции  $f_6$  и  $f_5$  в выражении (3.38) поменять местами, то получится  $D$ - $L$ - $R$ -триггер нового типа:

$$Q^+ = f_5 \cdot \bar{L} \vee f_6 \cdot L = D \cdot L \cdot \bar{R} \vee Q \cdot \bar{L}. \quad (3.39)$$

Здесь ни один из входов не имеет приоритета.

Коммутация сигналом  $ML$  (*Master Load*) функций  $f_6$  (3.37) и  $f_0$  (3.31) дает МФП

$$Q^+ = f_6 \cdot \overline{ML} \vee f_0 \cdot ML = D \cdot (ML \vee L \cdot \overline{R}) \vee Q \cdot \overline{ML \vee L \vee R},$$

описывающую  $D$ - $L$ - $R$ - $L$ -триггер с двумя входами загрузки  $L$  и  $ML$  и приоритетами информационных входов:  $ML$  — наибольший приоритет,  $R$  — средний приоритет,  $L$  — наименьший приоритет.

Коммутация сигналом  $MR$  (*Master Reset*) функции  $f_7$  (3.38) и константы 0 дает МФП

$$Q^+ = f_7 \cdot \overline{MR} \vee 0 \cdot MR = D \cdot L \cdot \overline{MR} \vee Q \cdot \overline{MR \vee L \vee R},$$

описывающую  $D$ - $L$ - $R$ - $R$ -триггер с двумя входами сброса  $R$  и  $MR$  и приоритетами информационных входов:  $MR$  — наибольший приоритет,  $L$  — средний приоритет,  $R$  — наименьший приоритет.

По функциям переходов триггеров достаточно легко установить, какие значения входных сигналов изменяют их состояния. Для этого удобно использовать оператор переходов  $d$ . Действительно, состояние триггера изменяется с 1 на 0, если  $dQ^+ = 1$ , и с 0 на 1, если  $d\overline{Q}^+ = 1$ , где в соответствии с определением оператора переходов (2.1)

$$dQ^+ = \overline{Q}^+ \cdot Q, \quad d\overline{Q}^+ = Q^+ \cdot \overline{Q}. \quad (3.40)$$

На основании (3.39) и (3.40) будем иметь:

$$dQ^+ = (\overline{D} \cdot L \vee R \cdot L) \cdot Q, \quad d\overline{Q}^+ = D \cdot L \cdot \overline{R} \cdot \overline{Q},$$

т. е.  $D$ - $L$ - $R$ -триггер без приоритетных входов изменяет состояние с 1 на 0 под воздействием значения функции  $\overline{D} \cdot L \vee R \cdot L = 1$ , а с 0 на 1 — под воздействием значения функции  $D \cdot L \cdot \overline{R} = 1$ . Из последних соотношений наглядно видно, что приоритета не имеет ни один из входов (сигналы  $L$  и  $R$  во всех случаях связаны операцией  $\&$ ).

Для других типов триггеров в соответствии с (3.10), (3.34) – (3.38) и (3.40) будем иметь:

$dQ^+ = R \cdot Q$ ,  $d\overline{Q}^+ = S \cdot \overline{Q}$  для  $R$ - $S$ -триггера (3.10) (при получении  $R \cdot Q$  следует использовать условие  $R \cdot S = 0$ );

$dQ^+ = \overline{S} \cdot R \cdot Q$ ,  $d\overline{Q}^+ = S \cdot \overline{Q}$  для  $R$ - $S$ -триггера (3.34) с приоритетом сигнала  $S$ ;

$dQ^+ = R \cdot Q$ ,  $d\overline{Q}^+ = S \cdot \overline{R} \cdot \overline{Q}$  для  $R$ - $S$ -триггера (3.35) с приоритетом сигнала  $R$ ;

$dQ^+ = \overline{D} \cdot L \cdot Q$ ,  $d\overline{Q}^+ = D \cdot L \cdot \overline{Q}$  для  $D$ - $L$ -триггера (3.36);

$dQ^+ = (\overline{D} \cdot L \vee R) \cdot Q$ ,  $d\overline{Q}^+ = D \cdot L \cdot \overline{R} \cdot \overline{Q}$  для  $D$ - $L$ - $R$ -триггера (3.37) с приоритетом сигнала  $R$ ;

$dQ^+ = (\overline{D} \cdot L \vee R \cdot \overline{L}) \cdot Q$ ,  $d\overline{Q}^+ = D \cdot L \cdot \overline{Q}$  для  $D$ - $L$ - $R$ -триггера (3.38) с приоритетом сигнала  $L$ .

Уже из этих элементарных примеров видно, сколь эффективен аналитический метод синтеза и анализа последовательностных схем. Кроме того, он всегда точно и исчерпывающе дает ответ на все поставленные вопросы.

### 3.4. Задание асинхронных потенциальных автоматов таблицами и графами переходов

Асинхронные потенциальные автоматы, более сложные, чем триггеры синтезируются на основе двух и большего числа ЭП. Для увеличения быстродействия автомата ЭП типа  $D$  обычно исключаются, так же как и при проектировании асинхронных потенциальных триггеров. На рис. 3.17, *a* показана общая модель асинхронного потенциального автомата с  $m$  обратными связями, которые появляются при исключении  $m$  ЭП, а на рис. 3.17, *б* — общая модель с  $m$  асинхронными потенциальными триггерами, каждый из которых имеет по  $l_r$  информационных входов ( $r = 1, 2, \dots, m$ ; число входов у триггеров может быть разным). На основе этих моделей и производится проектирование любых асинхронных потенциальных автоматов.

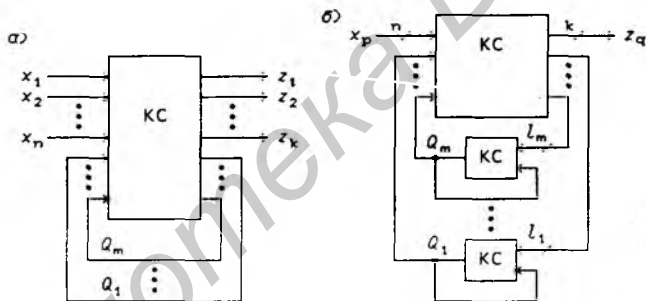


Рис. 3.17

**Таблицы переходов.** Основной задачей автомата является реализация соответствия между входными и выходными последовательностями. Множество допустимых входных последовательностей бесконечно, поэтому не представляется возможным составить таблицу соответствия между всеми входными и выходными последовательностями. В инженерной практике законы функционирования автоматов формулируются сначала словесно или задаются с помощью временных диаграмм. Однако эти описания поведения автоматов не являются математически строгими, поэтому необходим переход к такому способу задания автоматов, которые позволили бы установить соответствие между бесконечными множествами входных и выходных последовательностей. Одним из способов задания автоматов, удобным для их синтеза, являются таблицы переходов.

Для задания автомата с помощью таблицы переходов необходимо определить его функции переходов и выхода (3.3.):

$\mu^+ = f(\nu, \mu)$  и  $\lambda = \varphi(\nu, \mu)$ , т. е. каждой паре  $(\nu_i, \mu_j)$  следует поставить в соответствие некоторые значения функций

$$\mu_{ij}^+ = f(\nu_i, \mu_j) = \mu_s, \quad \lambda_{ij} = \varphi(\nu_i, \mu_j) = \lambda_l.$$

Данное соответствие довольно просто задается табличным методом.

Таблица переходов асинхронного потенциального автомата (табл. 3.7) состоит из столбцов, число которых равно числу допустимых состояний входа автомата ( $\leq 2^n$ , где  $n$  — число входных сигналов автомата), и строк, число которых равно числу внутренних состояний автомата ( $\leq 2^m$ , где  $m$  — число ЭП). Поэтому каждая клетка таблицы переходов, расположенная в столбце  $\nu_i$  и строке  $\mu_j$ , соответствует паре  $(\nu_i, \mu_j)$ . В клетках таблицы переходов указываются значения функции  $\mu_{ij}^+ = \mu_s$ , соответствующие парам  $(\nu_i, \mu_j)$ , причем значения  $\mu_{ij}^+ = \mu_j$ , соответствующие устойчивым состояниям, отмечаются круглыми скобками. Если некоторые переходы не заданы (в недоопределенном автомате), то в соответствующих клетках ставятся прочерки.

Таблица 3.7. Табличное задание функций переходов и выхода автомата

$\mu_j$	$\nu_i$			
	$\nu_0$	$\nu_1$	$\nu_2$	$\nu_3$
$\mu_1$	$(\mu_1), \lambda_3$	$\mu_2$	$\mu_4$	$(\mu_1)$
$\mu_2$	$\mu_1$	$(\mu_2), \lambda_3$	—	$\mu_5$
$\mu_3$	$\mu_2$	—	$(\mu_3), \lambda_2$	$\mu_2$
$\mu_4$	$\mu_1$	—	$(\mu_4), \lambda_1$	$\mu_5$
$\mu_5$	$\mu_3$	$\mu_2$	$\mu_3$	$(\mu_5), \lambda_3$

Значения функции выхода  $\lambda_{ij} = \lambda_l$  обычно достаточно указывать только в клетках, в которых имеются устойчивые состояния. В недоопределенных автоматах в некоторых устойчивых состояниях функция выхода может быть не задана. В автоматах без выхода состояния выхода  $\lambda_{ij}$  вообще отсутствуют. Из сказанного следует, что табл. 3.7 представляет собой таблицу переходов, задающую функции переходов и выхода некоторого недоопределенного автомата.

Интервал времени, в течение которого автомат находится

в неустойчивом состоянии, обычно значительно меньше интервала, соответствующего устойчивому состоянию, поэтому часто значения функции выхода  $\lambda = (z_k, \dots, z_1)$  в неустойчивых состояниях целесообразно не задавать, что позволяет синтезировать более экономичные КС, реализующие функции  $z_q$  (они будут в этом случае неполностью определенными). Однако при доопределении функций  $z_q$  иногда следует учитывать требования, которые в зависимости от назначения автомата могут предъявляться к его выходным сигналам:

при переходных процессах (в неустойчивых состояниях) на выходах  $z_q$  не должны появляться ложные сигналы малой длительности;

реакция выходных сигналов  $z_q$  на изменение состояний входа должна иметь минимальное запаздывание.

Если ни одного из этих требований не предъявляется, то функции  $z_q$  могут доопределяться произвольным способом для получения наиболее простой КС.

Рассмотрим ограничения, накладываемые указанными выше требованиями на доопределение функций  $z_q$ . Пусть внутреннее состояние  $\mu_{j1}$  устойчиво для состояния входа  $\nu_{i1}$ , а внутреннее состояние  $\mu_{js}$  устойчиво для состояния входа  $\nu_{i2}$ , которое переводит автомат из состояния  $\mu_{j1}$  в состояние  $\mu_{js}$ . Тогда в процессе изменения состояния  $\mu_{j1}$  на  $\mu_{js}$  в автомате будет реализована последовательность пар

$$(\nu_{i1}, \mu_{j1}), (\nu_{i2}, \mu_{j1}), (\nu_{i2}, \mu_{j2}), \dots, (\nu_{i2}, \mu_{js}),$$

где  $s = 2$  при простых переходах и  $s > 2$  при сложных переходах.

Крайним парам соответствуют устойчивые состояния, т. е.

$$\mu_{i1, j1}^+ = f(\nu_{i1}, \mu_{j1}) = \mu_{j1}, \mu_{i2, js}^+ = f(\nu_{i2}, \mu_{js}) = \mu_{js}.$$

В табл. 3.7 имеется два сложных перехода

$$(\nu_2, \mu_3) \rightarrow \nu_0, \mu_2 \rightarrow (\nu_0, \mu_1), (\nu_2, \mu_3) \rightarrow \nu_3, \mu_2 \rightarrow (\nu_3, \mu_5)$$

с одним переходным состоянием и сложный переход

$$(\nu_3, \mu_5) \rightarrow \nu_0, \mu_3 \rightarrow \nu_0, \mu_2 \rightarrow (\nu_0, \mu_1)$$

с двумя переходными состояниями.

Для выполнения первого требования функции  $z_q$  необходимо доопределить так, чтобы на всей указанной последовательности пар значения сигналов  $z_q$  изменялись только один раз. Таким способом можно доопределить функции  $z_q$  для всех имеющихся в автомате переходов.

Для выполнения второго требования функции  $z_q$  необходимо доопределить так, чтобы выполнялось соотношение

$$\lambda_{i2, j1} = \lambda_{i2, j2} = \dots = \lambda_{i2, js},$$

т. е. значения функции выхода во всех неустойчивых состояниях должны совпадать со значением функции выхода в последующем устойчивом состоянии. Понятно, что в этом случае будет выполняться также и первое требование.

В дальнейшем всегда будем считать, что функция выхода в неустойчивых состояниях не определена, а доопределение будет производиться исходя из тех или иных соображений.

У автомата, задаваемого табл. 3.7, должно быть не менее двух физических входов ( $x_2$  и  $x_1$ ) и не менее двух физических выходов ( $z_2$  и  $z_1$ ), так как имеются четыре состояния входа  $\nu_i$  и три состояния выхода  $z_l$ , т. е. для данного автомата можно положить, что

$$\nu = (x_2, x_1), \nu_i = (e_{x_2}, e_{x_1}), \lambda = (z_2, z_1), \lambda_l = (e_{z_2}, e_{z_1}),$$

где  $e_{x_p} = 0$  или 1,  $e_{z_q} = 0$  или 1.

Таблица 3.8. Упрощенный вариант табл. 3.7

$j$	$x_2 x_1$			
	00	01	10	11
1	(1),11	2	4	(1)
2	1	(2),11	—	5
3	2	—	(3),10	2
4	1	—	(4),01	5
5	3	2	3	(5),11

В практических инженерных задачах кодирование состояний входа и выхода обычно вытекает из самой постановки задачи (под кодированием понимается постановка в соответствие каждому состоянию входа  $\nu_i$  и выхода  $\lambda_l$  наборов значений входных сигналов  $x_p = e_{x_p}$  и выходных сигналов  $z_q = e_{z_q}$ ). Можно полагать, что при кодировании этих состояний получаются соотношения

$$i = e_{x_2} e_{x_1}, l = e_{z_2} e_{z_1}.$$

Для простоты в таблицах переходов вместо состояний  $\nu_i$  и  $\lambda_l$  будем указывать значения кодирующих сигналов  $x_p$  и  $z_q$ , а внутренние состояния автомата  $\mu_j$  будем обозначать только одним индексом  $j$  (табл. 3.8).

После задания автомата таблицей переходов следует решить еще две важные задачи: произвести минимизацию числа его

внутренних состояний и соседнее кодирование внутренних состояний для всех допустимых переходов в преобразованном при минимизации автомате. Решение этих задач будет рассмотрено по мере их появления при синтезе конкретных устройств, имеющих практическое приложение. Заметим, что при синтезе некоторых автоматов минимизация числа внутренних состояний может вообще не потребоваться.

**Графы переходов.** Удобным средством задания автомата из-за его наглядности является *граф переходов*, который всегда имеет однозначное соответствие с таблицей переходов (граф переходов может быть построен по таблице переходов и наоборот). На рис. 3.18,а показан граф переходов, соответствующий табл. 3.8. Граф переходов состоит из узлов (кружков), обозначающих внутренние состояния автомата  $\mu_j$ , и ветвей (направленных линий), указывающих переходы между внутренними состояниями. Ветви, выходящие из какого-либо узла и входящие в этот же узел, называются петлями. Ветви обозначаются состоянием входа  $\nu_i$ , вызывающим соответствующий переход между внутренними состояниями, а петли — состояниями входа и выхода  $\nu_i/\lambda_i$ , так как они указывают устойчивые состояния, для которых функции выхода  $\lambda_i$ , как правило, определены.

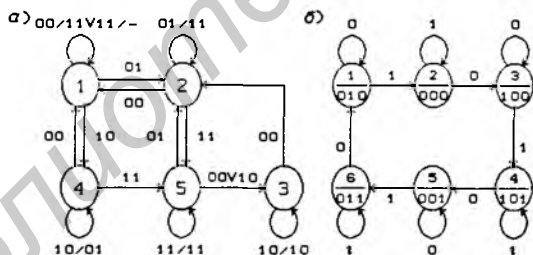


Рис. 3.18

Для освоения задания автоматов таблицами и графами переходов рекомендуется по табл. 3.8 и рис. 3.18,а проследить путь изменения внутренних состояний со сложными переходами

$$(11, 5) \rightarrow 00, 3 \rightarrow 00, 2 \rightarrow (00, 1)$$

(переходные состояния 3 и 2 неустойчивы для состояния входа 00). По графу переходов, показанному на рис. 3.18,б, полезно самостоятельно составить временные диаграммы для входного и трех внутренних сигналов (ответ см. на рис. 3.20).

**Первоначальные таблицы переходов.** Таблица переходов называется *первоначальной*, если в каждой ее строке имеется только по одному устойчивому состоянию, а все переходы

между ними являются простыми. Таким образом, первоначальная таблица переходов задает автомат с простыми переходами, в котором каждому устойчивому состоянию соответствует свое внутреннее состояние.

Первоначальные таблицы переходов удобно использовать для задания автоматов, исходя из словесного описания их законов функционирования. Часто возможно довольно легко определить, сколько устойчивых состояний должен иметь автомат для каждого состояния входа  $i$ ; в отдельности. В этом случае устойчивые состояния размещаются в таблице переходов так, чтобы в каждой строке было по одному устойчивому состоянию. Затем все оставшиеся клетки на основании словесного описания работы автомата заполняются неустойчивыми состояниями, задающими простые переходы между устойчивыми состояниями, в результате чего и получается первоначальная таблица переходов. В силу этого такая таблица всегда определяет автомат, функционирующий в соответствии с заданным законом.

### 3.5. Синтез асинхронных потенциальных счетчиков

*Счетчиком* называется автомат, внутренние состояния которого могут циклически изменяться под воздействием одного входного (счетного) сигнала. Значит, по начальному и конечному внутренним состояниям автомата можно определить число изменений входного счетного сигнала с 1 на 0, т. е. определить число импульсов, поступивших на счетный вход.

Счетчик, как и любой автомат, может иметь только конечное число  $M$  внутренних состояний, одно из которых выбирается в качестве начального (нулевого) состояния. По этой причине установить однозначное соответствие между числом  $N$  изменений счетного сигнала  $x$  и внутренними состояниями счетчика можно только в том случае, если  $N \leq M - 1$ . При поступлении на счетный вход  $M$  импульсов счетчик возвращается в исходное состояние, что свидетельствует о его переполнении. Таким образом, по внутреннему состоянию счетчика можно определить остаток от деления числа  $N$  на число  $M$ , если  $N \geq M$ .

Счетчик, имеющий  $M$  внутренних состояний, называется *счетчиком по mod  $M$* , а число  $M$  — *модулем* (коэффициентом) *пересчета счетчика*. Из определения счетчиков следует, что никаких ограничений на кодирование его внутренних состояний не накладываемся (в асинхронных потенциальных счетчиках необходимо, конечно, использовать соседнее кодирование). От выбранного варианта кодирования могут в значительной степени зависеть сложность и стоимость счетчика.



Рассмотрим теперь особенности *асинхронных потенциальных счетчиков*. Так как имеется только один входной сигнал  $x$ , то счетчик должен изменять свои внутренние состояния как при изменении счетного сигнала  $x$  с 1 на 0 ( $dx = 1$ ), так и при его изменении с 0 на 1 ( $d\bar{x} = 1$ ). Действительно, при наличии в таблице переходов только двух столбцов ни в одной строке не может стоять двух устойчивых состояний, так как в этом случае внутренние состояния автомата вообще не могли бы изменяться при изменении входного сигнала  $x$ . Из этого следует, что асинхронный потенциальный счетчик по  $\text{mod } M$  должен иметь  $2M$  устойчивых состояний, так как он производит счет общего числа изменений входного сигнала  $x$  (числа значений  $\nabla x = 1$ ).

Таблица 3.9. Счетчик по  $\text{mod } 3$ 

$j$	$x$		$Q_3 Q_2 Q_1$
	0	1	
1	(1)	2	0 1 0
2	3	(2)	0 0 0
3	(3)	4	1 0 0
4	5	(4)	1 0 1
5	(5)	6	0 0 1
6	1	(6)	0 1 1

**Синтез счетчика по модулю 3.** Синтезируем счетчик по  $\text{mod } 3$ , граф переходов которого показан на рис. 3.18,б. По графу переходов легко построить таблицу переходов (табл. 3.9). Так как счетчик имеет шесть внутренних состояний, то необходимо использовать три триггера. Выбор возможных вариантов соседнего кодирования внутренних состояний счетчиков удобно производить с помощью диаграмм Вейча (рис. 3.19). Для этого достаточно выбрать любой замкнутый путь, последовательно проходящий через соседние клетки. На рис. 3.19 показан такой путь, проходящий через шесть клеток с номерами 2, 0, 4, 5, 1 и 3. Записав эти числа в двоичной системе счисления, получим один из вариантов соседнего кодирования внутренних состояний счетчика. На рис. 3.20 изображены временные диаграммы, поясняющие работу счетчика по  $\text{mod } 3$ .

Синтезируем счетчик на триггерах типа  $R-S$ . Диаграммы Вейча для функций  $Q_3^+ - Q_1^+$  (рис. 3.21), можно составить непосредственно по таблице переходов (табл. 3.9) или предварительно составив по ней таблицу истинности (табл. 3.10). Диаграммы

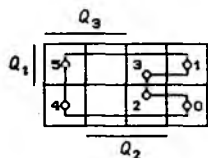


Рис. 3.19

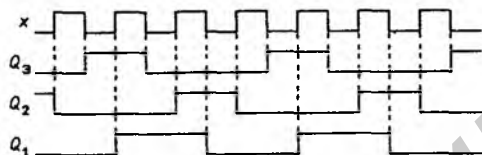


Рис. 3.20

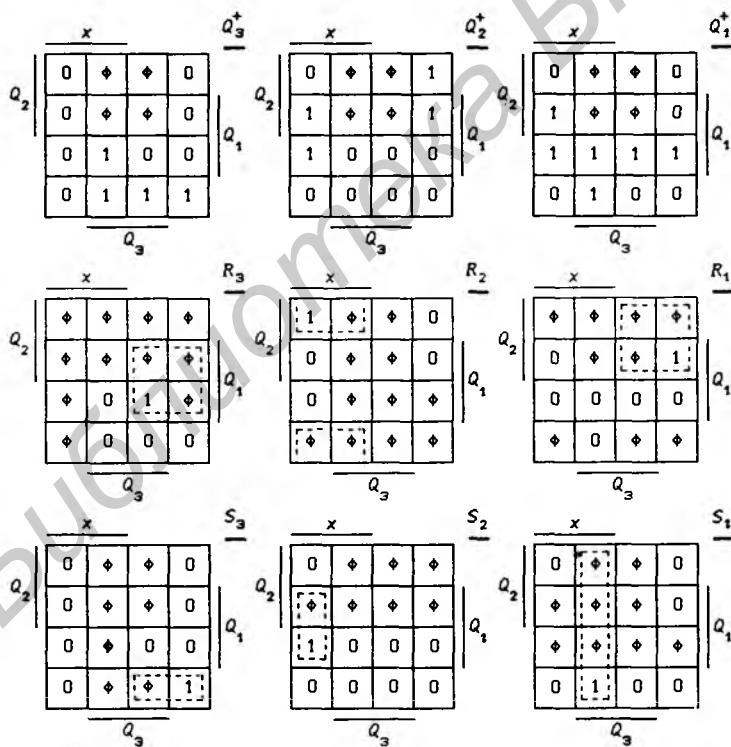


Рис. 3.21

Таблица 3.10. Счетчик по mod 3

$i$	$x Q_3 Q_2 Q_1$	$Q_3^+ Q_2^+ Q_1^+$	$i$	$x Q_3 Q_2 Q_1$	$Q_3^+ Q_2^+ Q_1^+$
2	0 0 1 0	0 1 0	10	1 0 1 0	0 0 0
0	0 0 0 0	1 0 0	8	1 0 0 0	0 0 0
4	0 1 0 0	1 0 0	12	1 1 0 0	1 0 1
5	0 1 0 1	0 0 1	13	1 1 0 1	1 0 1
1	0 0 0 1	0 0 1	9	1 0 0 1	0 1 1
3	0 0 1 1	0 1 0	11	1 0 1 1	0 1 1

Таблица 3.11. Функция переходов реверсивного счетчика

$j$	$x_2 x_1$				$Q_3 Q_2 Q_1$
	00	01	10	11	
1	(1)	2	(1)	6	1 0 0
2	3	(2)	1	(2)	1 1 0
3	(3)	4	(3)	2	0 1 0
4	5	(4)	3	(4)	0 1 1
5	(5)	6	(5)	4	0 0 1
6	1	(6)	5	(6)	1 0 1

Вейча для функций возбуждения  $R_3 - R_1$  и  $S_3 - S_1$  (рис 3.21) заполняются на основании (3.23) и (3.22). Из рис. 3.21 следует, что

$$\left. \begin{aligned} R_3 &= \bar{x} \cdot Q_1, & R_2 &= x \cdot \bar{Q}_1, & R_1 &= \bar{x} \cdot Q_2, \\ S_3 &= \bar{x} \cdot \bar{Q}_2 \bar{Q}_1, & S_2 &= x \cdot \bar{Q}_3 Q_1, & S_1 &= x \cdot Q_3. \end{aligned} \right\} \quad (3.41)$$

На рис. 3.22 показана схема счетчика по mod 3, построенная в соответствии с функциями возбуждения (3.41). Если нежелательно использовать инверсный сигнал  $\bar{x}$ , то функции  $R_3$ ,  $S_3$  и  $R_1$  можно представить в виде

$$R_3 = \bar{S}_1 Q_1, \quad S_3 = \bar{R}_2 \bar{Q}_2 \bar{Q}_1, \quad R_1 = \bar{S}_2 Q_2.$$

Изложенным методом можно синтезировать асинхронные потенциальные счетчики с любым модулем пересчета  $M$ .

**Синтез реверсивного счетчика.** Асинхронными потенциальными реверсивными счетчиками называются автоматы, имеющие два входа, на один из которых подается счетный сигнал  $x_1$ , а на другой — сигнал  $x_2$ , управляющий направлением

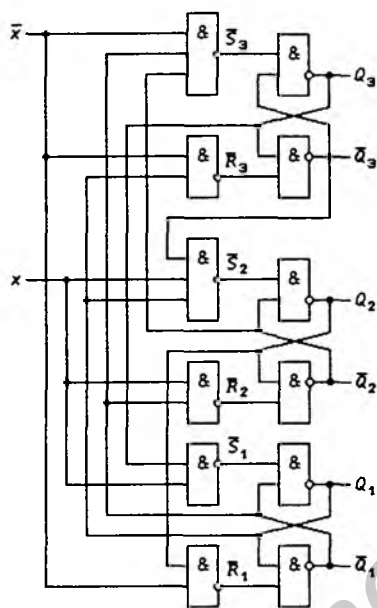


Рис. 3.22

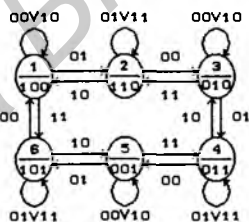


Рис. 3.23

Таблица 3.12. Функция переходов реверсивного счетчика

$i$	$x_2x_1Q_3Q_2Q_1$	$Q_3^+Q_2^+Q_1^+$	$i$	$x_2x_1Q_3Q_2Q_1$	$Q_3^+Q_2^+Q_1^+$
4	0 0 1 0 0	1 0 0	20	1 0 1 0 0	1 0 0
6	0 0 1 1 0	0 1 0	22	1 0 1 1 0	1 0 0
2	0 0 0 1 0	0 1 0	18	1 0 0 1 0	0 1 0
3	0 0 0 1 1	0 0 1	19	1 0 0 1 1	0 1 0
1	0 0 0 0 1	0 0 1	17	1 0 0 0 1	0 0 1
5	0 0 1 0 1	1 0 0	21	1 0 1 0 1	0 0 1
12	0 1 1 0 0	1 1 0	28	1 1 1 0 0	1 0 1
14	0 1 1 1 0	1 1 0	30	1 1 1 1 0	1 1 0
10	0 1 0 1 0	0 1 1	26	1 1 0 1 0	1 1 0
11	0 1 0 1 1	0 1 1	27	1 1 0 1 1	0 1 1
9	0 1 0 0 1	1 0 1	25	1 1 0 0 1	0 1 1
13	0 1 1 0 1	1 0 1	29	1 1 1 0 1	1 0 1

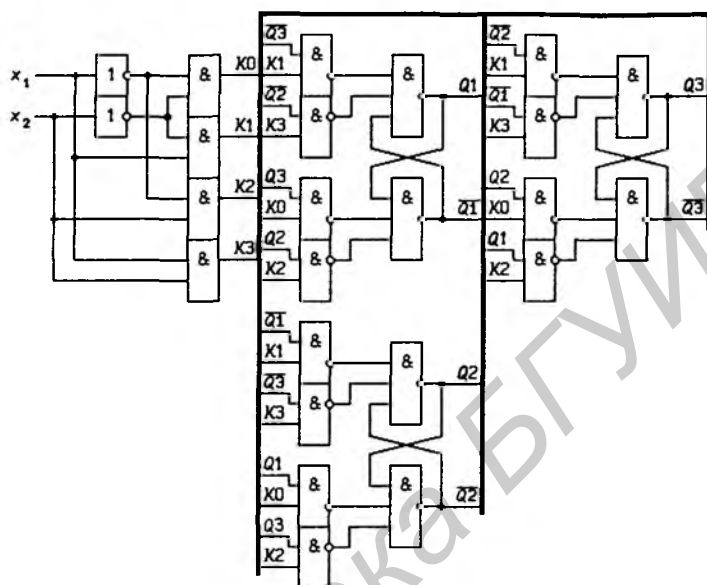


Рис. 3.24

циклического изменения внутренних состояний. На рис. 3.23 показан граф переходов асинхронного потенциального реверсивного счетчика, имеющего шесть устойчивых состояний. Сигнал  $x_2$  задает направление изменения внутренних состояний (при  $x_2 = 0$  внутренние состояния изменяются согласно графу переходов по часовой стрелке, а при  $x_2 = 1$  — против часовой стрелки). По графу переходов можно составить таблицу переходов (табл. 3.11), из которой видно, что внутренние состояния реверсивного счетчика могут изменяться только при изменении

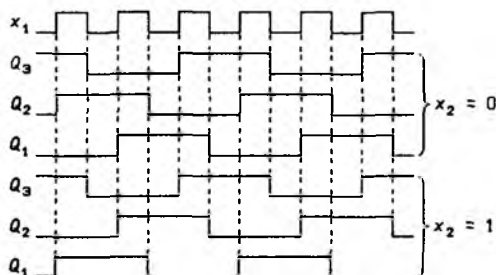


Рис. 3.25

сигнала  $x_1$ . Если зафиксировать значение сигнала  $x_2 = 0$ , то из реверсивного счетчика получится счетчик по *mod* 3, подобный счетчику, задаваемому табл. 3.9.

Если по табл. 3.12, составленной на основании табл. 3.11, произвести структурный синтез реверсивного счетчика, то можно получить

$$\left. \begin{aligned} S_3 &= K_1 \bar{Q}_2 \vee K_3 \bar{Q}_1, & R_3 &= K_0 Q_2 \vee K_2 Q_1, \\ S_2 &= K_1 \bar{Q}_1 \vee K_3 \bar{Q}_3, & R_2 &= K_0 Q_1 \vee K_2 Q_3, \\ S_1 &= K_1 \bar{Q}_3 \vee K_3 \bar{Q}_2, & R_1 &= K_0 Q_3 \vee K_2 Q_2, \end{aligned} \right\} \quad (3.42)$$

где  $K_i = x_2^{e_2} \cdot x_1^{e_1}$  — минтермы,  $i = 0, 1, 2, 3$ .

На рис. 3.24 показана схема реверсивного счетчика, построенная на  $R$ - $S$ -триггерах, функции возбуждения которых реализованы в соответствии с (3.42).

Если положить  $x_2 \equiv 0$ , то функции возбуждения

$$\begin{aligned} S_3 &= x_1 \bar{Q}_2, & S_2 &= x_1 \bar{Q}_1, & S_1 &= x_1 \bar{Q}_3, \\ R_3 &= \bar{x}_1 Q_2, & R_2 &= \bar{x}_1 Q_1, & R_1 &= \bar{x}_1 Q_3, \end{aligned}$$

что проще выражений (3.41), т. е. сложность функций возбуждения зависит от выбранного способа кодирования внутренних состояний автомата. На рис. 3.25 приведены временные диаграммы работы реверсивного счетчика.

### 3.6. Синтез асинхронных импульсных триггеров

*Асинхронными импульсными триггерами*, или просто импульсными триггерами, называются такие триггеры, на которые входные сигналы производят лишь кратковременное воздействие в момент их изменения с 1 на 0 или с 0 на 1. Импульсные триггеры являются простейшими асинхронными импульсными автоматами, поэтому строгое описание законов функционирования данных триггеров возможно только на основе их логических свойств, определяемых функциями переходов.

**Триггеры типа  $dT$ .** Рассмотрим триггер со счетным входом  $T$  ( $T$  — Toggle). Состояние (выходной сигнал  $Q$ ) такого триггера должно изменяться при каждом изменении входного сигнала  $T$  с 1 на 0, т. е. при  $dT = 1$ . На основании данного словесного описания закона функционирования триггера составим таблицу истинности (табл. 3.13), задающую его функцию переходов  $Q^+ = f(dT, Q)$ . Из табл. 3.13 следует, что функция переходов триггера со счетным входом

$$Q^+ = \bar{Q} \cdot dT \vee Q \cdot \bar{dT} = Q \oplus dT. \quad (3.43)$$

Таблица 3.13. Функция переходов  $dT$ -триггера

$i$	$dT Q$	$Q^+$
0	0 0	0
1	0 1	1
2	1 0	1
3	1 1	0

Таблица 3.14. Анализ схемы  $dT$ -триггера

$\alpha_4 \alpha_3 \alpha_2 \alpha_1$	$L$	
	0	1
0 0 0 0	1 1 1 1	1 1 1 1
0 0 0 1	1 1 1 1	1 1 1 1
0 0 1 0	1 1 1 1	1 1 1 1
0 0 1 1	1 1 1 1	1 1 1 1
0 1 0 0	1 1 1 1	1 1 0 1
0 1 0 1	1 1 1 1	1 1 0 1
0 1 1 0	0 1 1 1	0 1 0 1
0 1 1 1	(0 1 1 1)	0 1 0 1
1 0 0 0	1 1 1 1	1 1 1 0
1 0 0 1	1 0 1 1	1 0 1 0
1 0 1 0	1 1 1 1	1 1 1 0
1 0 1 1	(1 0 1 1)	1 0 1 0
1 1 0 0	1 1 1 1	(1 1 0 0)
1 1 0 1	1 0 1 1	1 0 0 0
1 1 1 0	0 1 1 1	0 1 0 0
1 1 1 1	0 0 1 1	0 0 0 0

Действительно, если входной сигнал  $T$  изменяется с 1 на 0, то  $dT = 1$  и  $Q^+ = Q \oplus 1 = \bar{Q}$ , т.е. состояние триггера изменяется на инверсное. Так как в функцию переходов (3.43) входит импульсный сигнал  $dT$ , то триггер со счетным входом будем называть *асинхронным импульсным триггером типа  $dT$* , или  *$dT$ -триггером*.

Используя разностные элементы, импульсные триггеры легко построить из асинхронных потенциальных триггеров. Например, если в функцию переходов (3.27)  $R$ - $S$ - $L$ -триггера подставить значения

$$S = \bar{Q}, R = Q, L = dT \quad (R \cdot S \cdot L = 0), \quad (3.44)$$

то получится функция переходов  $dT$ -триггера (3.43). На рис. 3.26,а приведена схема  $dT$ -триггера, построенная из  $R$ - $S$ - $L$ -триггера на рис. 3.15,а и разностного элемента (РЭ) на основании функций возбуждения (3.44). Эта ЛС описывается функ-

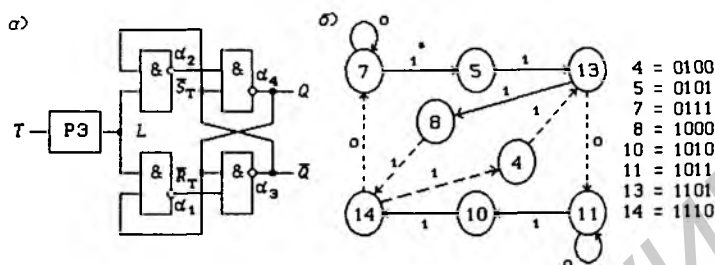


Рис. 3.26

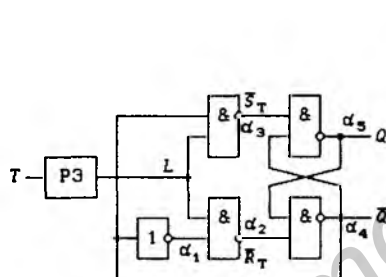


Рис. 3.27

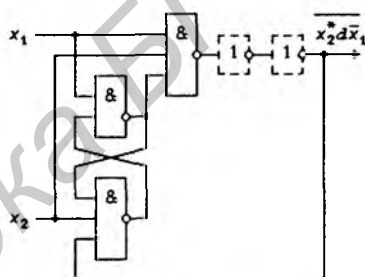


Рис. 3.28

цией переходов

$$\alpha_r^+ = f_r(L, \alpha_4, \alpha_3, \alpha_2, \alpha_1), \quad r = 1, 2, 3, 4,$$

$$\alpha_4^+ = \bar{\alpha}_3 \vee \bar{\alpha}_2, \quad \alpha_3^+ = \bar{\alpha}_4 \vee \bar{\alpha}_1, \quad \alpha_2^+ = \bar{L} \vee \bar{\alpha}_3, \quad \alpha_1^+ = \bar{L} \vee \bar{\alpha}_4,$$

решение которой относительно устойчивых состояний

$$\alpha_4 = L \vee \bar{h} \cdot \bar{0}, \quad \psi_1 \psi_2 = 0,$$

т.е. автоколебательные процессы в ЛС отсутствуют. На основании функции переходов составляется таблица переходов (табл. 3.14), а по ней и граф переходов (рис. 3.26,б), из которого видно, что недостатком данной схемы является ее критичность к длительности импульсного сигнала  $dT$  (в этом отношении  $dT$ -триггер на рис. 2.12 имеет лучшие свойства).

На рис. 3.27 показана несколько видоизмененная схема  $dT$ -триггера, в которой сигнал  $\bar{Q}$  получается с помощью дополнительного инвертора. Эта ЛС описывается функцией переходов

$$\alpha_5^+ = \bar{\alpha}_4 \vee \bar{\alpha}_3, \quad \alpha_4^+ = \bar{\alpha}_5 \vee \bar{\alpha}_2, \quad \alpha_3^+ = \bar{L} \vee \bar{\alpha}_4, \quad \alpha_2^+ = \bar{L} \vee \bar{\alpha}_1, \quad \alpha_1^+ = \bar{\alpha}_4,$$



решение которой относительно устойчивых состояний

$$\alpha_4 = L \vee \bar{h} \cdot \bar{L}, \quad \psi_1 \psi_2 = L,$$

т. е. при  $L = 1$  в схеме возникает автоколебательный процесс.

В силу описанных явлений принцип построения импульсных триггеров, основанный на разделении функций дифференцирования входных сигналов (разностный элемент) и запоминания входных воздействий ( $R$ - $S$ -триггер), практически не нашел применения. Но при использовании двух разностных элементов можно построить схемы импульсных триггеров, обладающие высокой надежностью работы.

На рис. 3.28 показана схема управляемого сигналом  $x_2$  разностного элемента, выполняющего функцию  $x_2^* \cdot dx_1$ . При  $x_2 = 1$  длительность активного нулевого уровня выходного сигнала равна  $3\tau$  без ЛЭ НЕ и  $5\tau$  при включении в разностный элемент двух инверторов ( $\tau$  — среднее время задержки сигналов в одном ЛЭ).

Анализ данного разностного элемента приведен в [10]. На рис. 3.29 показана схема  $dT$ -триггера, выполненного на двух таких разностных элементах и  $R$ - $S$ -триггере. Действительно, на основании функции переходов  $R$ - $S$ -триггера (3.10)

$$Q^+ = S \vee Q \cdot \bar{R} = \bar{Q}^* dT \vee Q \cdot \overline{Q^* dT} = Q \oplus dT,$$

так как  $Q = Q^*$  до воздействия импульсного сигнала  $dT = 1$ . Логические элементы И-НЕ, составляющие  $R$ - $S$ -триггер, фактически входят в разностный элемент подобно ЛЭ НЕ на рис. 3.28 ( $x_2 = \bar{Q}$  для одного и  $x_2 = Q$  для другого разностного элемента).

Функция переходов (3.43) задает некоторый автомат, поэтому вполне естественно предположить, что его можно реализовать в виде асинхронного потенциального автомата. Эту задачу можно рассматривать как преобразование импульсного автомата в эквивалентный ему потенциальный автомат. Для ее решения необходимо разработать метод преобразования функции переходов, в которую входят операторы  $d$ , в функции переходов и выходов (3.3), не содержащие их. Такое преобразование будем

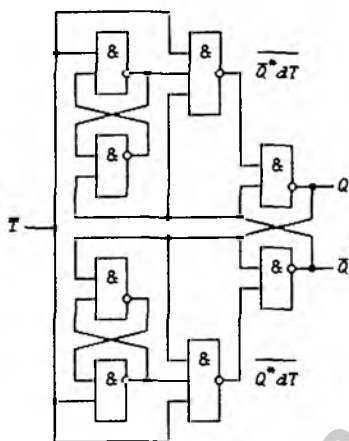


Рис. 3.29

называть интегрированием функции переходов импульсного автомата или просто интегрированием импульсного автомата.

Наиболее просто интегрирование импульсных триггеров выполняется табличным методом, так как оказывается возможным построить таблицу переходов асинхронного потенциально автомата непосредственно по функции переходов импульсного триггера. Автомат, выполняющий функции  $dT$ -триггера, должен иметь один вход  $x = T$  и один выход  $z = Q$ , причем закон изменения выходного сигнала задается функцией переходов (3.43). Собственно, задание функции выхода автомата не в виде переключательной функции, а в форме функции переходов и позволяет составить первоначальную таблицу переходов, характерную тем, что в каждой строке таблицы проставляется только по одному устойчивому состоянию, а все переходы между ними задаются простыми. Прimitивность структуры первоначальной таблицы переходов обеспечивает возможность ее построения без особых затруднений для любого автомата, функции выхода которого заданы в операторной форме.

Таблица 3.15. Функция переходов  $dT$ -триггера с простыми переходами

$j$	$T$		$Q_2Q_1$
	0	1	
1	(1),0	3	0 0
2	(2),1	4	1 1
3	2	(3),0	0 1
4	1	(4),1	1 0

Рассмотрим методику построения первоначальной таблицы переходов (табл. 3.15) на примере  $dT$ -триггера, описываемого функцией (3.43). Если входной сигнал триггера не изменяется ( $T = 0$  или 1), то импульсный сигнал  $dT = 0$  ( $\nabla T = 0$ ) и  $Q^+ = Q \oplus 0 = Q = 0$  или 1. Из этого следует, что при каждом состоянии входа  $e_T = 0$  и 1 автомат должен иметь по два устойчивых состояния, которым соответствуют различные значения функции выхода автомата  $z = Q = 0$  и 1. На основании этого в каждый столбец первоначальной таблицы переходов (табл. 3.15) необходимо занести по два устойчивых состояния, различающихся состояниями выхода  $z = 0$  и 1.

Далее с помощью функции переходов (3.43) можно найти переходы между устойчивыми состояниями. Пусть сигнал  $T$  изменяется с 0 на 1. В этом случае  $dT = 0$  и  $Q^+ = Q \oplus 0 = Q$ , т.е. при таком изменении состояния входа выходной сигнал  $z = Q$  не должен изменяться ( $z^+ = z$ ), а это возможно только при переходе автомата из состояния  $\mu_1$  в состояние  $\mu_3$  и из состояния  $\mu_2$  в состояние  $\mu_4$ . Аналитически это можно записать так:

$$\mu_{1,1}^+ = f(\nu_1, \mu_1) = \mu_3, \quad \mu_{1,2}^+ = f(\nu_1, \mu_2) = \mu_4.$$

На этом основании проставляются неустойчивые состояния в столбце  $\nu_1 = 1$  (табл. 3.15).

Если же сигнал  $T$  изменяется с 1 на 0, то импульсный сигнал  $dT = 1$  и  $Q^+ = Q \oplus 1 = \bar{Q}$ , т.е. в этом случае значение выходного сигнала автомата  $z = Q$  должно измениться на инверсное ( $z^+ = \bar{z}$ ), а это возможно только при переходе автомата из состояния  $\mu_3$  в состояние  $\mu_2$  и из состояния  $\mu_4$  в состояние  $\mu_1$ . Таким образом,

$$\mu_{0,3}^+ = f(\nu_0, \mu_3) = \mu_2, \quad \mu_{0,4}^+ = f(\nu_0, \mu_4) = \mu_1.$$

На этом основании проставляются неустойчивые состояния в столбце  $\nu_0 = 0$  (табл. 3.15).

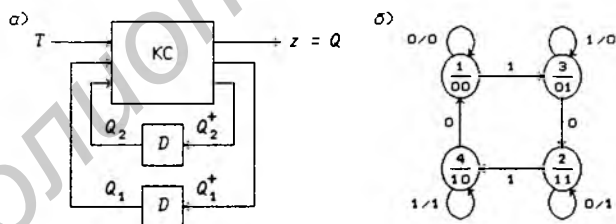


Рис. 3.30

Полученная таким способом первоначальная таблица переходов полностью определяет закон функционирования асинхронного потенциального автомата, выполняющего функции  $dT$ -триггера. Для кодирования внутренних состояний автомата необходимо использовать два ЭП  $Q_2$  и  $Q_1$ . Структурная схема асинхронного импульсного  $dT$ -триггера как асинхронного потенциального автомата показана на рис. 3.30,а. Из графа переходов (рис. 3.30,б), построенного по табл. 3.15, следует, что соседнее кодирование внутренних состояний автомата можно выполнить без преобразования таблицы переходов. Из табл. 3.15 видно, что кодирование осуществлено так, что функция выхода

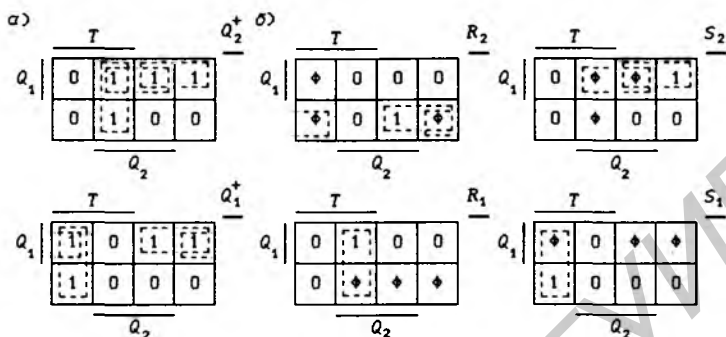


Рис. 3.31

автомата  $z = Q = Q_2$  (значения  $z$  и  $Q_2$  в устойчивых состояниях совпадают). Это позволяет в качестве выходного сигнала автомата использовать выходной сигнал ЭП  $Q_2$ .

Выполним структурный синтез  $dT$ -триггера из ЭП типов  $D$  и  $R-S$ . На рис. 3.31,а показаны диаграммы Вейча для функций  $Q_2^+$  и  $Q_1^+$ , из которых следует, что МДНФС функций возбуждения  $D_2$  и  $D_1$  можно представить в форме

$$\left. \begin{aligned} D_2 &= Q_2^+ = Q_2 T \vee Q_1 \bar{T} \vee Q_2 Q_1, \\ D_1 &= Q_1^+ = \bar{Q}_2 T \vee Q_1 \bar{T} \vee \bar{Q}_2 Q_1. \end{aligned} \right\} \quad (3.45)$$

С помощью элементарных преобразований можно получить

$$\left. \begin{aligned} Q_2^+ &= Q_2(Q_1 \vee T) \vee Q_1 \bar{T} = \overline{\overline{Q_2 \bar{Q}_1 \bar{T}} \cdot \overline{Q_1 \bar{T}}}, \\ Q_1^+ &= \bar{Q}_2(Q_1 \vee T) \vee Q_1 \bar{T} = \overline{\overline{\bar{Q}_2 \bar{Q}_1 \bar{T}} \cdot \overline{Q_1 \bar{T}}}. \end{aligned} \right\} \quad (3.46)$$

На рис. 3.32 изображена схема  $dT$ -триггера, построенная на основании соотношений (3.46). Если из данной ЛС исключить оба ЭП типа  $D$ , то, как показывает анализ, ее закон функционирования не изменится (состояния устойчивых состояний не возникнут).

Из рис. 3.32 следует, что выходные сигналы ЛЭ И-НЕ  $\alpha_1$  —  $\alpha_4$  определяются соотношениями:

$$\alpha_1 = \overline{Q_2 \alpha_3}, \quad \alpha_2 = \overline{Q_1 \bar{T}}, \quad \alpha_3 = \overline{Q_1 \bar{T}}, \quad \alpha_4 = \overline{Q_2 \alpha_3}. \quad (3.47)$$

Найдем значения сигналов  $Q_1$  и  $\alpha_1$  —  $\alpha_4$  в устойчивых состояниях в зависимости от значений сигналов  $T$  и  $Q_2$ . Решив функцию переходов автомата (3.45) относительно устойчивых

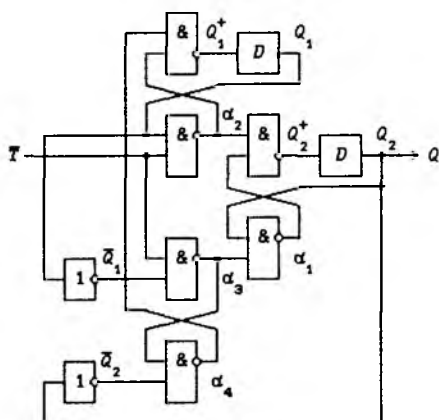


Рис. 3.32

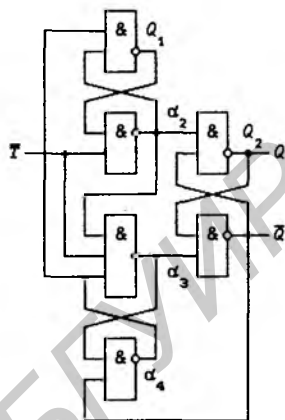


Рис. 3.33

состояний, можно получить:

$$Q_1 = \bar{Q}_2 T \vee Q_2 \bar{T} = Q_2 \oplus T. \quad (3.48)$$

Подставив это значение  $Q_1$  в выражения (3.47), найдем, что в устойчивых состояниях

$$\alpha_1 = \bar{Q}_2, \alpha_2 = \bar{Q}_2 \vee T, \alpha_3 = Q_2 \vee T, \alpha_4 = Q_2 \vee \bar{T}. \quad (3.49)$$

Так как в устойчивых состояниях

$$\alpha_1 = \bar{Q}_2, \alpha_2 \alpha_4 = (\bar{Q}_2 \vee T)(Q_2 \vee \bar{T}) = \overline{Q_2 \oplus T} = \bar{Q}_1,$$

то можно положить

$$\alpha_3 = \overline{\alpha_2 \alpha_4 \bar{T}}, \alpha_4 = \bar{\alpha}_1 \bar{\alpha}_3.$$

На этом основании схема  $dT$ -триггера на рис. 3.32, преобразуется в схему, представленную на рис. 3.33 (исключены ЭП типа  $D$  и ЛЭ НЕ).

В данной ЛС состояния устойчивых состояний также отсутствуют. С помощью соотношений (3.48) и (3.49) довольно просто построить временные диаграммы, поясняющие работу синтезированного  $dT$ -триггера (рис. 3.34), так как связь между сигналами  $T$  и

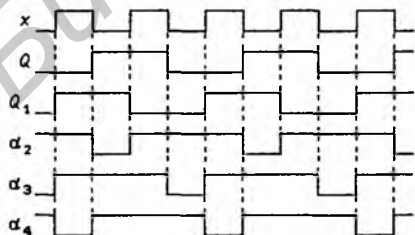


Рис. 3.34

$Q = Q_2$  задана функцией переходов (3.43). Как следует из рис. 3.34, в  $dT$ -триггере на рис. 3.33 отсутствует дифференцирование входного сигнала  $T$ , но тем не менее связь между входным

сигналом  $T$  и выходным сигналом  $Q$  описывается функцией переходов (3.43), в которую входит импульсный сигнал  $dT$ .

В общем случае в некоторых точках схем потенциальных автоматов, получаемых в результате интегрирования импульсных автоматов, могут возникать и импульсные сигналы (продифференцированные входные сигналы). Такое дифференцирование будем называть *логическим*, так как оно достигается исключительно за счет логического построения схем автоматов, и его особенностью является то, что на выходах ни одного ЛЭ импульсные сигналы вообще могут не появиться. Дифференцирование же с помощью разностных элементов будем называть *физическим*, так как оно основано на физических свойствах ЛЭ (на паразитных задержках). Таким образом, дифференцирование сигналов в автоматах следует рассматривать в более широком смысле, чем физическое дифференцирование, в результате которого порождаются импульсные сигналы.

Возникает вопрос, каким автоматом является ЛС на рис. 3.33 — импульсным или потенциальным. Ответ зависит от точки зрения, с которой рассматривается данная ЛС. Если нас интересует внутренняя структура автомата, то ЛС следует считать асинхронным потенциальным автоматом. Если же интересоваться только внешним поведением ЛС (зависимостью выходного сигнала  $Q$  от входного сигнала  $T$ ), то ее следует считать асинхронным импульсным автоматом. Действительно, если данный автомат рассматривать как “черный ящик”, имеющий один вход  $T$  и один выход  $Q$ , то никакими экспериментами нельзя установить, производится в нем физическое дифференцирование сигнала  $T$  или нет.

Может показаться, что если в логической схеме (рис. 3.33) отсутствуют импульсные сигналы, то входной сигнал  $T$  оказывает на триггер длительное воздействие. Однако воздействие входного сигнала нужно рассматривать с точки зрения функционирования автомата в качестве  $dT$ -триггера. Так, если какой-либо кратковременный сигнал помехи, возникший, например, в цепях питания, изменит состояние  $dT$ -триггера, то он не вернется в прежнее состояние после окончания воздействия этого сигнала независимо от значения  $T$ . Если же взять асинхронный потенциальный  $R$ - $S$ -триггер, то входные сигналы  $R = 1$  и  $S = 1$  возвращают триггер в прежнее состояние после окончания воздействия сигнала помехи, т. е. входные сигналы оказывают на потенциальные триггеры длительное воздействие (не только изменяют состояние триггера, но и удерживают его в новом состоянии). В импульсных же триггерах сигнал помехи может быть скомпенсирован только в момент изменения входных ин-

формационных сигналов.

Синтезируем  $dT$ -триггер на  $R$ - $S$ -триггерах. На рис. 3.31,б приведены диаграммы Вейча для функций возбуждения триггеров  $Q_2$  и  $Q_1$ , составленные на основании диаграмм Вейча для функций  $Q_2^+$  и  $Q_1^+$  по методике, изложенной в § 3.4. Из диаграмм следует, что функции возбуждения можно представить в виде

$$R_2 = \bar{Q}_1\bar{T}, S_2 = Q_1\bar{T}, R_1 = Q_2T, S_1 = \bar{Q}_2T. \quad (3.50)$$

Схема  $dT$ -триггера, выполненная в соответствии с выражениями (3.50), приведена на рис. 3.35,а.

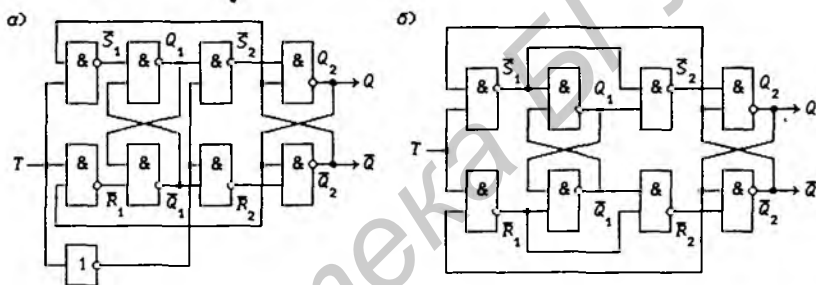


Рис. 3.35

Используя 1-кубы, отмеченные на рис. 3.31,б штриховыми линиями, функции возбуждения триггера  $Q_2$  можно получить в форме

$$\left. \begin{aligned} R_2 &= \bar{Q}_1\bar{T} \vee \bar{Q}_2\bar{Q}_1 = \bar{Q}_1\bar{Q}_2\bar{T} = \bar{Q}_1\bar{R}_1, \\ S_2 &= Q_1\bar{T} \vee Q_2Q_1 = Q_1\bar{Q}_2\bar{T} = Q_1\bar{S}_1. \end{aligned} \right\} \quad (3.51)$$

Схема  $dT$ -триггера, соответствующая функциям возбуждения (3.51) триггера  $Q_2$ , изображена на рис. 3.35,б.

Можно синтезировать еще некоторые схемы  $dT$ -триггеров, если преобразовать табл. 3.15. Введя два переходных состояния,

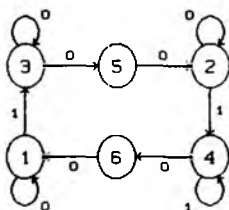


Рис. 3.36

можно получить таблицу переходов (табл. 3.16), содержащую шесть внутренних состояний, для реализации которых требуются три ЭП. На рис. 3.36 приведен граф переходов, на котором указан принятый вариант соседнего кодирования внутренних состояний автомата. Составив диаграммы Вейча для функций  $Q_3^+$ ,  $Q_2^+$  и  $Q_1^+$  (рис. 3.37), получаем:

Таблица 3.16. Функция переходов  $dT$ -триггера со сложными переходами

$j$	$T$		$Q_2 Q_1 Q_0$
	0	1	
1	(1),0	3	0 1 0
2	(2),1	4	1 0 1
3	5	(3),0	0 1 1
4	6	(4),1	1 1 1
5	2	—	0 0 1
6	1	—	1 1 0

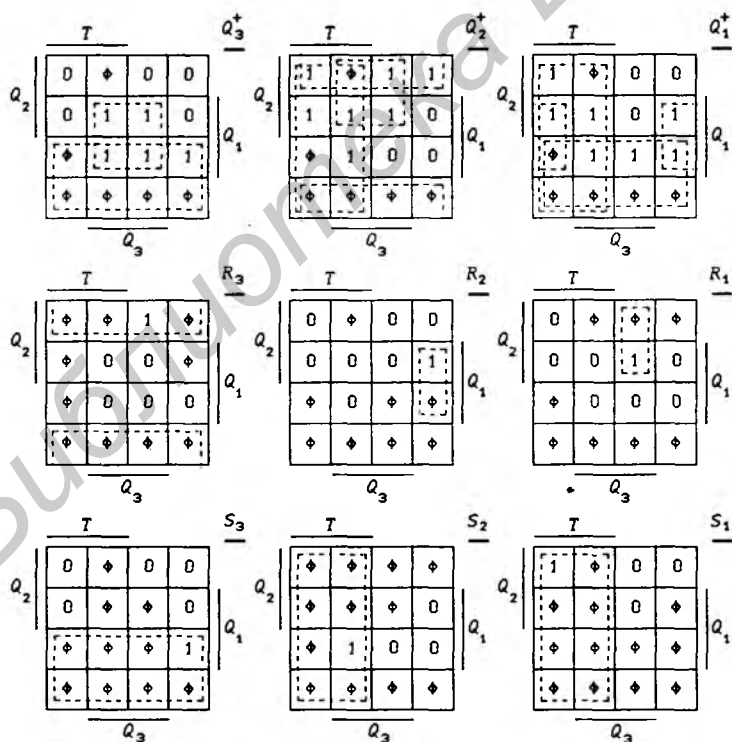


Рис. 3.37



$$\left. \begin{aligned} D_3 &= Q_3^+ = \bar{Q}_2 \vee Q_3 Q_1 = \overline{Q_2 \bar{Q}_3 \bar{Q}_1}, \\ D_2 &= Q_2^+ = T \vee \bar{Q}_1 \vee Q_3 Q_2 = \overline{\bar{T} \cdot Q_1 \bar{Q}_3 \bar{Q}_2}, \\ D_1 &= Q_1^+ = T \vee \bar{Q}_2 \vee \bar{Q}_3 Q_1 = \overline{\bar{T} \cdot Q_2 \bar{Q}_3 \bar{Q}_1}. \end{aligned} \right\} \quad (3.52)$$

Решив функцию переходов автомата (3.52) относительно устойчивых состояний, можно показать, что в устойчивых состояниях выполняются соотношения

$$\left. \begin{aligned} Q_2 &= \bar{Q}_3 \vee T, \quad Q_1 = Q_3 \vee T, \quad \bar{Q}_3 \bar{Q}_1 = \bar{Q}_3, \\ \alpha_1 &= \bar{Q}_3 \bar{Q}_2 = \bar{Q}_3 \vee T, \quad \alpha_2 = \bar{Q}_3 \bar{Q}_1 = Q_3 \vee \bar{T}. \end{aligned} \right\} \quad (3.53)$$

На рис. 3.38 показана схема  $dT$ -триггера, построенная на основании функций возбуждения (3.52) и соотношения  $\bar{Q}_3 \bar{Q}_1 = \bar{Q}_3$ , а на рис. 3.39 — временные диаграммы, поясняющие работу этого  $dT$ -триггера, которые построены по выражениям (3.53).

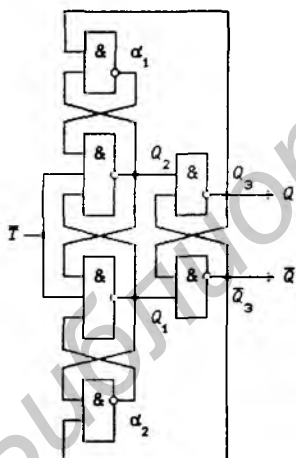


Рис. 3.38

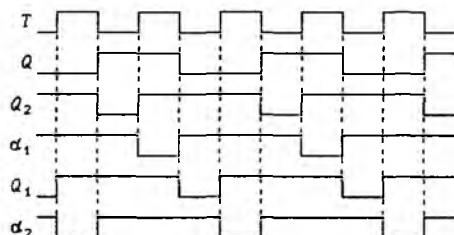


Рис. 3.39

Если сделать синтез  $dT$ -триггера на  $R$ - $S$ -триггерах, то на основании диаграмм Вейча (рис. 3.37) их функции возбуждения можно получить в форме

$$\left. \begin{aligned} R_3 &= \bar{Q}_1, \quad R_2 = \bar{T} \cdot \bar{Q}_3 Q_1, \quad R_1 = \bar{T} \cdot Q_3 Q_1, \\ S_3 &= \bar{Q}_2, \quad S_2 = T, \quad S_1 = T. \end{aligned} \right\} \quad (3.54)$$

Схема  $dT$ -триггера, построенная в соответствии с (3.54), приведена на рис. 3.40. Используя (3.53), найдем значения сигналов

$\bar{R}_2$  и  $\bar{R}_1$  в устойчивых состояниях:

$$\bar{R}_2 = \overline{T \cdot Q_3(Q_3 \vee T)} = 1, \quad \bar{R}_1 = \overline{T \cdot Q_3(\bar{Q}_3 \vee T)} = 1.$$

Из этого следует, что в переходных режимах на выходах ЛЭ  $\bar{R}_2$  и  $\bar{R}_1$  должны появляться импульсные сигналы (длительность активных уровней сигналов  $\bar{R}_2 = 0$  и  $\bar{R}_1 = 0$  равна  $5\tau_3$ , где  $\tau_3$  — среднее время задержки сигналов в одном ЛЭ И-НЕ).

**Триггеры типа  $dJ$ - $dK$ .** Синтезируем асинхронный импульсный  $dJ$ - $dK$ -триггер ( $J$  — Jerk,  $K$  — Kill), функция переходов которого задается табл. 3.17. Данный триггер имеет два информационных входа:  $J$  — вход установки состояния  $Q = 1$  и  $K$  — вход установки состояния  $Q = 0$ . При одновременном изменении обоих сигналов с 1 на 0 ( $dJ = dK = 1$ ) триггер изменяет свое состояние на инверсное ( $Q^+ = \bar{Q}$ ). Из диаграммы Вейча (рис. 3.41), построенной по табл. 3.17, следует, что функция переходов триггера

$$Q^+ = \bar{Q} \cdot dJ \vee Q \cdot d\bar{K}. \quad (3.55)$$

Если сигналы  $J$  и  $K$  не изменяются, то  $dJ = dK = 0$ , поэтому в устойчивых состояниях выполняется соотношение  $Q^+ = Q$ . Из этого следует,

что первоначальная таблица переходов должна иметь в каждом столбце по два устойчивых состояния, отличающихся значением функции выхода  $z = Q = 0$  и 1 (табл. 3.18). Неустойчивые состояния определяются точно так же, как и для  $dT$ -триггера. Например, пусть исходным является состояние входа  $\nu_1 = (0, 1)$ , которому соответствуют устойчивые состояния  $\mu_3$  и  $\mu_4$ , а затем оно изменяется на состояние входа  $\nu_2 = (1, 0)$ . Так как в этом случае  $dJ = 0$ , а  $dK = 1$ , то автомат должен перейти в то внутреннее состояние, которому соответствует состояние выхода, определяемое функцией переходов (3.55):  $z^+ = Q \cdot 0 \vee Q \cdot \bar{1} = 0$ , т.е. автомат независимо от исходного устойчивого состояния ( $\mu_3$  или  $\mu_4$ ) должен перейти в устойчивое состояние  $\mu_5$  (табл. 3.18).

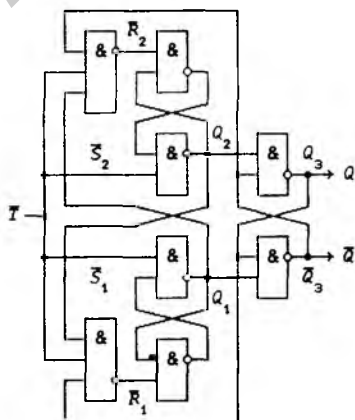


Рис. 3.40

Первоначальная таблица переходов может содержать избыточное число устойчивых внутренних состояний, так как при ее построении требовалось заносить в каждую строку таблицы точно по одному

Таблица 3.17. Функция переходов  $dJ$ - $dK$ -триггера

$i$	$dJ$	$dK$	$Q$	$Q^+$	$i$	$dJ$	$dK$	$Q$	$Q^+$
0	0	0	0	0	4	1	0	0	1
1	0	0	1	1	5	1	0	1	1
2	0	1	0	0	6	1	1	0	1
3	0	1	1	0	7	1	1	1	0

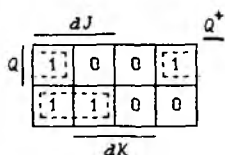


Рис. 3.41

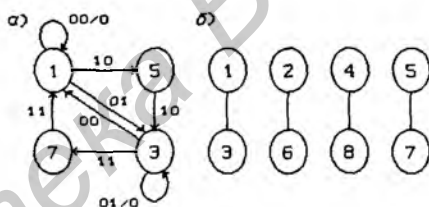


Рис. 3.42

Таблица 3.18. Первоначальная таблица переходов  $dJ$ - $dK$ -триггера

$j$	$J, K$			
	00	01	10	11
1	(1),0	3	5	7
2	(2),1	4	6	8
3	1	(3),0	5	7
4	1	(4),1	5	8
5	2	4	(5),0	7
6	2	4	(6),1	8
7	2	4	5	(7),0
8	1	4	5	(8),1

устойчивому состоянию. Поэтому возникает задача *минимизации числа внутренних состояний*. Чтобы пояснить идею минимизации, составим на основании табл. 3.18 подграф переходов, в который включим переходы только из двух устойчивых состояний  $\mu_1$  и  $\mu_3$  (рис. 3.42,а). Из подграфа переходов следует, что два внутренних состояния  $\mu_1$  и  $\mu_3$  можно заменить одним состоянием (например,  $\mu_1$ ) без изменения закона функционирования автомата, так как между этими состояниями есть взаимный переход, а состояния входа  $\nu_2 = (1, 0)$  и  $\nu_3 = (1, 1)$  переводят автомат из состояний  $\mu_1$  и  $\mu_3$  в одни и те же состояния  $\mu_5$  и  $\mu_7$ .

Внутренние состояния, обладающие рассмотренными свойствами, называются *совместимыми* и их можно объединять, заменяя одним внутренним состоянием, которое будет устойчивым уже при двух различных состояниях входа. Если не все переходы между устойчивыми состояниями заданы (недоопределенный автомат), то в соответствующей клетке таблицы переходов ставится прочерк. Недоопределенные автоматы можно доопределять произвольным способом с целью получения максимального числа совместимых состояний.

Совместимые состояния легко отыскиваются непосредственно по таблице переходов. Действительно, если в табл. 3.18 взять две строки  $j = 1$  и  $j = 3$ , которым, как было показано выше, соответствуют совместимые состояния  $\mu_1$  и  $\mu_3$ , то легко заметить, что в каждом столбце стоят одинаковые цифры, характеризующие внутреннее состояние автомата. Из этого следует, что совместимыми внутренними состояниями являются такие два внутренних состояния  $\mu_{j_1}$  и  $\mu_{j_2}$ , которым в таблице переходов соответствуют строки с непротиворечивым размещением цифр, т. е. такие строки, в одном и том же столбце которых стоят одинаковые цифры или в одной строке цифра, а в другой — прочерк (для недоопределенного автомата).

Множество внутренних состояний  $M_C = \{\mu_{j_1}, \mu_{j_2}, \dots\}$  является *совместимым*, если все внутренние состояния из  $M_C$  попарно совместимы. Такое множество можно заменить одним внутренним состоянием, присвоив ему, например, наименьший из номеров внутренних состояний, входящих в множество  $M_C$ . Удобным средством отыскания всех вариантов совместимости внутренних состояний является *диаграмма совместимых состояний*. Такая диаграмма состоит из узлов, обозначающих внутренние состояния автомата, каждая пара которых соединена ненаправленными линиями, если узлам, входящим в пары, соответствуют совместимые внутренние состояния.

На рис. 3.42,б показана диаграмма совместимых состояний, из которой видно, что первоначальная таблица переходов (табл. 3.18) имеет четыре пары совместимых внутренних состояний. Объединив эти внутренние состояния, получим табл. 3.19, в которой символами "4/2" и "5/1" обозначены введенные переходные состояния  $\mu_2$  и  $\mu_1$ , так как граф переходов (рис. 3.43,а) без переходных состояний содержит контуры нечетной длины, что не позволяет осуществить соседнее кодирование внутренних состояний (например, символ "4/2" означает, что исходное внутреннее состояние  $\mu_4$  необходимо заменить на состояние  $\mu_2$ ). Преобразованной таблице переходов соответствует граф перехо-

Таблица 3.19. Минимальная таблица переходов  $dJ$ - $dK$ -триггера

$j$	$J, K$				$Q_2 Q_1$
	00	01	10	11	
1	(1),0	(1),0	5	5	0 0
2	(2),1	4	(2),1	4	1 1
4	1	(4),1	5/1	(4),1	1 0
5	2	4/2	(5),0	(5),0	0 1

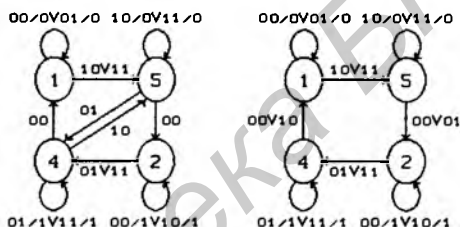


Рис. 3.43

дов, представленный на рис. 3.43, б. Соседнее кодирование внутренних состояний можно выполнить так, чтобы в устойчивых состояниях имело место соотношение  $z = Q = Q_2$ , что позволяет в качестве выходного сигнала автомата использовать выходной сигнал ЭП  $Q_2$ .

Составив для функций  $Q_2^+$  и  $Q_1^+$  диаграммы Вейча (рис. 3.44), получим:

$$\left. \begin{aligned} D_2 = Q_2^+ &= Q_2 K \vee Q_1 \bar{J} \vee Q_2 Q_1 = \overline{\overline{Q_2 K} \cdot \overline{Q_1 J} \cdot \overline{Q_2}} \\ D_1 = Q_1^+ &= \overline{Q_2} J \vee Q_1 \bar{K} \vee \overline{Q_2} Q_1 = \overline{\overline{\overline{Q_2} J} \cdot \overline{Q_1 K} \cdot \overline{Q_2}} \end{aligned} \right\} \quad (3.56)$$

Функциям возбуждения (3.56) соответствует схема  $dJ$ - $dK$ -триггера на рис. 3.45. Ее анализ показал, что состязания устойчивых состояний отсутствуют, а на выходе ЛЭ  $\alpha_4$  появляется импульсный сигнал длительностью  $5\tau_3$  при изменении состояния  $\mu_7$  на состояние  $\mu_4$ . Решив функцию переходов автомата (3.56) относительно устойчивых состояний, можно получить, что в устойчивых состояниях

$$\left. \begin{aligned} Q_1 &= Q_2 \bar{K} \vee \overline{Q_2} J, \quad \alpha_1 = Q_2 K \vee \overline{Q_2} \bar{J} = \bar{Q}_1, \\ \alpha_2 &= \overline{Q_2} \vee \bar{K}, \quad \alpha_3 = Q_2 \vee \bar{J}, \quad \alpha_4 = \overline{Q_2} \vee K. \end{aligned} \right\} \quad (3.57)$$

Если инверсный выход  $\bar{Q}$  не требуется, то ЛЭ НЕ можно исключить таким же способом, как и в  $dT$ -триггере. Если входы  $J$  и  $K$

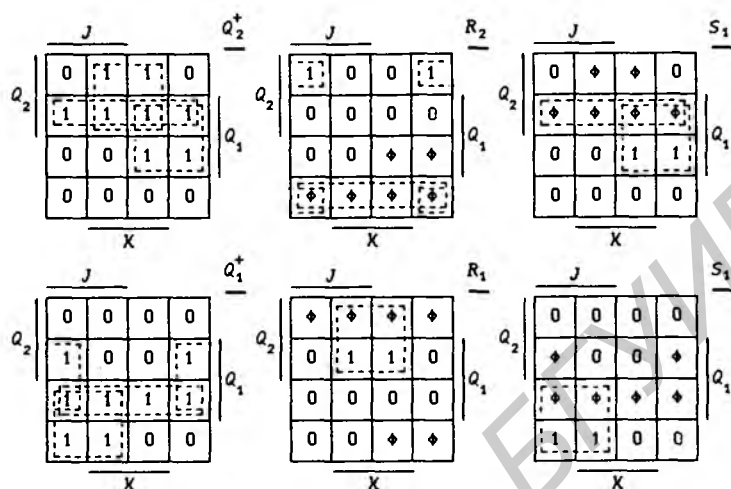


Рис. 3.44

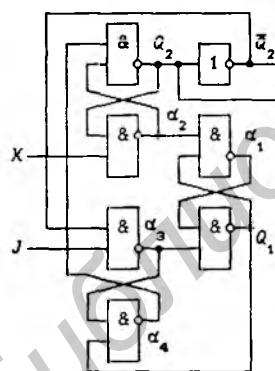


Рис. 3.45

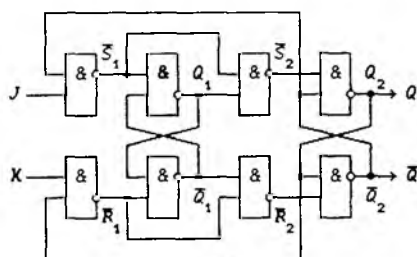


Рис. 3.46

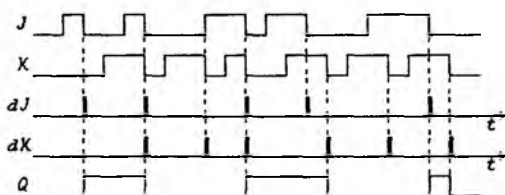


Рис. 3.47

поменять местами, то прямой и инверсный выходы триггера тоже поменяются местами.

Синтез  $dJ$ - $dK$ -триггера можно сделать и на  $R$ - $S$ -триггерах, получив из диаграмм Вейча (см. рис. 3.44) функции возбуждения:

$$R_2 = \bar{Q}_1 \bar{R}_1, S_2 = Q_1 \bar{S}_1, R_1 = Q_2 K, S_1 = \bar{Q}_2 J.$$

Этим функциям возбуждения соответствует схема  $dJ$ - $dK$ -триггера на рис. 3.46. Временные диаграммы, поясняющие его работу, показаны на рис. 3.47. Условные графические обозначения асинхронных импульсных триггеров типов  $dT$  и  $dJ$ - $dK$  приведены на рис. 3.48 (у импульсных входов указаны перепады сигналов, вызывающие изменение их состояний).

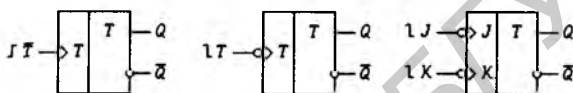


Рис. 3.48

Если в функцию переходов (3.55)  $dJ$ - $dK$ -триггера подставить значения  $J = K = T$ , то получится функция переходов (3.43)  $dT$ -триггера. Из этого следует, что если в  $dJ$ - $dK$ -триггере входы  $J$  и  $K$  соединить, то получится  $dT$ -триггер. Это подтверждается также сравнением полученных схем триггеров типов  $dT$  и  $dJ$ - $dK$ , показанных на рис. 3.35,б и 3.46.

Импульсные триггеры используются в качестве строительных элементов при логическом проектировании асинхронных импульсных автоматов. Как было показано выше, внутреннее устройство импульсных триггеров может быть самым различным, но тем не менее законы их функционирования могут быть одинаковыми. В этой связи важно понять, что для логического проектирования автоматов нужно знать только логические свойства триггеров, определяемые функциями переходов, а не их внутреннее устройство, так же как при синтезе КС необходимо знать только функции, выполняемые ЛЭ, а не их внутреннюю структуру. Выше на примере триггеров со счетным входом было показано, что все известные и неизвестные в настоящее время схемы  $dT$ -триггеров, которые могут быть построены по принципу логического дифференцирования сигналов, задаются одной и той же первоначальной таблицей переходов. По этой причине нет никакого принципиального различия между этими схемами.

**Классификация триггеров.** Сформулируем принципы, на основании которых в дальнейшем будет производиться классификация триггеров. Так как триггеры являются простейшими автоматами, то независимо от способов их построения триггеры, как и автоматы, будут разделяться на три класса:

*асинхронные потенциальные триггеры*, в функции переходов которых не входят операторы перехода  $d$ ;

*асинхронные импульсные триггеры*, функции переходов которых содержат операторы перехода  $d$ ;

*синхронные триггеры*, которые являются частным случаем асинхронных импульсных триггеров (функции переходов синхронных триггеров содержат только импульсный сигнал  $dH$ , где  $H$  — тактовый сигнал).

Отметим, что целесообразно рассматривать методы синтеза автоматов, принадлежащих к какому-либо классу, только из триггеров, относящихся к тому же классу. Действительно, если поставить задачу синтеза асинхронного потенциального автомата, задаваемого табл. 3.15, из  $dT$ -триггеров, то приходим к противоречию, что для построения  $dT$ -триггера необходимо использовать два  $dT$ -триггера.

### 3.7. Синтез синхронных триггеров

Синтез синхронных триггеров производится теми же методами, что и синтез асинхронных импульсных триггеров, т. е. методами, основанными на теории асинхронных потенциальных автоматов.

**Триггеры типа  $D$ .** *Синхронный  $D$ -триггер* имеет входы для подачи информационного сигнала  $D$  и тактового сигнала  $H$ , причем значение выходного сигнала  $z = Q$  определяется значением сигнала  $D$  в момент изменения тактового сигнала  $H$  с 1 на 0 (при  $dH = 1$ ). При  $dH = 0$  выходной сигнал триггера не изменяется. Данному словесному описанию закона функционирования синхронного  $D$ -триггера соответствует таблица истинности (табл. 3.20), задающая функцию переходов  $Q^+$ . Составив диаграмму Вейча для функции переходов (рис. 3.49), получим:

$$Q^+ = D \cdot dH \vee Q \cdot \overline{dH}, \quad \nabla D \cdot dH = 0. \quad (3.58)$$

Второе уравнение системы (3.58) задает запрет на изменение информационного сигнала  $D$  при  $dH = 1$ . Поэтому при изменениях состояний входа автомата вида  $\nabla D \cdot dH = 1$  переходы между устойчивыми состояниями можно не задавать.

Первоначальная таблица переходов (табл. 3.21) и диаграмма совместимых состояний (рис. 3.50,а) составляются по общей методике, изложенной в § 3.5. Выбрав множества совместимых состояний  $\{\mu_1, \mu_3, \mu_5\}$ ,  $\{\mu_2, \mu_6, \mu_8\}$ ,  $\{\mu_4\}$  и  $\{\mu_7\}$ , получим таблицу переходов (табл. 3.22), которой соответствует граф переходов на рис. 3.50,б. Для синтеза синхронного  $D$ -триггера требуется использовать два асинхронных потенциальных ЭП типа  $D$ . Из принятого варианта соседнего кодирования внутренних состояний видно, что в устойчивых состояниях функция выхода автомата  $z = Q_2$ .



Таблица 3.20. Функция переходов  $D$ -триггера

$i$	$dH$	$D$	$Q$	$Q^+$	$i$	$dH$	$D$	$Q$	$Q^+$
0	0	0	0	0	4	1	0	0	0
1	0	0	1	1	5	1	0	1	0
2	0	1	0	0	6	1	1	0	1
3	0	1	1	1	7	1	1	1	1

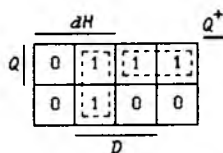


Рис. 3.49

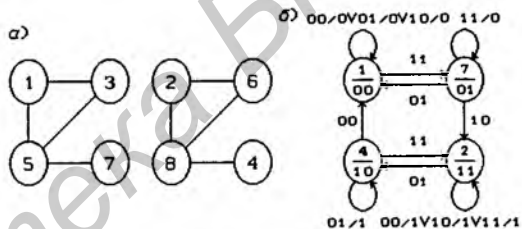


Рис. 3.50

Таблица 3.21. Первоначальная таблица переходов  $D$ -триггера

$j$	$D, H$			
	00	01	10	11
1	(1),0	3	5	7
2	(2),1	4	6	8
3	1	(3),0	—	7
4	1	(4),1	—	8
5	1	3	(5),0	7
6	2	4	(6),1	8
7	—	3	6	(7),0
8	—	4	6	(8),1

Таблица 3.22. Минимальная таблица переходов  $D$ -триггера

$j$	$D, H$				$Q_2 Q_1$
	00	01	10	11	
1	(1),0	(1),0	(1),0	7	0 0
2	(2),1	4	(2),1	(2),1	1 1
4	1	(4),1	—	2	1 0
7	—	1	2	(7),0	0 1

Составив на основании табл. 3.22 диаграммы Вейча для функций  $Q_2^+$  и  $Q_1^+$  (рис. 3.51), МДНФС функций возбуждения ЭП типа  $D$  можно представить в виде:

$$\left. \begin{aligned} D_2 = Q_2^+ &= Q_2 H \vee Q_1 \bar{H} \vee Q_2 Q_1, \\ D_1 = Q_1^+ &= D \cdot H \vee Q_1 \bar{H} \vee Q_1 D. \end{aligned} \right\} \quad (3.59)$$

Структурная схема синхронного  $D$ -триггера как асинхронного потенциального автомата показана на рис. 3.52,а. Преобразовав функции (3.59), получим:

$$Q_2^+ = Q_2 \overline{Q_1 \bar{H}} \cdot \overline{Q_1 \bar{H}}, \quad Q_1^+ = D \cdot \overline{Q_1 \bar{H}} \cdot \overline{Q_1 \bar{H}}. \quad (3.60)$$

На рис. 3.52,б показана схема синхронного  $D$ -триггера, построенная на основании выражений (3.60) с учетом преобразований

$$\alpha_3 = \overline{Q_1 \bar{H}} = \overline{\alpha_2 \alpha_4 \bar{H}},$$

так как  $Q_1 = \overline{\alpha_2 \alpha_4}$ . Асинхронные потенциальные ЭП типа  $D$  из схемы исключены так же, как и в  $dT$ -триггере (см. рис. 3.32 и 3.33). Решив функцию переходов автомата (3.59) относительно устойчивых состояний, можно показать, что в устойчивых состояниях

$Q_1 = D \cdot H \vee Q_2 \bar{H}$ ,  $\alpha_1 = \bar{Q}_2$ ,  $\alpha_2 = \bar{Q}_2 H$ ,  $\alpha_3 = Q_2 \vee H$ ,  $\alpha_4 = \bar{D} \vee \bar{Q}_2 \bar{H}$ , т.е.  $D$ -триггер имеет как прямой ( $z = Q_2$ ), так и инверсный ( $\bar{z} = \bar{Q}_2$ ) выходы. Анализ схемы показал, что состязания устойчивых состояний имеют место только при несоседних изменениях состояний входа вида  $\nabla D \cdot dH = 1$ , которые запрещены.

Если выполнить синтез  $D$ -триггера на  $R$ - $S$ -триггерах, то из диаграмм Вейча (см. рис. 3.51) можно получить:

$$R_2 = \bar{Q}_1 \bar{H}, \quad S_2 = Q_1 \bar{H}, \quad R_1 = \bar{D} \cdot H, \quad S_1 = D \cdot H. \quad (3.61)$$

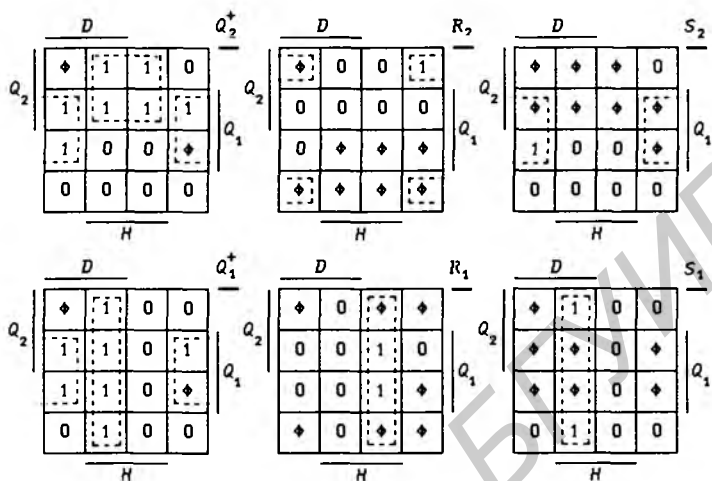


Рис. 3.51

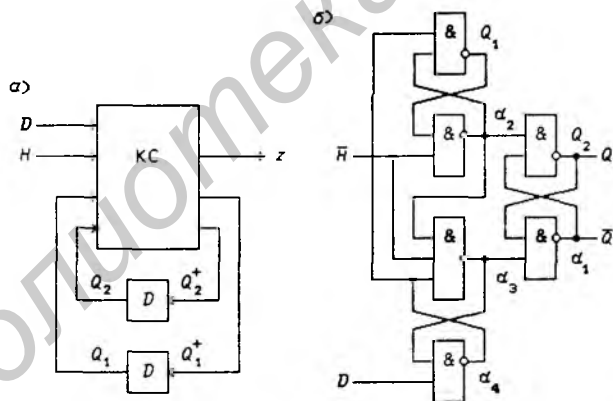


Рис. 3.52

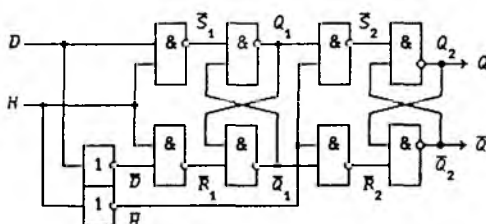


Рис. 3.53

На рис. 3.53 приведена схема синхронного  $D$ -триггера, построенная в соответствии с (3.61), а на рис. 3.54 — временные диаграммы его работы.

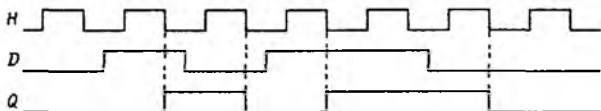


Рис. 3.54

**Триггеры типа  $J-K$ .** Синхронный  $J-K$ -триггер имеет два информационных входа:  $J$  — вход разрешения установки состояния  $Q = 1$ ;  $K$  — вход разрешения установки состояния  $Q = 0$  (при  $J = 1$  и  $K = 1$  состояние триггера изменяется на инверсное). Функция переходов  $J-K$ -триггера при  $dH = 1$  задается табл. 3.23. Составив по ней диаграмму Вейча (рис. 3.55), получим:

$$Q^+ = \bar{Q} \cdot J \vee Q \cdot \bar{K}. \quad (3.62)$$

Таблица 3.23. Функция переходов  $J-K$ -триггера

$i$	$J$	$K$	$Q$	$Q^+$	$i$	$J$	$K$	$Q$	$Q^+$
0	0	0	0	0	4	1	0	0	1
1	0	0	1	1	5	1	0	1	1
2	0	1	0	0	6	1	1	0	1
3	0	1	1	0	7	1	1	1	0

Функция переходов (3.62) справедлива при  $dH = 1$ , а при  $dH = 0$  состояние триггера не изменяется ( $Q^+ = Q$ ). Используя для введения в функцию переходов тактового сигнала мультиплексную функцию, получим:

$$Q^+ = (\bar{Q} \cdot J \vee Q \cdot \bar{K}) \cdot dH \vee Q \cdot \bar{dH} = \bar{Q} \cdot J \cdot dH \vee Q \cdot \bar{K} \cdot dH, \quad \left. \begin{array}{l} \\ (\nabla J \vee \nabla K) \cdot dH = 0. \end{array} \right\} \quad (3.63)$$

Второе уравнение системы (3.63) устанавливает запрет на изменения информационных сигналов  $J$  и  $K$  в момент времени, когда  $dH = 1$ . По функции переходов (3.63) составляется первоначальная таблица переходов (табл. 3.24), а на ее основании — диаграмма совместимых состояний (рис. 3.56). Выбрав

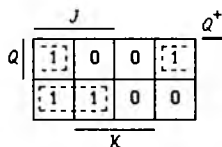


Рис. 3.55

Таблица 3.24. Первоначальная таблица переходов  $J$ - $K$ -триггера

$j$	$J, K, H$							
	000	001	010	011	100	101	110	111
1	(1),0	3	5	7	9	11	13	15
2	(2),1	4	6	8	10	12	14	16
3	1	(3),0	—	7	—	11	—	15
4	2	(4),1	—	8	—	12	—	16
5	1	3	(5),0	7	9	11	13	15
6	2	4	(6),1	8	10	12	14	16
7	—	3	5	(7),0	—	11	—	15
8	—	4	5	(8),1	—	12	—	16
9	1	3	5	7	(9),0	11	13	15
10	2	4	6	8	(10),1	12	14	16
11	—	3	—	7	10	(11),0	—	15
12	—	4	—	8	10	(12),1	—	16
13	1	3	5	7	9	11	(13),0	15
14	2	4	6	8	10	12	(14),1	16
15	—	3	—	7	—	11	14	(15),0
16	—	4	—	8	—	12	13	(16),1

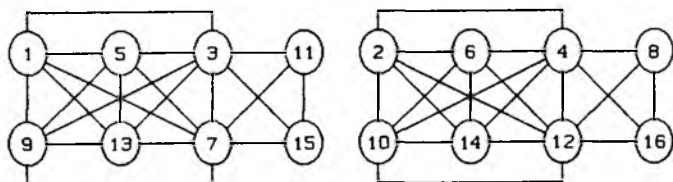


Рис. 3.56

множества совместимых внутренних состояний

$$\{\mu_1, \mu_3, \mu_5, \mu_7, \mu_9, \mu_{13}\}, \{\mu_{11}, \mu_{15}\}, \\ \{\mu_2, \mu_4, \mu_6, \mu_{10}, \mu_{12}, \mu_{14}\}, \{\mu_8, \mu_{16}\},$$

получим табл. 3.25, в которой указан выбранный вариант соседнего кодирования внутренних состояний. Составив диаграммы Вейча (рис. 3.57) для функций  $Q_2^+$  и  $Q_1^+$  (функция выхода автомата  $z = Q = Q_2$ ), найдем МДНФС функций возбуждения  $D_2$  и  $D_1$ :

$$\left. \begin{aligned} D_2 &= Q_2^+ = Q_2 Q_1 \vee Q_2 H \vee Q_1 \bar{H}, \\ D_1 &= Q_1^+ = Q_2 \bar{K} \vee Q_1 \bar{H} \vee \bar{Q}_2 J \cdot H \vee J \cdot \bar{K} \cdot H \vee \bar{Q}_2 Q_1 J. \end{aligned} \right\} \quad (3.64)$$

Для получения МДНФ функции  $Q_1^+$  достаточно использовать только три первых члена. Если исключить член  $J \cdot \bar{K} \cdot H$ , то функции возбуждения приводятся к виду:

$$Q_2^+ = \overline{Q_1 \bar{H} \cdot Q_2 \bar{Q}_1 \bar{H}}, \quad Q_1^+ = \overline{Q_2 \bar{K} \cdot Q_1 \bar{H} \cdot \bar{Q}_2 J \cdot H \cdot \bar{Q}_1}. \quad (3.65)$$

Функциям (3.65) соответствует схема, показанная на рис. 3.58. Эта ЛС не имеет состояний устойчивых состояний при выполнении условия  $(\nabla J \vee \nabla K) \cdot dH = 0$ , хотя функция  $Q_2^+$  и была представлена не в МДНФС.

Произведя синтез синхронного  $J$ - $K$ -триггера на  $R$ - $S$ -триггерах, из диаграмм Вейча (см. рис. 3.57) получим функции возбуждения:

$$\left. \begin{aligned} R_2 &= \bar{Q}_1 \bar{H}, \quad S_2 = Q_1 \bar{H}, \\ R_1 &= R_1' \vee R_1'' = Q_2 K \cdot H \vee \bar{J} \cdot \bar{Q}_2 H = Q_2 K \cdot H \vee \bar{S}_1' \bar{Q}_2 H, \\ S_1 &= S_1' \vee S_1'' = Q_2 J \cdot H \vee K \cdot Q_2 H = Q_2 J \cdot H \vee R_1' Q_2 H. \end{aligned} \right\} \quad (3.66)$$

В соответствии с (3.66) построена схема  $J$ - $K$ -триггера, приведенная на рис. 3.59,а.

Наложив на длительность переходных процессов некоторые ограничения, можно построить синхронные триггеры на основе асинхронных импульсных триггеров. Пусть для всех информационных входов  $I_i$  выполняется условие  $H \cdot dI_i = 0$ , т. е. они не изменяются при значении тактового сигнала  $H = 1$ . Тогда

$$I_i dH = I_i^* dH \vee H^* dI_i = d(I_i H). \quad (3.67)$$

Из этого следует, что асинхронные импульсные триггеры преобразуются в синхронные заменой информационных сигналов  $I_i$  на  $I_i H$ . Так, подставив в (3.55) вместо  $J$  и  $K$  конъюнкции

Таблица 3.25. Минимальная таблица переходов  $J$ - $K$ -триггера

$j$	$J, K, H$								$Q_2 Q_1$
	000	001	010	011	100	101	110	111	
1	(1),0	(1),0	(1),0	(1),0	(1),0	11	(1),0	11	0 0
2	(2),1	(2),1	(2),1	8	(2),1	(2),1	(2),1	8	1 1
8	—	2*	1	(8),1	—	2*	1	(8),1	1 0
11	—	1*	—	1*	2	(11),0	2	(11),0	0 1

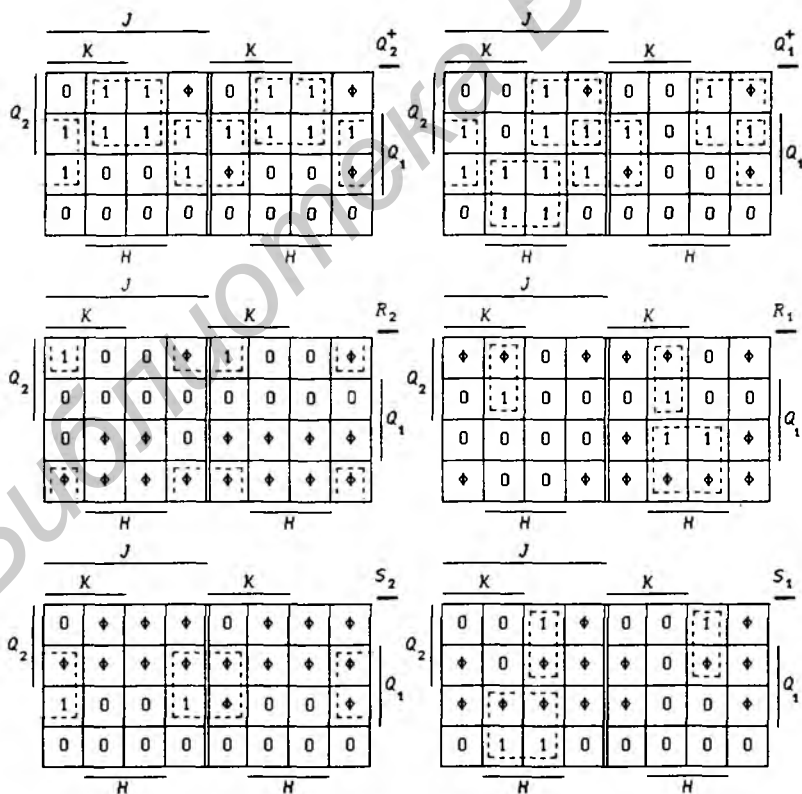


Рис. 3.57

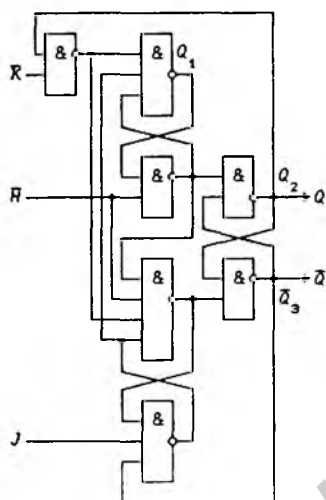


Рис. 3.58

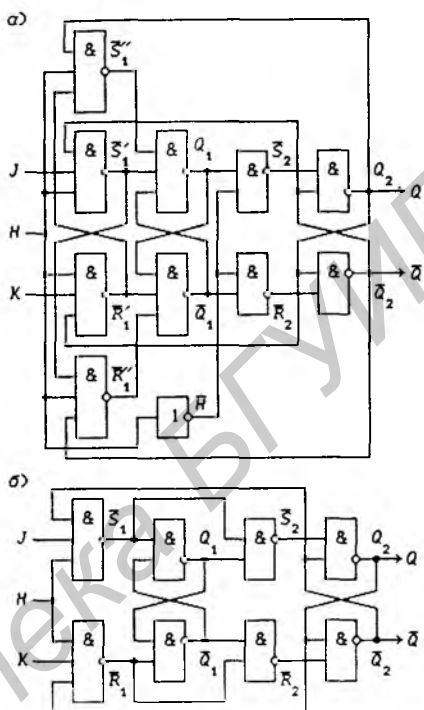


Рис. 3.59

$J \cdot H$  и  $K \cdot H$ , получим:

$$Q^+ = \bar{Q} \cdot d(J \cdot H) \vee Q \cdot \overline{d(K \cdot H)}. \quad (3.68)$$

Из (3.67) следует, что при использовании  $J$ - $K$ -триггера (3.68) в качестве синхронного для информационных входов должны выполняться условия  $H^*dJ = 0$  и  $H^*dK = 0$ . На рис. 3.59,б показана схема такого  $J$ - $K$ -триггера, полученная рассмотренным методом из  $dJ$ - $dK$ -триггера, изображенного на рис. 3.46.

**Синхронно-асинхронные триггеры.** Расширить функциональные возможности синхронных триггеров можно добавлением асинхронных потенциальных входов. На практике чаще всего добавляют асинхронные потенциальные входы  $S$  и  $R$  установки состояний триггера 0 и 1. На рис. 3.60,а показана схема  $D/R$ - $S$ -триггера, полученная на основе синхронного  $D$ -триггера (см. рис. 3.52,б) увеличением числа входов ЛЭ И-НЕ для подачи сигналов  $\bar{S}$  и  $\bar{R}$  (до знака "/" будем указывать тип синхронного триггера, а после него — тип асинхронного потенциального триггера). Синхронные тригге-



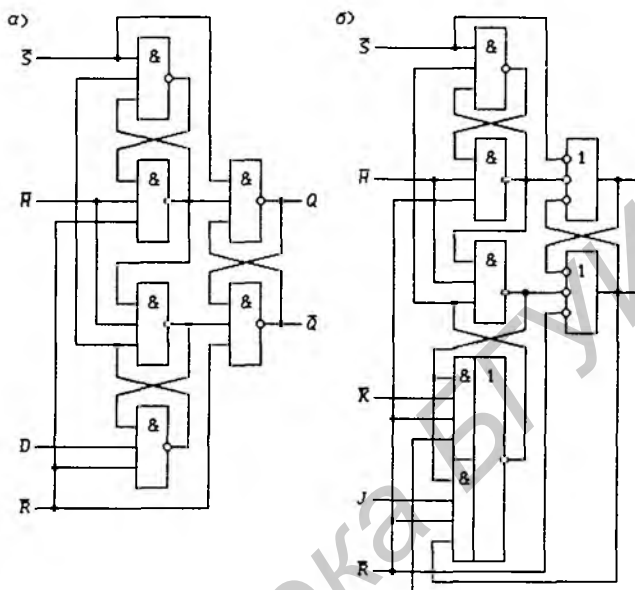


Рис. 3.60

ры, имеющие и асинхронные потенциальные входы, будем называть *синхронно-асинхронными*. По схеме, изображенной на рис. 3.60, а, выполнены ИС 155ТМ2, 1533ТМ2 (два  $D$ -триггера) и др.

Асинхронные потенциальные входы всегда имеют приоритет по отношению к синхронным входам, так как они различаются длительностью воздействия на триггер. Так, в схеме на рис. 3.60, а асинхронные потенциальные входы воздействуют на триггер в течение времени, пока сохраняются активные уровни сигналов  $\bar{S} = 0$  и  $\bar{R} = 0$ , которые блокируют воздействие на триггер тактового сигнала  $\bar{H}$ . В данной схеме синхронные входы вообще можно не использовать (для этого достаточно положить  $\bar{H} \equiv 0$  или  $\bar{H} \equiv 1$ , т. е.  $d\bar{H} \equiv 0$ ). В этом случае  $D/R$ -триггер превращается в асинхронный потенциальный  $R$ - $S$ -триггер при соблюдении условия  $R \cdot S = 0$ .

Из (3.58) при  $d\bar{H} = 0$  и (3.62) следует, что связь между триггерами типов  $D$  и  $J$ - $K$  выражается соотношением

$$D = \bar{Q} \cdot J \vee Q \cdot \bar{K}.$$

Данное соотношение позволяет построить схему  $J$ - $K/R$ - $S$ -триггера, изображенную на рис. 3.60, б, на основании схемы  $D/R$ - $S$ -триггера, показанной на рис. 3.60, а (два ЛЭ И-НЕ представлены в двойственной форме). По этой схеме выполнены ИС 155ТВ15 и 1533ТВ15 (два  $J$ - $K/R$ - $S$ -триггера в одном корпусе).

Функции переходов синхронно-асинхронных триггеров достаточно просто записать в аналитической форме с помощью мультиплексных функций, но при этом функцию переходов синхронных триггеров следует обязательно представлять в операторной форме. Найдем функции переходов синхронно-асинхронных триггеров нескольких типов. Добавив в синхронный  $D$ -триггер асинхронный потенциальный вход  $R$ , получим  $D/R$ -триггер. Данный триггер при значении сигнала  $R = 0$  описывается функцией переходов (3.58), а при  $R = 1$  состояние триггера  $Q^+ = 0$ , поэтому

$$\begin{aligned} Q^+ &= f(D, dH, R) = (D \cdot dH \vee Q \cdot \overline{dH}) \cdot \overline{R} \vee 0 \cdot R = \\ &= (D \cdot dH \vee Q \cdot \overline{dH}) \cdot \overline{R}. \end{aligned} \quad (3.69)$$

Дополним полученный  $D/R$ -триггер входом  $S$  установки состояния  $Q^+ = 1$ . Тогда мультиплексирование функции переходов сигналом  $S$  даст функцию переходов  $D/R$ - $S$ -триггера

$$\begin{aligned} Q^+ &= f(D, dH, R, S) = f(D, dH, R) \cdot \overline{S} \vee 1 \cdot S = \\ &= S \vee (D \cdot dH \vee Q \cdot \overline{dH}) \cdot \overline{R}, \quad R \cdot S = 0. \end{aligned} \quad (3.70)$$

Аналогичным образом на основании (3.63) легко показать, что  $J$ - $K/R$ - $S$ -триггер описывается функцией переходов

$$Q^+ = S \vee (\overline{Q} \cdot J \cdot dH \vee Q \cdot \overline{K} \cdot \overline{dH}) \cdot \overline{R}, \quad R \cdot S = 0. \quad (3.71)$$

Из последнего выражения можно получить функции переходов  $J$ - $K/R$ -триггера и  $J$ - $K/S$ -триггера, подставив значения асинхронных потенциальных сигналов  $S \equiv 0$  или  $R \equiv 0$ :

$$Q^+ = (\overline{Q} \cdot J \cdot dH \vee Q \cdot \overline{K} \cdot \overline{dH}) \cdot \overline{R}, \quad (3.72)$$

$$Q^+ = S \vee \overline{Q} \cdot J \cdot dH \vee Q \cdot \overline{K} \cdot \overline{dH}. \quad (3.73)$$

Функции переходов (3.69) – (3.73) полностью описывают свойства большинства триггеров, изготавливаемых в виде ИС.

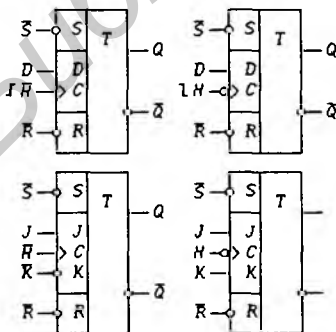


Рис. 3.61

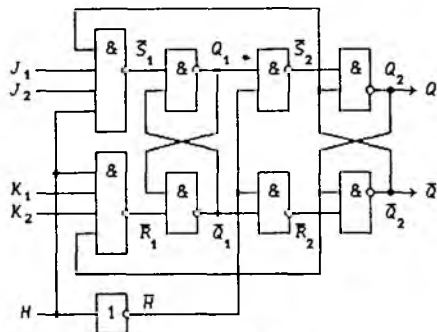


Рис. 3.62

На рис. 3.61 показаны условные графические обозначения нескольких типов синхронно-асинхронных триггеров (все синхронные входы указываются в отдельной зоне левого дополнительного поля, что облегчает распознавание типов входов). Изложенным выше методом можно синтезировать самые различные схемы синхронных триггеров. Так, в частности, можно получить схему  $J$ - $K$ -триггера на рис. 3.62, поведение которой при переходных процессах отличается от поведения ранее рассмотренных схем. Легко заметить, что данная схема отличается от схемы на рис. 3.59,а отсутствием ЛЭ И-НЕ, реализующих функции  $\bar{S}_1''$  и  $\bar{R}_1''$ . Функции возбуждения данного триггера реализованы с входной логикой 2И, т.е.  $J = J_1 \cdot J_2$  и  $K = K_1 \cdot K_2$ . Аналогично схеме на рис. 3.62 реализован триггер в ИС 155ТВ1.

### 3.8. Примеры синтеза асинхронных потенциальных автоматов

Рассмотрим некоторые простейшие автоматы специального назначения, широко используемые в цифровых устройствах радиотехнических систем. Наиболее трудным этапом логического проектирования автоматов является переход от словесного описания законов их функционирования к таблицам переходов, так как последующие стадии проектирования достаточно просто выполняются формальными методами, изложенными в § 3.5 и 3.6. Поэтому рассмотрим в общем виде методику построения таблиц переходов для автоматов, закон функционирования которых задан словесно или временными диаграммами.

**Бинарный квантизатор сигналов.** В цифровых обнаружителях сигналов и в цифровых следящих системах часто используется бинарное квантование сигналов по нулевому уровню, которое выполняется с помощью устройства, называемого *бинарным квантизатором*. Бинарный квантизатор (БК), как правило, состоит из усилителя-ограничителя сигналов (УОС) и селекторного каскада (СК), на один из входов которого

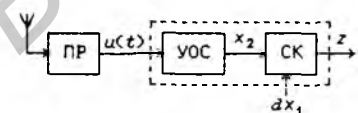


Рис. 3.63

подаются селекторные импульсы  $dx_1$  (рис. 3.63). На вход УОС поступает сигнал  $u(t)$ , представляющий собой прошедшую через приемник (Пр) смесь полезного сигнала с шумом. Назначением УОС является формирование из аналогового сигнала  $u(t)$  цифрового сигнала  $x_2$ , т.е. его работа может быть описана выражением

$$x_2 = \begin{cases} 1, & \text{если } u(t) > 0, \\ 0, & \text{если } u(t) < 0. \end{cases}$$

Значение выходного сигнала селекторного каскада  $z$  определяется значением сигнала  $x_2$  в момент поступления селекторного импульса  $dx_1 = 1$ , причем полученное значение  $z$  обычно должно запоминаться до прихода следующего селекторного импульса, т. е. выходной сигнал  $z$  изменяется только в моменты времени, в которые сигнал  $dx_1 = 1$ . Если же активный уровень сигнала  $dx_1$  попадает на фронт сигнала  $x_2$ , то функция выхода  $z$  имеет неопределенное значение, что вызвано неопределенностью значения сигнала  $x_2$  при его изменении.

По словесному описанию закона функционирования селекторного каскада составим выражение для функции выхода:

$$\left. \begin{aligned} z^+ &= x_2 dx_1 \vee z \cdot \overline{dx_1}, \\ \nabla x_2 dx_1 &= 0. \end{aligned} \right\} \quad (3.74)$$

Выражения (3.74) полностью совпадают с функцией переходов (3.58), описывающей закон функционирования синхронного  $D$ -триггера, если положить  $x_1 = H$ ,  $x_2 = D$  и  $z = Q$ . Из этого следует, что  $D$ -триггер (см. рис. 3.52, б) может быть использован в качестве селекторного каскада.

**Цифровые фазочастотные детекторы.** В системах фазовой автоматической подстройки частоты (ФАПЧ) используются фазочастотные детекторы, которые довольно просто выполнить в цифровом виде. Цифровой фазочастотный детектор (ЦФЧД) имеет два входа и два выхода (рис. 3.64). На один из входов подается сформированный с помощью усилителя-ограничителя сигнал  $x_1$ , который имеет частоту  $f_1$ , а на другой — сигнал  $x_2$  от управляемого напряжением генератора (УНГ), частота которого равна  $f_2$ . Фазочастотный детектор должен вырабатывать сигналы  $z_1$  и  $z_2$ , по которым можно было бы получить сигнал ошибки  $u$ , пропорциональный разности фаз  $\Delta\varphi = \varphi_1 - \varphi_2$  сигналов  $u_1$  и  $u_2$ , знак которого определяется знаком разности фаз  $\Delta\varphi$  и соотношением частот  $f_1$  и  $f_2$  ( $f_1 > f_2$  или  $f_1 < f_2$ ).

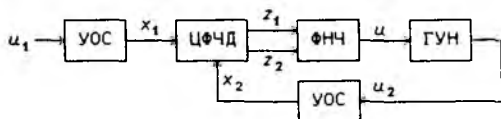


Рис. 3.64

Положим, что подстройка управляемого генератора по частоте производится с помощью напряжения  $u$ . Тогда если фазочастотный детектор будет вырабатывать в зависимости от знака

разности фаз на одном из выходов  $z_1$  или  $z_2$  сигнал, длительность которого определяется разностью фаз  $\Delta\varphi$ , то, используя преобразователь сигнала ошибки, содержащий фильтр нижних частот (ФНЧ) и вычитающее устройство, можно получить сигнал ошибки  $\pm u$ , величина которого пропорциональна  $\Delta\varphi$ .

На рис. 3.65 приведены временные диаграммы, поясняющие работу фазочастотного детектора при  $f_1 = f_2$ ,  $\Delta\varphi > 0$  и  $\Delta\varphi < 0$ . Функцию  $z_2$  можно задать одним из двух способов, представленных на рис. 3.65 сплошными и штриховыми линиями. В первом случае как сигнал  $z_1$ , так и сигнал  $z_2$  привязаны к положительным фронтам входных сигналов  $x_1$  и  $x_2$ , а во втором случае сигнал  $z_1$  привязан к положительным фронтам, а сигнал  $z_2$  — к отрицательным фронтам сигналов  $x_1$  и  $x_2$ .

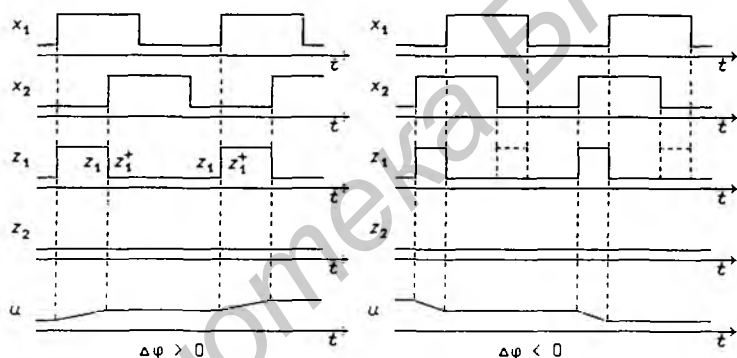


Рис. 3.65

С помощью временных диаграмм довольно просто составить аналитические выражения, содержащие операторы перехода  $d$ , которые описывают закон функционирования автомата, выполняющего функции фазочастотного детектора. Общий принцип построения таких аналитических выражений заключается в том, что функции выхода автомата представляются в форме

$$z_q^+ = g_q \vee z_q h_q, \quad (3.75)$$

где  $g_q$  — сигнал включения (при  $g_q = 1$  сигнал  $z_q$  принимает значение  $z_q^+ = 1$ );  $h_q$  — сигнал сохранения значения 1 (до тех пор пока сигнал  $h_q = 1$ , значение сигнала  $z_q^+ = 1$  продолжает сохраняться независимо от значения сигнала включения  $g_q$ ).

Сигналы включения  $g_q$ , как правило, должны содержать операторы перехода, а сигналы  $h_q$  сохранения значения 1, если

это возможно, лучше записывать без оператора перехода, так как в этом случае функции (3.75) будут задавать автомат, имеющий меньшее число устойчивых состояний при некоторых состояниях входа. При неудачном выборе сигналов  $h_q$  в первоначальной таблице переходов могут появиться лишние устойчивые состояния, в которые нет переходов из других состояний. После выявления таких устойчивых состояний их следует исключить, однако это может привести к значительному увеличению объема работы по составлению первоначальной таблицы переходов.

Из рис. 3.65 легко установить, что в качестве сигналов  $g_1$  и  $h_1$  можно взять сигналы  $\bar{x}_2 d\bar{x}_1$  (если  $x_2 = 0$  и  $d\bar{x}_1 = 1$ , то должно установиться значение сигнала  $z_1^+ = 1$ ) и  $\bar{x}_2 x_1$  (до тех пор пока  $x_1 = 1$  и  $x_2 = 0$ , значение сигнала  $z_1^+ = 1$  должно сохраняться). Таким образом, функцию  $z_1^+$  можно представить в виде

$$z_1^+ = \bar{x}_2 d\bar{x}_1 \vee z_1 \bar{x}_2 x_1. \quad (3.76)$$

Функцию  $z_2^+$ , показанную на рис. 3.65 сплошными линиями, можно получить из функции  $z_1^+$  взаимной заменой сигналов  $x_2$  и  $x_1$  на основании очевидной симметричности фазочастотного детектора относительно входов  $x_p$  и выходов  $z_q$ :

$$z_2^+ = \bar{x}_1 d\bar{x}_2 \vee z_2 x_2 \bar{x}_1. \quad (3.77)$$

Таблица 3.26. Первоначальная таблица переходов фазочастотного детектора

$j$	$x_2 x_1$			
	00	01	10	11
1	(1),00	3	5	6
2	1	(2),00	—	6
3	1	(3),01	—	6
4	1	—	(4),00	6
5	1	—	(5),10	6
6	1	2	4	(6),00

Теперь обычными методами на основании выражений (3.76) и (3.77) можно построить первоначальную таблицу переходов (табл. 3.26). Например, если входные сигналы не изменяются,

то при  $x_2 = x_1 = 0$  будем иметь  $z_2^+ = z_1^+ = 0$ , т.е. в столбце  $\nu_0 = (0, 0)$  нужно поставить только одно устойчивое состояние, которому соответствует состояние выхода автомата  $\lambda_0 = (0, 0)$ . Если же  $x_2 = 0$ , а  $x_1 = 1$ , то  $z_2^+ = 0$ , а  $z_1^+ = z_1 = 0$  или 1, поэтому в столбце  $\nu_1 = (0, 1)$  следует поставить два устойчивых состояния, для которых  $\lambda_0 = (0, 0)$  и  $\lambda_1 = (0, 1)$ . При изменениях состояний входа вида  $d\bar{x}_2 dx_1 = 1$  и  $dx_2 d\bar{x}_1 = 1$  переходы между устойчивыми состояниями не определены, так как в этом случае сигналы  $x_2$  и  $x_1$  изменяются в противофазе ( $\Delta\varphi = \pi$ ), а значит, не имеет значения, в какую сторону будет происходить обработка фазового рассогласования (при  $\Delta\varphi = \pi$  система ФАПЧ будет находиться в точке неустойчивого равновесия).

Таблица 3.27. Минимальная таблица переходов фазочастотного детектора

$j$	$x_2 x_1$				$Q$
	00	01	10	11	
1	(1),00	(1),01	(1),10	2	0
2	1	(2),00	(2),00	(2),00	1

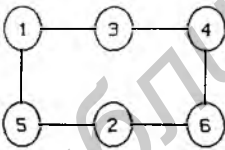


Рис. 3.66

Выбрав по диаграмме совместимых состояний (рис. 3.66) множества  $\{\mu_1, \mu_3, \mu_5\}$  и  $\{\mu_2, \mu_4, \mu_6\}$ , получим таблицу переходов (табл. 3.27) с двумя внутренними состояниями, кодирование которых тривиально, так как требуется только один ЭП. Составив диаграммы Вейча для функций  $Q^+$ ,  $z_2$  и  $z_1$  (рис. 3.67), получим:

$$\left. \begin{aligned} Q^+ &= x_2 x_1 \vee x_2 Q \vee x_1 Q = \overline{\overline{x_2 x_1 x_2 Q x_1 Q}}, \\ z_2 &= \overline{x_2 Q} = \overline{x_2 x_2 Q}, \quad z_1 = \overline{x_1 Q} = \overline{x_1 x_1 Q}. \end{aligned} \right\} \quad (3.78)$$

Функциям (3.78) соответствует схема фазочастотного детектора на рис. 3.68. Состояния устойчивых состояний в этой ЛС имеют место только при несоседних изменениях состояний входа вида  $d\bar{x}_2 dx_1 = 1$  и  $dx_2 d\bar{x}_1 = 1$ , что допустимо, так как соответствующие переходы между устойчивыми состояниями по условиям функционирования фазочастотного детектора не были определены. Функции  $z_2$  и  $z_1$  были доопределены так, что на

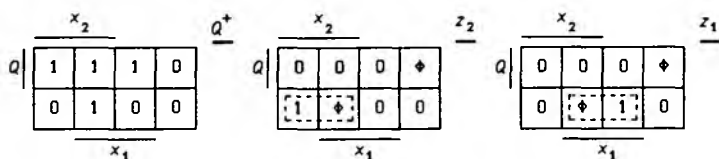


Рис. 3.67

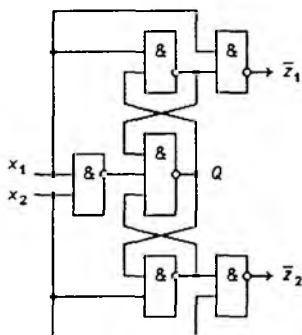


Рис. 3.68

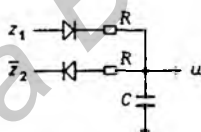


Рис. 3.69

выходах автомата при некоторых переходах могут появляться ложные сигналы малой длительности. Однако это не опасно, так как сигналы  $z_2$  и  $z_1$  используются в инерционном преобразователе сигнала ошибки (ФНЧ), изображенном на рис. 3.69.

Рассмотрим второй вариант фазочастотного детектора, соответствующий функции  $z_2$ , показанной на рис. 3.65 штриховыми линиями. В этом случае функция  $z_2^+$  может быть получена из выражения (3.77) заменой сигналов  $x_2$  и  $x_1$  их инверсиями, т. е.

$$z_2^+ = x_1 dx_2 \vee z_2 \bar{x}_2 x_1. \quad (3.79)$$

Кроме того, из рис. 3.65 следует, что при значениях сигналов  $x_2 = 0$  и  $x_1 = 1$  всегда выполняется соотношение

$$z_2 \oplus z_1 = 1. \quad (3.80)$$

Это следует учитывать при составлении первоначальной таблицы переходов (в столбце  $\nu_1 = (0, 1)$  можно проставить только два устойчивых состояния, которым соответствуют состояния выхода автомата  $\lambda_1 = (0, 1)$  и  $\lambda_2 = (1, 0)$ , так как состояния выхода  $\lambda_0 = (0, 0)$  и  $\lambda_3 = (1, 1)$  по условиям работы фазочастотного детектора при  $x_2 = 0$  и  $x_1 = 1$  возникнуть не могут).



Таблица 3.28. Первоначальная таблица переходов фазочастотного детектора второго типа

$j$	$x_2x_1$			
	00	01	10	11
1	(1),00	2	4	5
2	1	(2),01	—	5
3	1	(3),10	—	5
4	1	—	(4),00	5
5	1	3	4	(5),00

Таблица 3.29. Минимальная таблица переходов фазочастотного детектора второго типа

$j$	$x_2x_1$				$Q$
	00	01	10	11	
1	(1),00	(1),01	(1),01	3	0
2	1	(3),10	1	(3),00	1

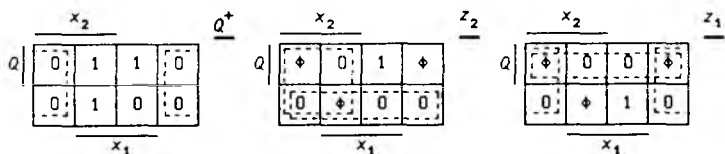


Рис. 3.70

Если по функциям (3.76) и (3.79) с учетом соотношения (3.80) при  $u_1 = (0, 1)$  составить первоначальную таблицу переходов (табл. 3.28), а затем выбрать множества совместимых состояний  $\{\mu_1, \mu_2, \mu_4\}$  и  $\{\mu_3, \mu_5\}$ , то получим минимальную таблицу переходов (табл. 3.29) с двумя внутренними состояниями. Составив диаграммы Вейча для функций  $Q^+$ ,  $z_2$  и  $z_1$  (рис. 3.70), получим:

$$\left. \begin{aligned} Q^+ &= \bar{x}_1 \vee \bar{x}_2 \bar{Q} = \overline{x_1 x_2 Q}, \\ \bar{z}_2 &= x_2 \vee \bar{Q} = \overline{x_2 \bar{x}_2 \bar{Q}}, \quad \bar{z}_1 = \bar{x}_1 \vee Q = \overline{x_1 \bar{Q}}. \end{aligned} \right\} \quad (3.81)$$

На рис. 3.71 приведена схема фазочастотного детектора, построенная по выражениям (3.81).

**Квантизатор временных интервалов.** Синтезируем квантизатор временных интервалов, закон функционирования которого задается временными диаграммами (рис. 3.72). Квантизатор временных интервалов используется в измерителях временных интервалов и предназначен для преобразования временного интервала, задаваемого значением сигнала  $x_2 = 1$ , в число импульсов  $N$  стандартной длительности, определяемой длительностью сигнала  $x_1 = 0$ .

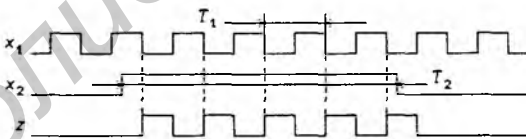


Рис. 3.72

Сигнал  $z = 1$  должен появляться на выходе автомата всякий раз, когда  $dx_1 = 1$  при значении сигнала  $x_2 = 1$ . Из рис. 3.72 видно, что аналитически закон функционирования автомата можно описать выражением

$$z^+ = x_2 dx_1 \vee z \cdot \bar{x}_1, \quad (3.82)$$

при условии, что

$$\nabla x_2 dx_1 = 0, \quad z \cdot d\bar{x}_2 = 0. \quad (3.83)$$

Первое условие из (3.83) вызвано тем, что в момент изменения сигнал  $x_2$  имеет неопределенное значение ( $x_2 = \Phi$  при

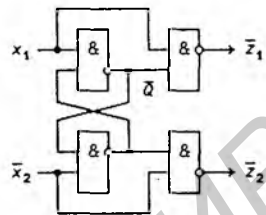


Рис. 3.71

Таблица 3.30. Первоначальная  
таблица переходов  
квантизатора временных  
интервалов

$j$	$x_2 x_1$			
	00	01	10	11
1	(1),0	3	4	6
2	(2),1	3	---	---
3	1	(3),0	-	6
4	1	3	(4),0	6
5	2	3	(5),1	6
6	-	3	5	(6),0

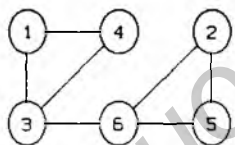


Рис. 3.73

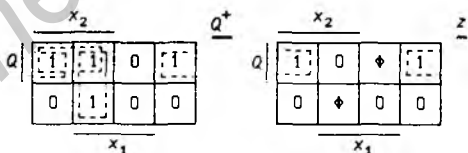


Рис. 3.74

Таблица 3.31. Минимальная  
таблица переходов  
квантизатора временных  
интервалов

$j$	$x_2 x_1$				$Q$
	00	01	10	11	
1	(1),0	(1),0	(1),0	2	0
2	(2),1	1	(2),1	(2),0	1

$\nabla x_2 = 1$ ), а следовательно, и функция выхода  $z$  будет иметь неопределенное значение. Второе условие появилось в результате естественного предположения, что длительность сигнала  $x_2 = 0$  больше длительности сигнала  $x_1 = 0$ . На основании выражений (3.82) и (3.83) можно составить первоначальную таблицу переходов (табл. 3.30). В табл. 3.30 одним прочерком указаны переходы, запрещенные первым из условий (3.83), а двумя — переходы, запрещенные вторым условием. Выбрав по диаграмме совместимых состояний (рис. 3.73) множества  $\{\mu_1, \mu_3, \mu_4\}$  и  $\{\mu_2, \mu_5, \mu_6\}$ , получим таблицу переходов (табл. 3.31) с двумя внутренними состояниями. Составив диаграммы Вейча для функций  $Q^+$  и  $z$  (рис. 3.74), получим:

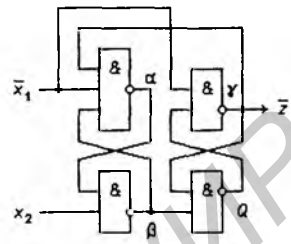


Рис. 3.75

$$Q^+ = \bar{x}_1 Q \vee x_2 x_1 \vee x_2 Q = \overline{\bar{x}_1 Q} \cdot \overline{x_2 \bar{x}_1 Q}, \quad z = \bar{x}_1 Q. \quad (3.84)$$

На рис. 3.75 приведена схема квантизатора временных интервалов, выполненная по этим функциям. Сравнив (3.84) с функцией  $Q_1^+$  из (3.60), легко установить, что полученная схема является частью синхронного  $D$ -триггера ( $Q = Q_1, x_1 = H, x_2 = D$ ).

### 3.9. Генераторы сигналов

В § 2.4 показано, что некоторые ЛС могут представлять собой автогенераторы, а в § 3.2 в определение асинхронных потенциальных автоматов введено требование отсутствия в них автоколебательных процессов. Если это требование снять, то автогенераторы можно будет рассматривать как специальный вид асинхронных потенциальных автоматов, изменения внутренних состояний которых происходят самопроизвольно без воздействия входных сигналов. Такой подход к автогенераторам позволяет использовать для их задания и проектирования методы хорошо разработанной теории асинхронных потенциальных автоматов.

**Автогенераторы.** На рис. 3.76,а показана модель автогенератора как автомата без входных сигналов с одним элементом памяти (задержки)  $D$ . Такой автомат имеет только два внутренних состояния —  $\mu_1$  и  $\mu_2$  — и задается графом переходов, изображенным на рис. 3.76,б. Из таблицы переходов (табл.

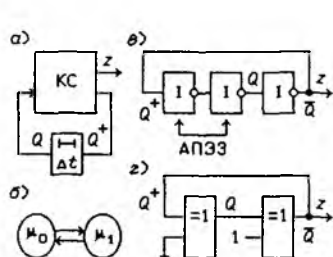


Рис. 3.76

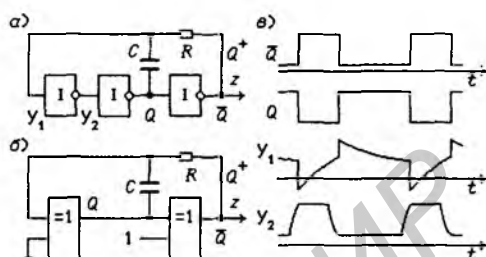


Рис. 3.77

3.32) следует, что *функция переходов автогенератора*  $Q^+ = \bar{Q}$  и *функция выхода*  $z = \bar{Q}$ . На рис. 3.76,б показана соответствующая этим функциям схема автогенератора, в которой в качестве асинхронного потенциального элемента задержки (АПЭЗ) использованы два последовательно включенных ЛЭ НЕ. Данная схема эквивалентна схеме на рис. 2.10,а при значении сигнала  $x = 1$ . Частота  $f$  генерируемого сигнала определяется величиной задержки сигналов в АПЭЗ и КС (в данном случае инерционностью ЛЭ НЕ; частота  $f \approx 23$  МГц при реализации автогенератора на ИС 555ЛН1).

Таблица 3.32. Таблица переходов генератора

$\mu$	$\mu^+, z$	$Q$
1	2, 1	0
2	1, 0	1

На основании полученных функций можно построить и иные схемы автогенератора, если использовать ЛЭ других типов. Так, на рис. 3.76,г показана схема автогенератора, в которой инвертор и АПЭЗ реализованы на ЛЭ сумма по модулю два.

Для изменения частоты генерируемого сигнала в широких пределах можно использовать интегрирующие  $RC$ -цепи, задающие время задержки сигналов в АПЭЗ (рис. 3.77,а,б). Для стабилизации времени перезаряда конденсатора  $C$  один из его выводов подключается не к общему проводу (земле), а к выходу ЛЭ, который формирует сигнал  $Q$ . Для приближенной оценки частоты генерируемого сигнала можно использовать соотношение  $f \approx 1/3 \cdot RC$  (при построении генератора на ИС 555ЛН1 и  $R = 1$  кОм,  $C = 510$  пФ частота  $f \approx 0,75$  МГц). На рис. 3.77,в

показаны временные диаграммы, поясняющие физические процессы, протекающие в генераторе при перезаряде конденсатора (полупериоды сигнала  $Q = 0$  и  $Q = 1$  не равны, в частности, из-за влияния на время перезаряда конденсатора  $C$  неравенства уровней срабатывания ЛЭ для логических значений 0 и 1 входных сигналов, а также из-за различия входных и выходных сопротивлений ЛЭ для разных их логических уровней).

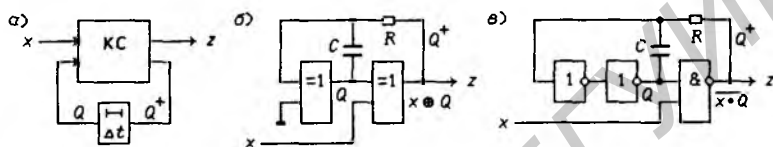


Рис. 3.78

**Управляемые автогенераторы.** На рис. 3.78,а показана модель генератора, управляемого сигналом  $x$ :  $x = 0$  — генерация запрещена,  $x = 1$  — генерация разрешена. Функция переходов данного генератора задается табл. 3.33 (в столбце  $x = 0$  отсутствуют неустойчивые состояния, а значит генерация невозможна). Составив по табл. 3.33 таблицу истинности для функции переходов  $Q^+$  генератора (табл. 3.34), получим:

$$Q^+ = x \oplus Q, \quad z = x \oplus Q.$$

Данным функциям соответствует схема управляемого автогенератора, показанная на рис. 3.78,б.

Таблица 3.33. Таблица переходов управляемого генератора второго типа

j	x		Q
	0	1	
1	(1),0	2, 1	0
2	(2),1	1, 0	1

Таблица 3.34. Таблица истинности генератора

x	Q	Q <sup>+</sup>	z
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

Функцию переходов управляемого генератора можно задать и другим способом (табл. 3.35). В этом случае при значении сигнала  $x = 0$  генерация также невозможна, так как при возникновении неустойчивого состояния  $\mu_2$  оно переходит в устойчивое

Таблица 3.35. Таблица переходов управляемого генератора

$j$	$x$		$Q$
	0	1	
1	2, 1	2, 1	0
2	(2), 1	1, 0	1

Таблица 3.36. Таблица истинности генератора

$x$	$Q$	$Q^+$	$z$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0

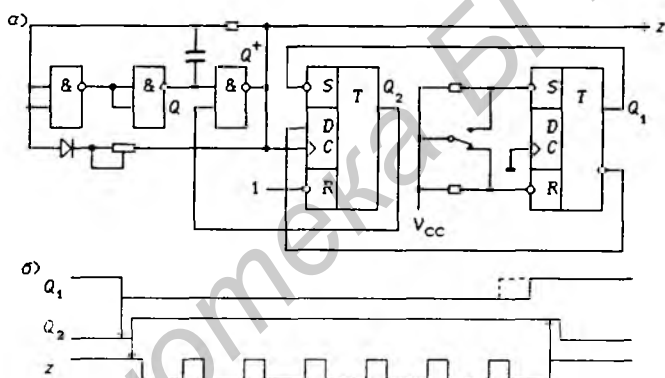


Рис. 3.79

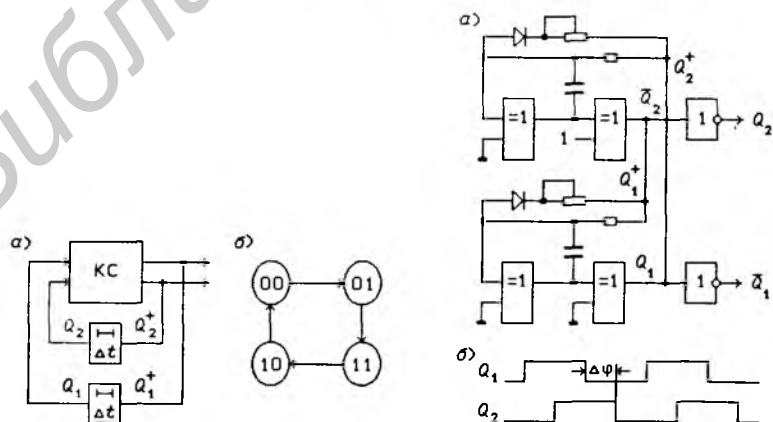


Рис. 3.80

Рис. 3.81

состояние ( $\mu_2$ ). Составив по табл. 3.35 таблицу истинности для функции переходов  $Q^+$  (табл. 3.36), получим:

$$Q^+ = x \cdot \overline{Q}, \quad z = \overline{x \cdot \overline{Q}}.$$

Данным функциям соответствует схема управляемого генератора, представленная на рис. 3.78,б.

На основе автогенератора можно построить генератор серий  $N$  импульсов, имеющих стандартную длительность и вызываемых оператором нажатием клавиши  $SW$  (рис. 3.79,а). Автогенератор дополнен обратной связью, в которую последовательно включены диод  $VD$  и подстроечный резистор  $R$ . Данная цепь позволяет изменять скважность генерируемого сигнала  $Q$  (обеспечивается установка и скважности 2). Временные диаграммы, поясняющие работу этого генератора, изображены на рис. 3.79,б (при включении-выключении генератора длительность его выходного сигнала  $z = 1$  не зависит от моментов времени коммутации переключателя  $SW$ ).

Таблица 3.37. Таблица переходов генератора сдвинутых по фазе сигналов

$\mu$	$\mu^+$	$Q_2$	$Q_1$
1	2	0	1
2	3	1	1
3	4	1	0
4	1	0	0

Таблица 3.38. Таблица истинности генератора сдвинутых по фазе сигналов

$Q_2$	$Q_1$	$Q_2^+$	$Q_1^+$
0	1	1	1
1	1	1	0
1	0	0	0
0	0	0	1

**Двухфазные автогенераторы.** Модель генератора с двумя ЭП  $Q_2$  и  $Q_1$  (рис. 3.80,а) можно использовать для проектирования автогенераторов двух сигналов с регулируемым с помощью интегрирующих  $RC$ -цепей сдвигом по фазе — *двухфазных автогенераторов*. На рис. 3.80,б показан граф переходов автогенератора с соседним кодированием внутренних состояний (в качестве выходных сигналов автогенератора могут быть использованы выходные сигналы ЭП  $Q_2$  и  $Q_1$ ). Табл. 3.37, построенная на основании графа переходов, задает функцию переходов автогенератора. Составив по табл. 3.37 таблицу истинности (табл. 3.38) для функции переходов  $\mu^+ = f(Q_2, Q_1)$ , получим:

$$Q_2^+ = Q_1, \quad Q_1^+ = \overline{Q_2}.$$



На рис. 3.81,а представлена схема автогенератора двух сдвинутых по фазе сигналов  $Q_2$  и  $\bar{Q}_1$  с плавным регулированием в широких пределах разности фаз  $\Delta\varphi$ . На рис. 3.81,б изображены временные диаграммы, поясняющие работу данного автогенератора.

С помощью рассмотренных в данной главе методов можно синтезировать и более сложные асинхронные потенциальные автоматы, которые могут встретиться при логическом проектировании цифровых устройств.

## Глава 4

### Синтез синхронных автоматов

#### 4.1. Основная модель синхронного автомата

Общие положения теории синхронных автоматов были изложены в § 3.1. *Основная модель синхронного автомата* (рис. 4.1) отличается от модели асинхронного потенциального автомата (см. рис. 3.1) лишь свойствами ЭП типа  $D$ , которые управляются тактовым сигналом  $H$ . В синхронных ЭП тактовый сигнал  $H$  оказывает на них импульсное воздействие только в момент изменения с 1 на 0 (или только с 0 на 1), а изменения информационных сигналов

$$D_r = Q_r^+, \quad r = 1, 2, \dots, m \quad (4.1)$$

не воздействуют на ЭП, т. е. формула (4.1) справедлива только при  $dH = 1$ , а при  $dH = 0$  сигнал  $Q_r^+ = Q_r$  (определения операторов переходов  $d$  и  $\nabla$  см. в § 2.1). Заметим, что понятия “триггер” и “ЭП” для синхронных автоматов равнозначны. Из (4.1) следует, что функция переходов *триггера типа D*

$$Q_r^+ = D_r \quad (4.2)$$

с учетом тактового сигнала  $dH$  описывается мультиплексной функцией

$$Q_r^+ = D_r \cdot dH \vee Q_r \cdot \overline{dH}. \quad (4.3)$$

По этой функции в § 3.7 была синтезирована схема  $D$ -триггера.

Понятно, что информационные сигналы  $D_r$  не должны изменяться при  $dH = 1$ , так как они при этом имеют неопределенное значение  $\Phi$ , а значит, нарушается детерминированность переходов автомата. Из этого следует, что и входные сигналы автомата  $x_r$  не должны изменяться при  $dH = 1$ . Данные ограничения на изменения информационных сигналов описываются

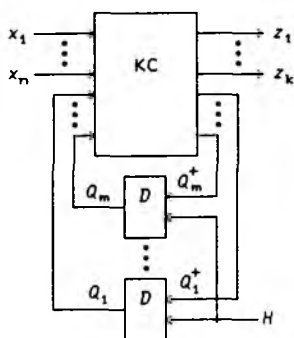


Рис. 4.1

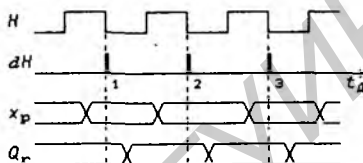


Рис. 4.2

уравнениями

$$\nabla D_r \cdot dH = 0, \nabla x_p \cdot dH = 0. \quad (4.4)$$

На рис. 4.2 показаны временные диаграммы, поясняющие работу синхронного автомата. Моменты изменения тактового сигнала с 1 на 0 задают дискретное время  $t_d = 1, 2, 3, \dots$ . Только в данные дискретные моменты времени внутреннее состояние автомата может изменяться. Переходный процесс, вызванный в КС этим изменением в данный момент времени  $t_d$ , должен окончиться к следующему дискретному моменту времени  $t_d + 1$  для выполнения первого условия из (4.4). Из этого следует, что максимальная частота тактового сигнала должна быть ограничена некоторой величиной. Понятно, что минимально допустимое значение периода тактового сигнала  $T_H$  (рис. 4.2) полностью определяется быстродействием ЭП и КС.

Заменив в (3.1) и (3.2) непрерывное время на дискретное, получим функции переходов и выхода синхронного автомата:

$$Q_r^+ = f_r(x_n, \dots, x_1, Q_m, \dots, Q_1), \quad r = 1, 2, \dots, m, \quad (4.5)$$

$$z_q = \varphi_q(x_n, \dots, x_1, Q_m, \dots, Q_1), \quad q = 1, 2, \dots, k, \quad (4.6)$$

где  $x_p = x_p(t_d)$ ,  $p = 1, 2, \dots, n$ ;  $Q_r = Q_r(t_d)$ ,  $Q_r^+ = Q_r(t_d + 1)$ ,  $z_q = z_q(t_d)$ . Напомним, что условия (4.4) должны соблюдаться в обязательном порядке. Выполнение данных условий гарантирует детерминированность переходов автомата при ложных значениях функции (4.5) во время переходного процесса, так как они смогут появиться только при значении сигнала  $dH = 0$ , а значит не вызовут срабатывания ЭП. Следовательно можно сказать, что синхронные ЭП (триггеры) обладают фильтрующими свойствами, так как все изменения информационных сигналов,

происходящие на интервале времени, когда сигнал  $dH = 0$ , не пропускаются на их выход. Из этого следуют важные для синтеза синхронных автоматов выводы:

КС могут синтезироваться несвободными от состязаний; допускаются несоседние изменения состояний входа; допускаются состязания ЭП, т. е. кодирование внутренних состояний автомата может производиться произвольным способом (возможно несоседнее кодирование).

Таким образом, при проектировании синхронных автоматов не требуется учитывать переходные процессы, а достаточно только выполнить условия (4.4), что достигается соответствующим выбором значения частоты тактового сигнала  $H$  и запретом на изменения входных сигналов  $x_p$  при  $dH = 1$ . Если эти сигналы поступают от внешнего источника, не синхронизированного с тактовым сигналом, то следует использовать схемы временной привязки, в качестве которых можно применить  $D$ -триггеры, описываемые функцией переходов (4.3):

$$Q_p^+ = x_p \cdot dH \vee Q_p \cdot \overline{dH}.$$

Исключение из рассмотрения в синхронных автоматах переходных процессов значительно упрощает методы их синтеза.

Соответствие выходных сигналов синхронных автоматов  $z_q$  функциям выхода (4.6) гарантировано только в дискретные моменты времени  $t_d$ , когда сигнал  $dH = 1$  (во время переходного процесса на выходах  $z_q$  могут появляться ложные значения этих сигналов из-за состязаний ЛЭ в КС и состязаний ЭП). При максимально допустимой частоте тактового сигнала равенство (4.6) будет выполняться только и только в дискретные моменты времени  $t_d = 1, 2, 3, \dots$ . Выходные сигналы  $z_q$  в этом случае следует стробировать (выделять) сигналом  $dH$ , т. е. использовать их в виде  $z_q \cdot dH$ . Такие импульсные выходные сигналы не всегда практически приемлемы. Преобразовать их в потенциальные сигналы можно с помощью  $D$ -триггеров, включив на выходах  $z_q$  (см. рис. 4.1) такие же ЭП, что и формирующие внутренние сигналы  $Q_r$ . Действительно, подставив в (4.3) вместо  $D_r$  сигналы  $z_q$ , получим:

$$Q_q^+ = z_q \cdot dH \vee Q_q \cdot \overline{dH} = \begin{cases} z_q & \text{при } dH = 1, \\ Q_q = z_q^* & \text{при } dH = 0, \end{cases} \quad (4.7)$$

где  $z_q = z_q(t_d)$ ,  $z_q^* = z_q(t_d - 1)$ , т. е. в данном случае выходные потенциальные сигналы автомата  $z_q^*$  принимают истинное значение в дискретный момент времени  $t_d$  и сохраняют его до момента времени  $t_d + 1$ , т. е. запаздывают на один такт по отношению к сигналам  $Q_r$ . Такой прием получения выходных сигналов всегда используется при проектировании синхронных автоматов с максимально достижимым быстродействием.

Если входные сигналы автомата  $x_p$  и выходные сигналы ЭП  $Q_r$  изменяются только при значениях тактового сигнала  $H = 0$  (переходный процесс, возникающий в автомате в момент изменения тактового сигнала с 1 на 0, должен заканчиваться до момента его изменения с 0 на 1), то ложные значения выходных сигналов  $z_q$  можно исключить с помощью операции  $z_q \cdot H$ . В этом случае значения выходных сигналов будут в точности соответствовать функции выхода (4.6) не в одной точке  $t_d$ , для которой сигнал  $dH = 1$ , а на интервале времени, в течение которого значение тактового сигнала  $H = 1$ . Такой метод устранения ложных значений выходных сигналов может быть использован при относительно низкой частоте тактового сигнала по сравнению с максимально допустимой частотой, определяемой быстродействием используемых в автомате ЛЭ и ЭП.

В асинхронных потенциальных автоматах внутренние состояния изменяются под воздействием изменения входных сигналов  $x_p$ , а в синхронных — под воздействием сигнала  $dH = 1$ , поэтому состояния синхронного автомата могут изменяться и при неизменном состоянии его входа. Это означает, что на некоторые синхронные автоматы вообще можно не подавать входные сигналы. Примерами таких автоматов являются синхронные счетчики, используемые, например, в качестве таймеров, формирующих заданные интервалы времени. Автоматы, не имеющие ни одного физического входа, описываются в соответствии с (4.5) и (4.6) функциями переходов и выхода

$$\left. \begin{aligned} Q_r^+ &= f_r(Q_m, \dots, Q_1), \quad r = 1, 2, \dots, m, \\ z_q &= \varphi_q(Q_m, \dots, Q_1), \quad q = 1, 2, \dots, k \end{aligned} \right\} \quad (4.8)$$

и называются *автономными автоматами*.

Основная модель является наиболее простой, что объясняется наличием в ней только синхронных триггеров типа  $D$ , описываемых примитивной функцией переходов (4.2). В других моделях автоматов используются триггеры иных типов, функции переходов которых не позволяют выразить функции возбуждения их входов только через сигнал  $Q^+$ . С этим связано некоторое усложнение процедуры синтеза автоматов, но функции возбуждения могут оказаться значительно проще, чем у  $D$ -триггеров. В общем случае автомат может содержать несколько различных типов триггеров.

## 4.2. Синхронные триггеры

*Синхронные триггеры* кроме информационных входов имеют также вход для подачи тактового сигнала  $H$ . Из основной модели синхронного автомата (см. рис. 4.1) следует, что воздействие тактового сигнала  $H$  на синхронные триггеры должно закончиться до того момента, как новые значения сигналов  $Q_r$  ( $r = 1, 2, \dots, m$ ), пройдя через КС, поступят на информационные входы триггеров. В противном случае триггер срабатывал бы два и более раз за один период тактового сигнала. Кратковременного воздействия тактового сигнала на триггеры можно

добиться использованием вместо потенциального сигнала  $H$  импульсного сигнала  $dH$ , длительность которого не более суммы минимального времени переходного процесса в КС и времени переходного процесса в триггерах. В общем случае минимальное время переходного процесса в КС равно нулю, так как выходы  $Q_r$  одних триггеров могут подаваться непосредственно на информационные входы других триггеров и даже выход триггера  $\bar{Q}_r$  может подаваться на вход  $Q_r^+$ .

**Триггеры типов  $D$  и  $R-S$  с импульсным тактовым сигналом.** Если в качестве тактового сигнала  $H$  используется импульсный сигнал  $dH$ , то в синхронных автоматах можно применять асинхронные потенциальные триггеры типов  $D-L$  и  $R-S-L$ , на вход загрузки  $L$  которых подается этот тактовый сигнал ( $L = dH$ ). Так как тактовый сигнал не является информационным, а задает только дискретные моменты времени, когда  $dH = 1$ , то триггеры типов  $D-L$  и  $R-S-L$  превращаются в синхронные триггеры типов  $D$  и  $R-S$ . Действительно, из функций переходов (3.15) и (3.27) следует, что при  $L = dH$  для этих триггеров

$$Q^+ = D \cdot L \vee Q \cdot \bar{L} = D \cdot dH \vee Q \cdot \bar{dH}, \quad \nabla D \cdot dH = 0, \quad (4.9)$$

$$Q^+ = S \cdot L \vee Q \cdot \bar{R} \vee Q \cdot \bar{L} = S \cdot dH \vee Q \cdot \bar{R} \cdot \bar{dH}, \quad R \cdot S \cdot dH = 0. \quad (4.10)$$

Условие  $\nabla D \cdot dH = 0$  появилось естественным образом, поскольку требуется, чтобы в асинхронных потенциальных  $D-L$ -триггерах сигналы  $D$  и  $L$  не изменялись одновременно. Условие же  $R \cdot S = 0$  для асинхронного потенциального  $R-S$ -триггера превращается в условие  $R \cdot S \cdot dH = 0$  для синхронного триггера, так как для асинхронного потенциального  $R-S-L$ -триггера необходимо выполнение условия  $R \cdot S \cdot L = 0$ .

Строго говоря, для синхронных триггеров любых типов должно выполняться еще условие  $\nabla I_i \cdot dH = 0$ , где  $I_i$  — информационные входы триггеров,  $i = 1, 2, \dots$ . Такое условие приведено только в (4.9). Поскольку данное условие требуется выполнять для всех синхронных триггеров, то оно в дальнейшем указываться не будет. Аналогичное требование, заключающееся в запрете изменения одновременно нескольких входных информационных сигналов, установлено и для асинхронных потенциальных триггеров.

Покажем, что при большой длительности сигнала  $L = dH = 1$  возможно многократное срабатывание асинхронных потенциальных  $D-L$ -триггеров. Возьмем крайний случай  $L \equiv 1$ . Пусть в некотором автомате требуется на вход  $D$  подать сигнал  $\bar{Q}$  с этого же триггера. Тогда  $Q^+ = D \cdot L \vee Q \cdot \bar{L} = \bar{Q} \cdot 1 \vee Q \cdot \bar{1} = \bar{Q}$ . Уравне-

ние  $Q^+ = \bar{Q}$  описывает генератор, так как следующее состояние триггера является инверсным по отношению к исходному. Частота генерации определяется исключительно быстродействием триггера. При длительности  $L = dH = 1$  большей, чем время переходных процессов в триггере, он будет изменять свое состояние несколько раз при поступлении на тактовый вход одного импульсного сигнала  $dH$ .

Работа синхронных автоматов, построенных на асинхронных потенциальных триггерах с импульсным тактовым сигналом  $dH$ , весьма критична к его длительности. Поэтому такие синхронные вычислительные узлы используются, главным образом, в дорогостоящих быстродействующих вычислительных машинах, причем в качестве  $D$ - $L$ -триггеров применяются триггеры Эрла [24].

Как следует из (4.9) и (4.10), в дискретные моменты времени (при  $dH = 1$ )

$$Q^+ = D, \quad (4.11)$$

$$Q^+ = S \vee Q \cdot \bar{R}, \quad R \cdot S = 0, \quad (4.12)$$

что совпадает с функциями переходов (3.4) и (3.10) асинхронных потенциальных ЭП типов  $D$  и  $R$ - $S$ .

**Синхронные триггеры типов  $R$ - $S$  и  $D$ - $L$ .** Из основных моделей асинхронного потенциального и синхронного автоматов следует, что функции переходов одноименных асинхронных потенциальных и синхронных триггеров (без учета тактового сигнала) должны совпадать. Так, табл. 4.1 и 4.2, задающие функции переходов синхронных триггеров типов  $R$ - $S$  и  $D$ - $L$  для дискретных моментов времени  $t_d$ , полностью совпадают с табл. 3.1 и 3.2, описывающими асинхронные потенциальные триггеры этих же типов как функции от непрерывного времени  $t$ . На рис. 4.3 представлены диаграммы Вейча для функций переходов, составленные по табл. 4.1 и 4.2. Из рис. 4.3,а следует функция переходов (4.12) синхронного  $R$ - $S$ -триггера, а из рис. 4.3,б — функция переходов синхронного  $D$ - $L$ -триггера:

$$Q^+ = f(D, L, Q) = D \cdot L \vee Q \cdot \bar{L}. \quad (4.13)$$

Тактовый сигнал  $dH$  для всех типов синхронных триггеров вводится в функцию переходов с помощью мультиплексной функции на основании того, что при  $dH = 0$  состояние триггера не изменяется ( $Q^+ = Q$ ), а при  $dH = 1$  следующее состояние  $Q^+$  определяется функцией переходов триггера конкретного типа.

Таблица 4.1. Функция переходов R-S-триггера

$i$	$R$	$S$	$Q$	$Q^+$	$i$	$R$	$S$	$Q$	$Q^+$
0	0	0	0	0	4	1	0	0	0
1	0	0	1	1	5	1	0	1	0
2	0	1	0	1	6	1	1	0	$\Phi$
3	0	1	1	1	7	1	1	1	$\Phi$

Таблица 4.2. Функция переходов D-L-триггера

$i$	$L$	$D$	$Q$	$Q^+$	$i$	$L$	$D$	$Q$	$Q^+$
0	0	0	0	0	4	1	0	0	0
1	0	0	1	1	5	1	0	1	0
2	0	1	0	0	6	1	1	0	1
3	0	1	1	1	7	1	1	1	1

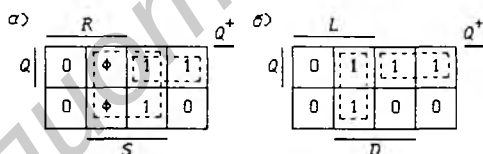


Рис. 4.3

Так, для  $D$ - $L$ -триггера на основании (4.13) будем иметь:

$$\begin{aligned}
 Q^+ &= Q \cdot dH \vee f(D, L, Q) \cdot dH = \dots \\
 &= D \cdot L \cdot dH \vee Q \cdot \overline{L} \cdot dH = f(D, L, Q, dH).
 \end{aligned}
 \tag{4.14}$$

Примерами синхронных  $D$ - $L$ -триггеров могут служить ИС 531ИР18, 555ИР27 и др.

Функции переходов в форме (4.9), (4.10) и (4.14) дают полное описание функционирования синхронных триггеров типов  $D$ ,  $R$ - $S$ ,  $D$ - $L$  и могут потребоваться для проектирования на ЛЭ методами асинхронных потенциальных автоматов соответствующих им схем, управляемых потенциальным тактовым сигналом  $H$ . Кроме того, функции переходов в такой форме необходимы для аналитического описания синхронных триггеров



с дополнительными асинхронными потенциальными входами. Эти входы всегда имеют приоритет по отношению к тактовому сигналу, так как производят не кратковременное, а длительное воздействие в течение времени, пока они имеют активный уровень.

**Синхронно-асинхронные триггеры.** Асинхронные потенциальные сигналы легко ввести в функцию переходов синхронных триггеров с помощью мультиплексной функции. Пусть синхронный  $D$ - $L$ -триггер имеет еще вход  $R$  установки состояния  $Q^+ = 0$ . Тогда мультиплексная функция переходов на основании (4.14) примет вид:

$$Q^+ = f(D, L, Q, dH) \cdot \bar{R} \vee 0 \cdot R = (D \cdot L \cdot dH \vee Q \cdot \bar{L} \cdot d\bar{H}) \cdot \bar{R}. \quad (4.15)$$

Действительно, сигнал  $R$  имеет приоритет, так как при  $R = 1$  следующее состояние триггера  $Q^+ = 0$  не зависит от значений синхронных сигналов. Такие синхронно-асинхронные триггеры будем называть  $D$ - $L$ / $R$ -триггерами. Их примерами могут служить ИС 555TM8, 555TM9, 555IP35 и др.

Если в (4.15) положить  $L \equiv 1$ , то получится функция переходов синхронно-асинхронного  $D$ / $R$ -триггера:

$$Q^+ = f(D, Q, dH/R) = (D \cdot dH \vee Q \cdot d\bar{H}) \cdot \bar{R}. \quad (4.16)$$

Добавив еще вход  $S$  установки состояния  $Q^+ = 1$ , с помощью мультиплексной функции на основании (4.16) получим:

$$Q^+ = f(D, Q, dH/R) \cdot \bar{S} \vee 1 \cdot S = S \vee (D \cdot dH \vee Q \cdot d\bar{H}) \cdot \bar{R}. \quad (4.17)$$

Триггер, описываемый данной функцией переходов, называется синхронно-асинхронным  $D$ / $R$ - $S$ -триггером. Примером таких триггеров может служить ИС 555TM2.

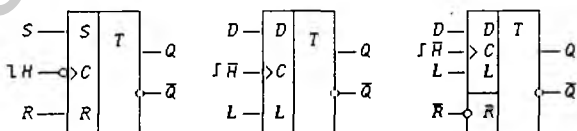


Рис. 4.4

На рис. 4.4 приведены условные графические обозначения синхронных триггеров типов  $R$ - $S$  и  $D$ - $L$ , а также синхронно-асинхронного  $D$ - $L$ / $R$ -триггера с инверсным входом  $\bar{R}$  (активный уровень сигнала  $\bar{R} = 0$ ). На вход  $C$  (*Clock* — часы) подается тактовый сигнал  $H$ . Динамический (импульсный) вход обозначается треугольником. При аналитическом описании триггеров

считается, что изменение их состояний вызывает переход тактового сигнала с 1 на 0. Состояния же триггеров в выпускаемых сериях ИС могут изменяться при переходе сигнала  $H$  с 0 на 1, что отображено на рис. 4.4 подачей на вход  $C$  инверсного тактового сигнала  $\bar{H}$ . Следует подчеркнуть, что на рис. 4.4 тактовый сигнал потенциальный, а схемы триггеров спроектированы на ЛЭ так, что он оказывает на триггеры импульсное воздействие.

Для четкого распознавания синхронных и асинхронных потенциальных входов левое вспомогательное поле на условных графических обозначениях делится на зоны, и тактовый вход  $C$  помещается в одной зоне вместе со всеми относящимися к нему синхронными информационными входами (см.  $D-L/R$ -триггер на рис. 4.4).

**Синхронные триггеры типа  $J-K$ .** Более универсальным, чем  $R-S$ -триггер, является  $J-K$ -триггер, у которого нет запрета на значения входных информационных сигналов. Этот триггер имеет два информационных входа:  $J$  — вход разрешения установки состояния  $Q = 1$ ,  $K$  — вход разрешения установки состояния  $Q = 0$  (при  $J = K = 1$  состояние триггера изменяется на инверсное). Функция переходов  $J-K$ -триггера

$$Q^+ = f(J, K, Q) = \bar{Q} \cdot J \vee Q \cdot \bar{K} \quad (4.18)$$

была получена на основании диаграммы Вейча (рис. 3.55), построенной по табл. 3.21. С учетом тактового сигнала функция переходов будет иметь вид:

$$\begin{aligned} Q^+ &= Q \cdot d\bar{H} \vee f(J, K, Q) \cdot dH = \\ &= \bar{Q} \cdot J \cdot dH \vee Q \cdot \bar{K} d\bar{H} = f(J, K, Q, dH). \end{aligned} \quad (4.19)$$

Асинхронного потенциального  $J-K$ -триггера не существует, так как при  $J = K = 1$  из (4.18) следует, что  $Q^+ = \bar{Q}$  — функция переходов автогенератора.

**Триггеры типа  $T$ .** Синхронный  $T$ -триггер имеет один информационный вход  $T$  разрешения изменения состояния триггера на инверсное и описывается функциями переходов

$$Q^+ = f(T, Q) = \bar{Q} \cdot T \vee Q \cdot \bar{T} = Q \oplus T, \quad (4.20)$$

$$Q^+ = f(T, Q, dH) = Q \oplus T \cdot dH. \quad (4.21)$$

Легко заметить, что данные функции переходов получаются из (4.18) и (4.19) подстановкой  $J = K = T$ , т.е. соединение входов  $J$  и  $K$  преобразует  $J-K$ -триггер в  $T$ -триггер. Вход  $T$  называется *счетным входом триггера*, так как при двоичном счете младший разряд числа изменяется с 0 на 1 или с 1 на 0.

0 в каждом такте. Понятно, что асинхронного потенциального триггера не существует.

Временные диаграммы работы пяти типов синхронных триггеров представлены на рис. 4.5. Синтез синхронных триггеров типов  $D$  и  $J-K$  на основе теории асинхронных потенциальных автоматов подробно рассмотрен в § 3.6. Здесь же отметим только неуместность используемой в литературе классификации по внешнему виду схем: триггеры, построенные по принципу ведущий — ведомый, двухтактный триггер, тактируемый триггер и др. В основу классификации синхронных триггеров могут быть положены только принципы, основанные на теории автоматов, так как любой синхронный триггер, срабатывающий по фронту тактового сигнала и реализованный без разностных элементов, всегда содержит минимум два асинхронных потенциальных триггера или элемента памяти.

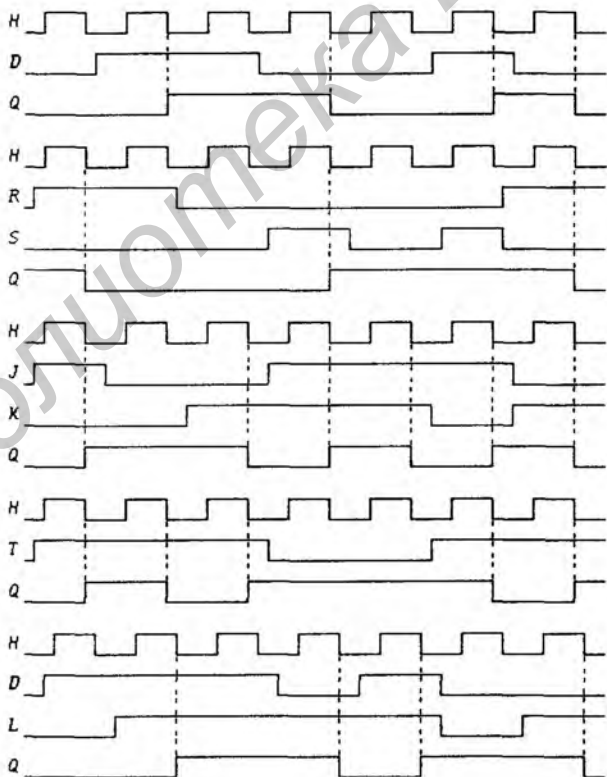


Рис. 4.5

**Классификация синхронных триггеров.** С точки зрения применения синхронных триггеров для построения синхронных автоматов их следует разделить на четыре группы в зависимости от максимально допустимой длительности переходных процессов в автомате по отношению к периоду тактового сигнала. Свойства этих групп триггеров можно рассмотреть на триггерах одного какого-либо типа, например на  $J$ - $K$ -триггерах.

**Группа I синхронных триггеров.** С учетом тактового сигнала функция переходов  $J$ - $K$ -триггера этой группы описывается выражением (4.19), где импульсный сигнал  $dH$  формируется либо разностными элементами внутри триггеров, либо триггер синтезирован так, что он срабатывает по фронту потенциального сигнала  $H$  при изменении его с 1 на 0 (так называемое логическое дифференцирование тактового сигнала).

Из (4.19) следует, что при  $dH = 0$  состояние  $Q^+ = Q$ , т.е. изменения информационных сигналов  $J$  и  $K$ , возникающие при переходном процессе в автомате, не могут вызвать изменения состояний триггеров. Следовательно, информационные сигналы  $J$  и  $K$  не должны изменяться только в дискретные моменты времени при  $dH = 1$ . Это условие описывается уравнением  $(\nabla J \vee \nabla K) \cdot dH = 0$ , которое должно выполняться для правильного функционирования автомата. Из сказанного следует, что на переходный процесс в автомате отводится время  $T_1$ , примерно равное периоду тактового сигнала  $H$  (рис. 4.2). Длительность сигналов  $H = 1$  и  $H = 0$  для триггеров данной группы не регламентируется. Для надежной работы триггеров информационные сигналы должны принимать истинные значения с некоторым опережением  $t_{SV}$  (*Set up time — время установки*) относительно момента воздействия тактового сигнала  $H$  и оставаться неизменными после этого момента определенное время  $t_H$  (*Hold time — время удержания*). Таким образом, на переходный процесс в автомате отводится время  $T_1 = T_H - t_{SV}$ . Время же удержания  $t_H$  обеспечивается задержками срабатывания триггеров.

**Группа II синхронных триггеров.** С учетом тактового сигнала функция переходов  $J$ - $K$ -триггера этой группы описывается выражением

$$Q^+ = \overline{Q} \cdot d(J \cdot H) \vee Q \cdot \overline{d(K \cdot H)}. \quad (4.22)$$

На основании (2.6)

$$d(J \cdot H) = J^* \cdot dH \vee H^* \cdot dJ, \quad d(K \cdot H) = K^* \cdot dH \vee H^* \cdot dK.$$

Поскольку в синхронных автоматах изменения информационных сигналов  $J$  и  $K$  не должны изменять состояний триггеров, необходимо выполнение условия  $(dJ \vee dK) \cdot H = 0$  или более общего условия  $(\nabla J \vee \nabla K) \cdot H = 0$  — информационные сигналы  $J$  и  $K$  не должны изменяться в моменты времени, когда  $H = 1$ . Из этого следует, что переходный процесс в автомате должен заканчиваться за время  $T_2$ , пока  $H = 0$  (рис. 4.2). При соблюдении этого условия

$$d(J \cdot H) = J \cdot dH, \quad d(K \cdot H) = K \cdot dH,$$

и функция переходов (4.22) преобразуется в функцию переходов (4.19). Так как время, в течение которого  $H = 0$ , составляет часть периода тактового сигнала  $T_H$ , то максимально допустимая частота тактового сигнала  $H$  в автоматах, построенных на основе триггеров группы II, будет заметно ниже, чем в автоматах, построенных на основе триггеров группы I. В настоящее время триггеры группы II не выпускаются (до 1976 г. выпускались такие  $J$ - $K$ -триггеры под названием 155ТК1).

Триггеры группы II обладают весьма полезным свойством — имеют два импульсных входа. Действительно, если в (4.22) положить  $H \equiv 1$ , то

$$Q^+ = \bar{Q} \cdot dJ \vee Q \cdot \bar{dK}. \quad (4.23)$$

Такие  $dJ$ - $dK$ -триггеры относятся к классу асинхронных импульсных автоматов и позволяют иногда значительно упростить проектируемое устройство. Соотношение (4.23) наглядно подтверждает, что состояние синхронных  $J$ - $K$ -триггеров группы II изменяется при изменении информационных сигналов  $J$  и  $K$  в моменты времени, когда сигнал  $H = 1$ .

Группа III синхронных триггеров. У триггеров этой группы также не допускается изменение информационных сигналов при  $H = 1$ . Они отличаются от триггеров группы II тем, что изменение информационных сигналов при  $H = 1$  не приводит сразу же к изменению состояния триггера, а запоминается в одном из асинхронных потенциальных триггеров, на которых он построен. Заполненное воздействие информационного сигнала приводит к изменению состояния триггера очередным изменением тактового сигнала с 1 на 0, хотя значения информационных сигналов в этот момент времени могут быть равны 0. Представителем группы III является триггер 155ТВ1.

Группа IV синхронных триггеров. К этой группе относятся асинхронные потенциальные триггеры, которые имеют вход для подачи сформированного внешними цепями импульсного сигнала  $dH$ . Строго говоря, эти триггеры не являются синхронными, так как требуют выполнения жестких условий на длительность тактового сигнала  $dH$ .

**Преобразования типов синхронных триггеров.** Любой синхронный триггер является элементарным автоматом, характеризующимся наличием только двух внутренних состояний ( $Q = 0$  и  $1$ ) и полной системой переходов. Достаточно иметь какой-либо один тип синхронного триггера, чтобы на его основе синтезировать триггеры других типов. Часто иные типы триггеров можно получить, не прибегая к стандартным методам синтеза синхронных автоматов, а произведя лишь элементарные преобразования функции переходов исходного триггера. Так, выше было показано, каким способом  $J$ - $K$ -триггер преобразуется в  $T$ -триггер.

Заменив в (4.11)  $D$  на  $D_T$ , на основании (4.13) получим  $D_T = D \cdot L \vee Q \cdot \bar{L}$ . Этой функции соответствует схема  $D$ - $L$ -триггера группы I на рис. 4.6,а, реализованная на  $D$ -триггере

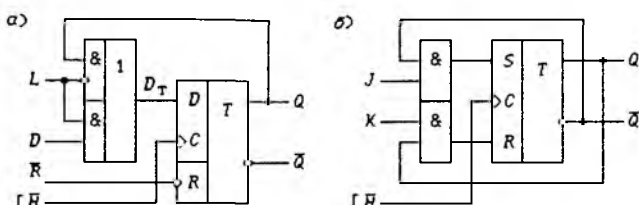


Рис. 4.6

группы I (дополнительно показан асинхронный вход  $\bar{R}$  установки в состояние  $Q = 0$ , т. е. использован  $D/R$ -триггер (4.16); активный уровень этого сигнала низкий —  $\bar{R} = 0$ ).

Подставив в (4.12) значения  $S = \bar{Q} \cdot J$  и  $R = Q \cdot K$ , получим функцию переходов (4.18). Этому преобразованию соответствует схема  $J$ - $K$ -триггера на рис. 4.6,б, реализованная на  $R$ - $S$ -триггере.

Заменяв в (4.11)  $D$  на  $D_T$ , на основании (4.18) получим  $D_T = \bar{Q} \cdot J \vee Q \cdot \bar{K}$ . Этой функции соответствует схема  $J$ - $K$ -триггера с инверсным входом  $\bar{K}$  (рис. 4.7,а), реализованная на  $D$ -триггере. Активные уровни сигналов  $J = 1$  и  $\bar{K} = 0$ . На рис. 4.7,б показано его условное графическое обозначение.

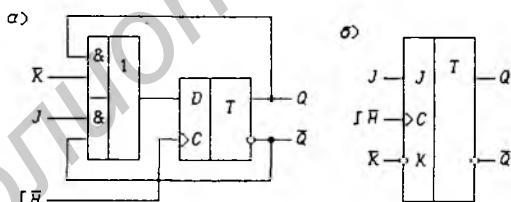


Рис. 4.7

Подставив в (4.9)  $L \cdot H$  вместо  $H$ , получим:

$$Q^+ = D \cdot d(L \cdot H) \vee Q \cdot \overline{d(L \cdot H)}. \quad (4.24)$$

При выполнении условия  $H^* \cdot dL = 0$  эта функция преобразуется в (4.14), т. е. она является функцией переходов  $D$ - $L$ -триггера группы II, хотя исходный  $D$ -триггер принадлежит группе I. Действительно, при  $dH = 1$

$$Q^+ = D \cdot L \vee Q \cdot \bar{L},$$

что совпадает с функцией переходов  $D$ - $L$ -триггера (4.13), а условие  $H^* \cdot dL = 0$  указывает, что информационный сигнал

$L$  не должен изменяться при  $H = 1$ . Этому преобразованию соответствует схема на рис. 4.8,а.

Подставив в (4.24)  $D = \bar{Q}$ ,  $L = T$ , получим функцию переходов

$$Q^+ = Q \oplus d(T \cdot H)$$

с логически равноправными входами  $T$  и  $H$ . При условии  $H^* \cdot dT = 0$  эта функция преобразуется в (4.21), т. е. она является функцией переходов  $T$ -триггера группы II, которой соответствует схема на рис. 4.8,б.

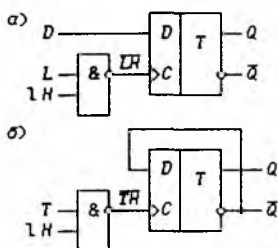


Рис. 4.8

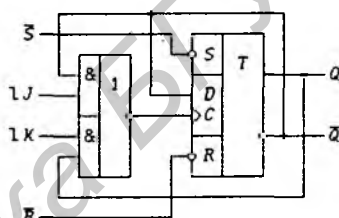


Рис. 4.9

Подставив в последнюю функцию переходов  $T = \bar{Q} \cdot J \vee Q \cdot K$  и  $H = 1$ , получим:

$$\begin{aligned} Q^+ &= Q \oplus d(\bar{Q} \cdot J \vee Q \cdot K) = \\ &= Q \oplus (\bar{Q} \cdot \bar{Q}^* dJ \vee Q \cdot \bar{Q}^* dK \vee \bar{J} \cdot K^* dQ \vee \bar{K} \cdot J^* d\bar{Q}). \end{aligned}$$

Изменение состояния триггера  $Q$  могут вызвать только значения сигналов  $dJ = 1$  и  $dK = 1$ . Значит, в момент изменения состояния  $Q$  с 0 на 1 сигнал  $J^* = 0$ , а в момент изменения с 1 на 0 — сигнал  $K^* = 0$ , и  $Q = Q^*$  ( $\bar{Q} = \bar{Q}^*$ ) в моменты изменений сигналов  $J$  и  $K$ . Поэтому

$$d(\bar{Q} \cdot J \vee Q \cdot K) = \bar{Q} \cdot dJ \vee Q \cdot dK.$$

На этом основании

$$Q^+ = Q \oplus d(\bar{Q} \cdot J \vee Q \cdot K) = \bar{Q} \cdot dJ \vee Q \cdot dK,$$

что совпадает с (4.23). Полученная функция является функцией переходов асинхронного импульсного  $dJ-dK$ -триггера. На рис. 4.9 показана схема асинхронного импульсно-потенциального  $dJ-dK/R-S$ -триггера, реализованная на  $T$ -триггере группы II, изображенном на рис. 4.8,б (добавлены асинхронные потенциальные входы  $\bar{R}$  и  $\bar{S}$ ). Функция переходов этого триггера имеет вид:

$$Q^+ = S \vee (\bar{Q} \cdot dJ \vee Q \cdot dK) \cdot \bar{R}.$$

Триггеры типов  $D-T-L$  и  $D-T-L/R$ . Для построения счетчиков часто применяются синхронные триггеры типа  $D-T-L$ , в которых сигнал  $L$  производит мультиплексирование функций переходов триггеров типов  $D$  и  $T$ :

$$Q^+ = f(D, T, L, Q) = D \cdot L \vee (Q \oplus T) \cdot \bar{L} = \begin{cases} Q \oplus T & \text{при } L = 0, \\ D & \text{при } L = 1. \end{cases} \quad (4.25)$$

Синтезируем  $D-T-L$ -триггер на основе  $J-K$ -триггера. Для этого по функции переходов (4.25) заполняется диаграмма Вейча для функции  $Q^+$  (рис. 4.10). В § 1.6 при решении функции переходов  $J-K$ -триггера были получены функции возбуждения

$$J = Q^+ \cdot \bar{Q} \vee h_1 \cdot Q, \quad K = \bar{Q}^+ \cdot Q \vee h_2 \cdot \bar{Q}, \quad (4.26)$$

из которых следует, что

$$J = \begin{cases} Q^+ & \text{при } Q = 0, \\ h_1 & \text{при } Q = 1; \end{cases} \quad K = \begin{cases} h_2 & \text{при } Q = 0, \\ \bar{Q}^+ & \text{при } Q = 1. \end{cases} \quad (4.27)$$

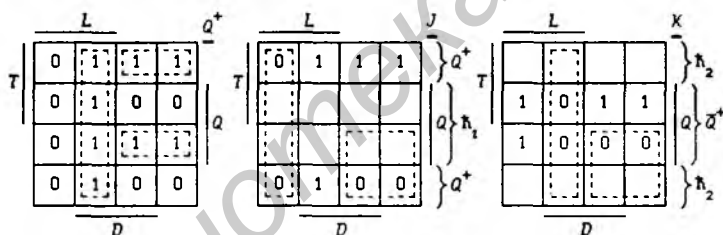


Рис. 4.10

Эти значения функций возбуждения  $J$  и  $K$  отмечены на диаграммах Вейча (рис. 4.10), и по ним значения функции  $Q^+$  или  $\bar{Q}^+$  из диаграммы Вейча  $Q^+$  переносятся в диаграммы Вейча  $J$  и  $K$ . Из рис. 4.10 находим:

$$\bar{J} = \bar{D} \cdot L \vee \bar{T} \cdot \bar{L}, \quad \bar{K} = D \cdot L \vee T \cdot \bar{L}.$$

Покажем, что этот же результат можно получить и аналитическим методом. Подставив в функции возбуждения (4.26) функцию переходов (4.25)  $D-T-L$ -триггера, найдем:

$$J = [D \cdot L \vee (Q \oplus T) \cdot \bar{L}] \cdot \bar{Q} \vee h_1 Q = (D \cdot L \vee T \cdot \bar{L}) \cdot \bar{Q} \vee h_1 Q,$$

$$K = \overline{D \cdot L \vee (Q \oplus T) \cdot \bar{L}} \cdot Q \vee h_2 \bar{Q} = (\bar{D} \cdot L \vee T \cdot \bar{L}) \cdot Q \vee h_2 \bar{Q}.$$

В целях минимизации функций возбуждения следует взять

$$h_1 = D \cdot L \vee T \cdot \bar{L}, \quad h_2 = \bar{D} \cdot L \vee T \cdot \bar{L},$$



тогда

$$J = D \cdot L \vee T \cdot \bar{L}, \quad \bar{J} = \bar{D} \cdot L \vee \bar{T} \cdot \bar{L},$$

$$K = \bar{D} \cdot L \vee T \cdot \bar{L}, \quad \bar{K} = D \cdot L \vee \bar{T} \cdot \bar{L},$$

что совпадает с результатами, полученными с помощью диаграмм Вейча.

Полученные функции  $\bar{J}$  и  $\bar{K}$  легко привести к виду

$$J = \overline{\bar{D} \cdot \bar{L} \cdot L} \cdot (T \vee L), \quad K = \bar{D} \cdot \bar{L} \cdot (T \vee L).$$

На рис. 4.11,а изображена схема синхронно-асинхронного  $D$ - $T$ - $L/R$ -триггера, построенная в соответствии с полученными функциями возбуждения на  $J$ - $K/R$ -триггере с входной логикой 2И для функций  $J$  и  $K$ . Функция переходов этого триггера

$$Q^+ = [D \cdot L \cdot dH \vee (Q \oplus T \cdot dH) \cdot \bar{L} \vee Q \cdot \bar{dH}] \cdot \bar{R}$$

может быть получена мультиплексированием функции переходов (4.25) сигналами  $dH$  и  $R$ . При значении сигнала сброса  $\bar{R} = 1$  схема на рис. 4.11,а превращается в  $D$ - $T$ - $L$ -триггер.

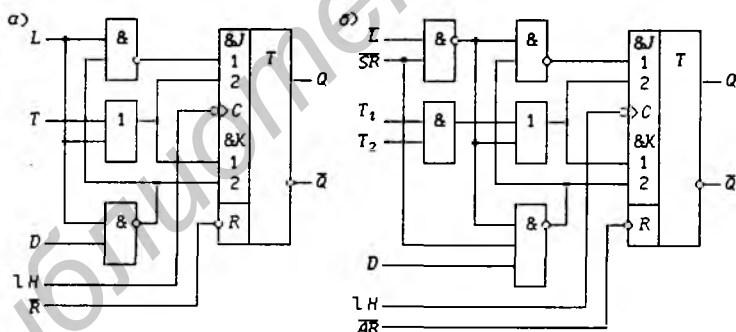


Рис. 4.11

Триггеры типа  $D$ - $T$ - $L$  используются, например, в синхронных реверсивных счетчиках 531ИЕ16 и 555ИЕ17, а типа  $D$ - $T$ - $L/R$  — в счетчиках 533ИЕ9, 1533ИЕ10 и др.

Триггеры типов  $D$ - $T$ - $L$ - $R$  и  $D$ - $T$ - $L$ - $R/R$ . В отличие от  $D$ - $T$ - $L/R$ -триггера синхронный  $D$ - $T$ - $L$ - $R$ -триггер имеет вход  $R$  синхронной установки состояния  $Q = 0$ . Функция переходов этого триггера получается мультиплексированием сигналом  $R$  функции переходов (4.25)  $D$ - $T$ - $L$ -триггера и константы 0:

$$Q^+ = f(D, T, L, Q) \cdot \bar{R} \vee 0 \cdot R = D \cdot L \cdot \bar{R} \vee (Q \oplus T) \cdot \bar{L} \cdot \bar{R}.$$

Понятно, что сигнал  $R$  имеет приоритет по отношению к остальным сигналам. Полученную функцию переходов легко привести к виду

$$Q^+ = D \cdot \bar{R} \cdot (L \vee R) \vee (Q \oplus T) \cdot \overline{L \vee R}. \quad (4.28)$$

Из сравнения (4.28) с (4.25) следует, что схему  $D$ - $T$ - $L$ - $R$ -триггера можно получить из схемы  $D$ - $T$ - $L$ -триггера (рис. 4.11,а;  $\bar{R} = 1$ ) простой заменой сигнала  $D$  на  $D \cdot \bar{R}$  и  $L$  на  $L \vee R$ . На рис. 4.11,б показана схема синхронно-асинхронного  $D$ - $T$ - $L$ - $R/\bar{R}$ -триггера, построенная на основании этих преобразований на  $J$ - $K/R$ -триггере с входной логикой 2И ( $T = T_1 T_2$ ,  $\bar{S}R$  — Synchronous Reset,  $\bar{A}R$  — Asynchronous Reset). Функция переходов этого триггера

$$Q^+ = [D \cdot L \cdot \bar{S}R \cdot dH \vee Q \cdot \bar{d}H \vee (Q \oplus T \cdot dH) \cdot \overline{L \vee S}R] \cdot \bar{A}R$$

может быть получена мультиплексированием функции переходов (4.28) сигналами  $dH$  и  $AR$  при замене  $R$  на  $S$ .

Если в схеме на рис. 4.11,б положить  $AR \equiv 0$ , то получится схема  $D$ - $T$ - $L$ - $R$ -триггера. Триггеры типа  $D$ - $T$ - $L$ - $R/R$  используются, например, в синхронных реверсивных счетчиках SN74ALS568A и SN74ALS569A, а типа  $D$ - $T$ - $L$ - $R$  — в счетчиках 531IE11 и 555IE18.

**Функции переходов синхронно-асинхронных триггеров.** Синхронно-асинхронный  $D$ - $T$ - $L$ - $R/D$ - $L$ - $R$ -триггер с приоритетом входов сброса задается функцией переходов

$$Q^+ = AD \cdot AL \cdot \bar{A}R \vee [SD \cdot SL \cdot \bar{S}R \cdot dH \vee Q \cdot \bar{d}H \vee (Q \oplus T \cdot dH) \cdot \overline{S}L \vee \bar{S}R] \cdot \overline{AL \vee AR}, \quad (4.29)$$

где  $AD$  (Asynchronous Data) — асинхронные данные,  $AL$  (Asynchronous Load) и  $AR$  (Asynchronous Reset) — асинхронные потенциальные сигналы загрузки и сброса,  $SD$  (Synchronous Data) — синхронные данные,  $SL$  (Synchronous Load) и  $SR$  (Synchronous Reset) — сигналы синхронных загрузки и сброса,  $T$  — сигнал управления счетным входом. Данная функция переходов получена последовательным мультиплексированием вновь вводимыми сигналами какой-либо уже известной функции переходов, например, функции (4.25).

По функции переходов (4.29) легко может быть синтезирован триггер, например, на  $D/R$ - $S$ -триггере. Действительно, при значении  $dH = 0$  получается функция переходов асинхронного потенциального  $D$ - $L$ - $R$ -триггера с приоритетом входа  $AR$

$$Q^+ = AD \cdot AL \cdot \bar{A}R \vee Q \cdot \overline{AL \vee AR} = S \vee Q \cdot \bar{R},$$

где  $S = AD \cdot AL \cdot \overline{AR}$  и  $R = \overline{S} \cdot AL \vee AR$  — функции возбуждения асинхронного потенциального  $R$ - $S$ -триггера (рис. 4.12). При значениях асинхронных сигналов  $AL = AR = 0$  и импульсного сигнала  $dH = 1$  выражение (4.29) задает функцию возбуждения синхронного  $D$ -триггера

$$D = Q^+ = SD \cdot SL \cdot \overline{SR} \vee (Q \oplus T) \cdot \overline{SL} \vee SR = \\ = \overline{SD \cdot SR \cdot SL \cdot SR} \vee (Q \oplus T) \cdot \overline{SL} \cdot \overline{SR}$$

(см. рис. 4.12).

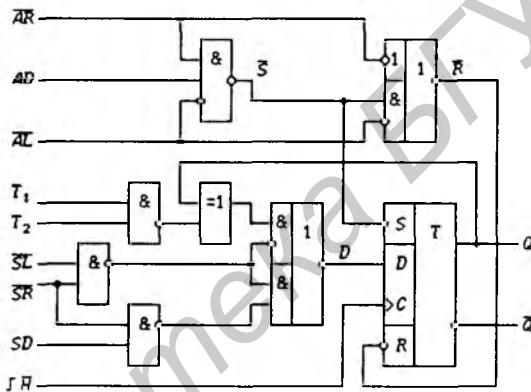


Рис. 4.12

Полученный триггер наиболее универсален, так как функции переходов триггеров многих ранее рассмотренных типов получаются из функции (4.29) подстановкой неактивных уровней (0) различных комбинаций информационных сигналов. Например, при значениях сигналов  $\overline{AL} = 0$ ,  $SD = AD = D$  и  $SL = L$  получается функция переходов  $D$ - $T$ - $L$ - $R$ /-триггера, а схема, изображенная на рис. 4.12, преобразуется в схему, показанную на рис. 4.13,а. Данная схема эквивалентна схеме, приведенной на рис. 4.11,б.

Как правило, в триггерах используется только один информационный вход данных  $D = SD = AD$ . Триггеры типа  $D$ - $T$ - $L$ - $R$ /- $R$ , получаемые соединением на рис. 4.12 входов  $AD$  и  $SD$  ( $SD = AD = D$ ), используются, например, в синхронных счетчиках  $SN74ALS560A$  и  $SN74ALS561A$ . Условные графические обозначения некоторых рассмотренных триггеров приведены на рис. 4.13,б.

Функция переходов синхронно-асинхронного триггера типа  $R$ - $S$ /- $S$  получается мультиплексированием функции переходо-

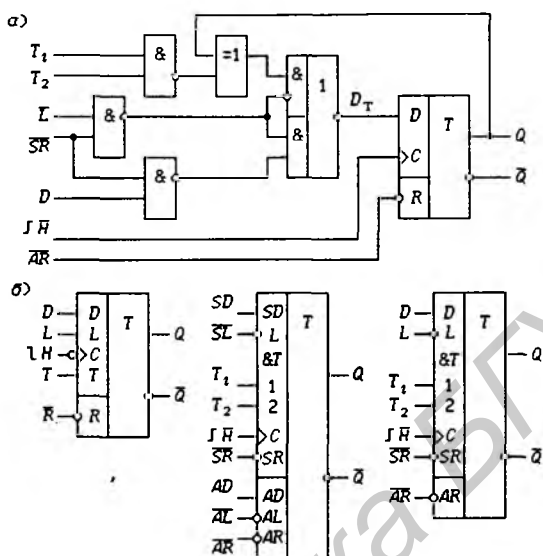


Рис. 4.13

дов (4.10) синхронного  $R$ - $S$ -триггера асинхронными потенциальными сигналами  $AR$  и  $AS$ :

$$Q^+ = AS \vee (S \cdot dH \vee Q \cdot \overline{R} \cdot d\overline{H}) \cdot \overline{AR}.$$

При  $AR = AS = 0$  получается синхронный  $R$ - $S$ -триггер, а при  $dH = 0$  ( $H = const$ ) — асинхронный потенциальный  $R$ - $S$ -триггер (при использовании триггера необходимо выполнять условие  $AR \cdot AS = 0$ ).

Аналогично из (4.19) и (4.21) получаются функции переходов синхронно-асинхронных триггеров типов  $J$ - $K$ / $R$ - $S$  и  $T$ / $R$ - $S$ :

$$Q^+ = S \vee (\overline{Q} \cdot J \cdot dH \vee Q \cdot \overline{K} d\overline{H}) \cdot \overline{R},$$

$$Q^+ = S \vee (Q \oplus T \cdot dH) \cdot \overline{R}.$$

На практике часто используются счетчики с асинхронной загрузкой данных (например, 555ИЕ13), для построения которых необходимы синхронно-асинхронные  $T$ / $D$ - $L$ -триггеры:

$$L = 0 \Rightarrow Q^+ = Q \oplus T \cdot dH = f_1(T, dH, Q),$$

$$L = 1 \Rightarrow Q^+ = D = f_2(D).$$

Из этих соотношений следует, что функция переходов  $T$ / $D$ - $L$ -

триггера описывается мультиплексной функцией

$$Q^+ = f_1(T, dH, Q) \cdot \bar{L} \vee f_2(D) \cdot L = (Q \oplus T \cdot dH) \cdot \bar{L} \vee D \cdot L = f_3.$$

Кроме  $T/D-L$ -триггеров для синтеза счетчиков (например, 1533ИЕ6 и 1533ИЕ7) используются также *синхронно-асинхронные  $T/D-L-R$ -триггеры с приоритетом входа  $R$* . Такие триггеры описываются мультиплексной функцией переходов

$$Q^+ = f_3 \cdot \bar{R} \vee 0 \cdot R = [(Q \oplus T \cdot dH) \cdot \bar{L} \vee D \cdot L] \cdot \bar{R} = f_4.$$

Счетчики, построенные на основе триггеров типов  $T/D-L$  и  $T/D-L-R$ , широко используются при проектировании внешних устройств микропроцессорных систем, так как загрузка данных в них возможна непосредственно под управлением микропроцессора без участия тактового сигнала.

Можно задать и *синхронно-асинхронный  $T/D-L-R$ -триггер с приоритетом входа  $L$* :

$$Q^+ = f_4 \cdot \bar{L} \vee f_2 \cdot L = (Q \oplus T \cdot dH) \cdot \bar{L} \cdot \bar{R} \vee D \cdot L.$$

Действительно, при  $R = 1$  (активный уровень) триггер не обязательно устанавливается в нулевое состояние, так как при этом следующее состояние триггера  $Q^+ = D \cdot L$ .

Рассмотрим еще два типа синхронно-асинхронных триггеров. Подставив в функцию переходов (4.17)  $D/R-S$ -триггера значения сигналов  $S = AD \cdot L$  и  $R = \overline{AD} \cdot L = \bar{S} \cdot L$  ( $AD$  — *Asynchronous Data*), получим:

$$Q^+ = AD \cdot L \vee (D \cdot dH \vee Q \cdot \overline{dH}) \cdot \bar{L}. \quad (4.30)$$

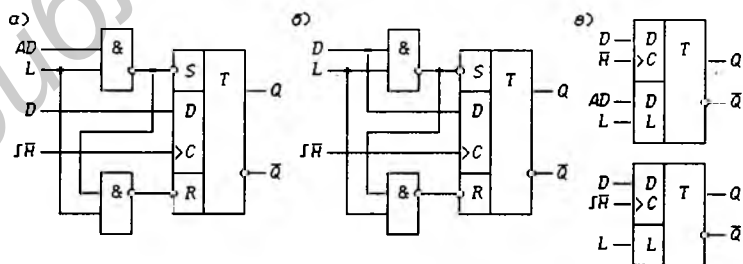


Рис. 4.14

Функциональная схема, соответствующая этим преобразованиям, показана на рис. 4.14, а. Такой триггер называется  $D/D-L$ -триггером. Он имеет синхронный и асинхронный входы  $D$ .

Если в выражении (4.30) положить  $AD = D$ , то получим функцию переходов

$$Q^+ = D \cdot L \vee (D \cdot dH \vee Q \cdot \overline{dH}) \cdot \overline{L}.$$

Из этой функции следует, что при  $L = 1$  состояние  $Q^+ = D$  независимо от значений синхронных сигналов. Соответствующий триггер называется “прозрачным” синхронно-асинхронным  $D$ -триггером, или  $D/L$ -триггером, так как при  $L = 1$  следующее состояние триггера  $Q^+ = D$ , т. е. триггер превращается в повторитель входного информационного сигнала  $D$ . На рис. 4.14,б приведена схема  $D/L$ -триггера, построенная на основании схемы  $D/D-L$ -триггера. Условные графические обозначения триггеров типов  $D/D-L$  и  $D/L$  показаны на рис. 4.14,в. Триггеры типа  $D/L$  используются, например, в БИС умножителя  $12 \times 12$  разрядов 1802ВР4.

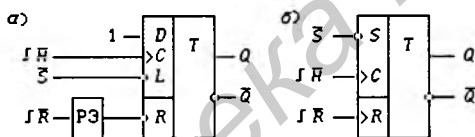


Рис. 4.15

На рис. 4.15,а представлена схема, состоящая из  $D-L/R$ -триггера (4.15) и разностного элемента. Подставив в соответствии со схемой (без учета инверсий) в функцию переходов (4.15) значения сигналов  $D = 1$ ,  $L = S$  и  $R = dR$ , получим функцию переходов

$$Q^+ = (S \cdot dH \vee Q) \cdot \overline{dR}$$

синхронно-асинхронного  $S/dR$ -триггера с двумя импульсными входами  $H$  и  $R$  (установка состояния  $Q = 1$  синхронная, а состояния  $Q = 0$  асинхронная импульсная). Условное графическое обозначение этого триггера приведено на рис. 4.15,б. Триггеры типа  $S/dR$  используются, например, в ИС 1804ИР4.

### 4.3. Примеры синтеза синхронных автоматов

Процесс проектирования синхронных цифровых устройств разделяется на несколько относительно независимых этапов. Первый этап состоит в словесной постановке задачи проектирования самим исполнителем или заказчиком, который может и не владеть аппаратом формального синтеза. Наиболее важным

этапом проектирования является второй — переход от словесного описания устройства к одному из формальных способов его задания, например графом переходов. На последнем, третьем, этапе используются единые для всех синхронных автоматов формальные методы получения функций возбуждения триггеров и минимальных форм переключательных функций, описывающих его физические выходы.

**Последовательный сумматор.** Рассмотрим устройства суммирования целых положительных  $n$ -разрядных двоичных чисел

$$X = x_{n-1} \dots x_1 x_0 \text{ и } Y = y_{n-1} \dots y_1 y_0,$$

для которых при логическом проектировании схем удобнее использовать векторное представление

$$X = (x_{n-1}, \dots, x_p, \dots, x_0) \text{ и } Y = (y_{n-1}, \dots, y_p, \dots, y_0),$$

где  $x_{n-1}$  и  $y_{n-1}$  — старшие разряды.

Операция сложения положительных двоичных чисел определяется правилами двоичной арифметики:

значение переноса  $c_{p+1}$  ( $C$  — Carry) в  $p+1$ -й разряд равно 1, если не менее двух величин из  $x_p$ ,  $y_p$  и  $c_p$  равны 1, где  $x_p$  и  $y_p$  — разряды чисел  $X$  и  $Y$ , а  $c_p$  — перенос из  $p-1$ -го разряда;

значение разряда суммы  $s_p$  ( $S$  — Sum) чисел  $X$  и  $Y$  равно 1, если нечетное число величин  $x_p$ ,  $y_p$  и  $c_p$  равно 1.

Для наглядности поясним эти правила примером:

$$\begin{array}{r} 5 \ 4 \ 3 \ 2 \ 1 \ 0 \text{ — номера разрядов,} \\ 3216 \ 8 \ 4 \ 2 \ 1 \text{ — вес разрядов,} \\ \hline 0 \ 1 \ 1 \ 0 \ 0 \ 1 = X = 25, \\ + \\ 0 \ 1 \ 1 \ 1 \ 0 \ 1 = Y = 29, \\ + \\ \hline 1 \ 1 \ 0 \ 0 \ 1 \ 0 = C \text{ — перенос,} \\ \hline 1 \ 1 \ 0 \ 1 \ 1 \ 0 = S = 54 \text{ — сумма.} \end{array}$$

Понятно, что значение переноса в первый разряд  $c_0 = 0$ . Если при сложении разрядная сетка не переполняется, то перенос  $c_n$  в старший  $n$ -й разряд отсутствует ( $c_n = 0$ ) и

$$C = (c_{n-1}, \dots, c_1, 0), \quad S = (s_{n-1}, \dots, s_1, s_0).$$

В общем случае перенос  $C = (c_n, \dots, c_1, c_0)$ . Разряды чисел  $X$  и  $Y$  можно подавать на суммирующее устройство последовательно или параллельно. В соответствии с этим они подразделяются на *последовательные* и *параллельные* сумматоры.

Рассмотрим последовательный двоичный сумматор, который должен производить сложение двух чисел, поступающих на его входы, начиная с младших разрядов. Числа вводятся в сумматор последовательно, разряд за разрядом, синхронно с тактовым сигналом. Сумматор в каждом такте должен вычислять значение разряда  $s_p$  суммы

$$S = X + Y = (s_{n-1}, \dots, s_p, \dots, s_0)$$

при поступлении на его входы соответствующих разрядов слагаемых  $x_p$  и  $y_p$  с учетом переноса  $c_p$  из предыдущего разряда. При этом в сумматоре должен запоминаться (задерживаться на один такт) перенос  $c_{p+1}$  в следующий разряд.

Таким образом, синхронный автомат, выполняющий функцию последовательного сумматора, должен иметь два информационных входа для подачи разрядов чисел  $x_p$  и  $y_p$  и один выход, на который автомат последовательно выдает разряды  $s_p$  суммы этих чисел. С точки зрения автомата разряды чисел  $X$  и  $Y$  неразличимы, т. е.

$$X = (x, \dots, x, \dots, x), Y = (y, \dots, y, \dots, y).$$

Автомат должен иметь один элемент памяти (триггер)  $Q$  для запоминания переноса  $c_{p+1}$  в следующий разряд ( $Q = c_p$ ,  $Q^+ = c_{p+1}$ ). Перед началом сложения чисел триггер  $Q$  необходимо устанавливать в 0, так как перенос  $c_0 = 0$ . Для этого можно использовать асинхронный потенциальный вход триггера  $\bar{R}$ . Из сказанного следует, что автомат может быть задан графом переходов, изображенным на рис. 4.16 (ветви подписаны значениями сигналов  $xy/s$ , а узлы — значением сигнала  $Q$ ). По графу переходов составляется таблица истинности (табл. 4.3), а затем диаграммы Вейча для функций  $Q^+$  и  $s$  (рис. 4.17,а), из которых следует:

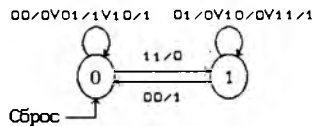


Рис. 4.16

$$D = Q^+ = x \cdot y \vee x \cdot Q \vee y \cdot Q, s = x \oplus y \oplus Q.$$

На рис. 4.17,б показана схема последовательного двоичного сумматора, выполненная на  $D/R$ -триггере, функция возбуждения  $D$  которого реализована на трехвходовом мажоритарном элементе.

Сложность (стоимость) последовательных сумматоров не зависит от разрядности чисел  $X$  и  $Y$ , время же их сложения пропорционально числу разрядов, что является существенным недостатком этих сумматоров. В параллельных сумматорах (см.



Таблица 4.3. Функция переходов последовательного сумматора

$i$	$x$	$y$	$Q$	$Q+S$	$i$	$x$	$y$	$Q$	$Q+S$
0	0	0	0	0 0	4	1	0	0	0 1
1	0	0	1	0 1	5	1	0	1	1 0
2	0	1	0	0 1	6	1	1	0	1 0
3	0	1	1	1 0	7	1	1	1	1 1

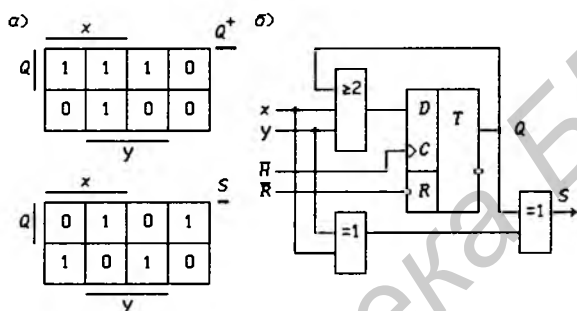


Рис. 4.17

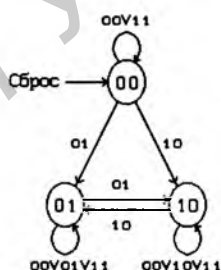


Рис. 4.18

§ 6.9) реализуется максимально возможное быстродействие, но их сложность возрастает с увеличением разрядности чисел.

**Последовательная схема сравнения двоичных чисел.** Синтезируем *цифровой компаратор*, выполняющий функцию сравнения двоичных чисел

$$X = (x_{n-1}, \dots, x_1, x_0) \text{ и } Y = (y_{n-1}, \dots, y_1, y_0).$$

Пусть требуется установить их отношения:  $X > Y$ ,  $X < Y$  и  $X = Y$ , которые описываются с помощью функций

$$F(X > Y) = \begin{cases} 0, & \text{если } X \leq Y; \\ 1, & \text{если } X > Y; \end{cases} \quad F(X < Y) = \begin{cases} 0, & \text{если } X \geq Y; \\ 1, & \text{если } X < Y; \end{cases}$$

$$F(X = Y) = \begin{cases} 0, & \text{если } X \neq Y; \\ 1, & \text{если } X = Y. \end{cases}$$

Поскольку при сравнении требуется получить только три результата, то автомат должен содержать два ЭП (триггера) —  $Q_2$  и  $Q_1$ . Полагаем, что перед началом сравнения чисел выходные сигналы триггеров  $Q_2$  и  $Q_1$  устанавливаются в 0 с помощью асинхронного потенциального сигнала  $R$ .

При последовательном сравнении разрядов чисел, начиная с младших  $x_0$  и  $y_0$ , алгоритм работы автомата можно описать

Таблица 4.4. Функция переходов последовательного компаратора

$i$	$x y Q_2 Q_1$	$Q_2^+ Q_1^+$	$i$	$x y Q_2 Q_1$	$Q_2^+ Q_1^+$
0	0 0 0 0	0 0	8	1 0 0 0	1 0
1	0 0 0 1	0 1	9	1 0 0 1	1 0
2	0 0 1 0	1 0	10	1 0 1 0	1 0
4	0 1 0 0	0 1	12	1 1 0 0	0 0
5	0 1 0 1	0 1	13	1 1 0 1	0 1
6	0 1 1 0	0 1	14	1 1 1 0	1 0

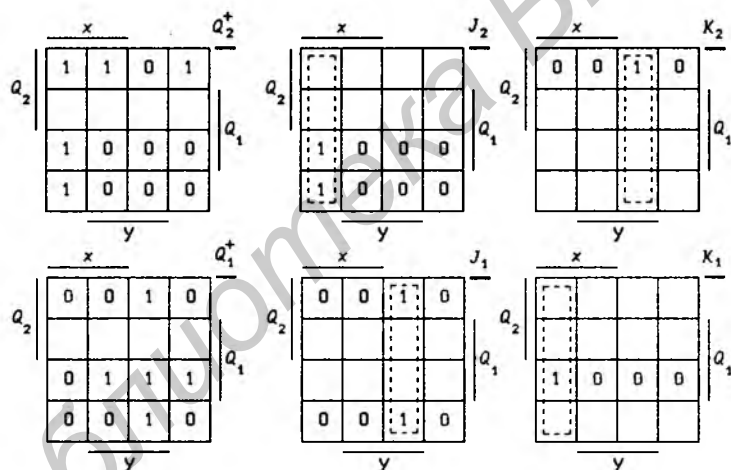


Рис. 4.19

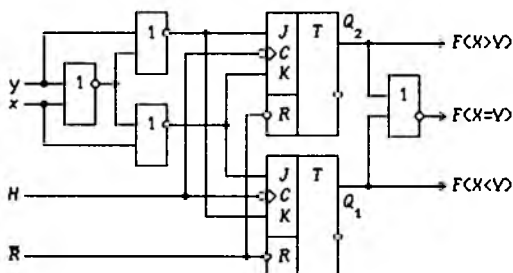


Рис. 4.20

следующим образом:

автомат находится в состоянии  $Q_2 = Q_1 = 0$  до тех пор, пока значения разрядов  $x$  и  $y$  двоичных чисел  $X$  и  $Y$  совпадают;

автомат переходит в состояние  $Q_2 = 1$  и  $Q_1 = 0$ , если  $x > y$ ;

автомат переходит в состояние  $Q_2 = 0$  и  $Q_1 = 1$ , если  $x < y$ .

Из данного алгоритма следует, что

$$F(X > Y) = Q_2, F(X < Y) = Q_1, F(X = Y) = \overline{Q_2} \cdot \overline{Q_1}$$

и автомат задается графом переходов, показанным на рис. 4.18 (ветви подписаны значениями только входных сигналов  $x, y$ , так как выходные сигналы полностью определяются внутренним состоянием автомата). Составив по графу переходов таблицу истинности для функций  $Q_2^+$  и  $Q_1^+$  (табл. 4.4), а затем диаграммы Вейча (рис. 4.19; пустым клеткам соответствуют неопределенные значения) для функций возбуждения  $J$ - $K$ -триггеров, получим:

$$J_2 = K_1 = x \cdot \overline{y} = \overline{x \vee \overline{y} \vee y}, J_1 = K_2 = \overline{x} \cdot y = \overline{x \vee \overline{x} \vee \overline{y}},$$

$$F(X = Y) = \overline{Q_2 \vee Q_1}.$$

На рис. 4.20 показана последовательная схема сравнения двоичных чисел, выполненная на  $J$ - $K/R$ -триггерах в соответствии с полученными формами функций. Сложность последовательных компараторов не зависит от разрядности чисел  $X$  и  $Y$ , время же сравнения чисел пропорционально числу разрядов, что является их существенным недостатком. Понятно, что синтезированный компаратор может быть использован и для сравнения десятичных чисел, представленных в двоично-десятичном коде 8-4-2-1.

#### 4.4. Сдвигающие регистры

Совокупность  $D$ -триггеров, имеющих общий тактовый сигнал, называется *синхронным регистром памяти*. Информационные входы и выходы таких регистров независимы. Из рис. 4.1 следует, что на регистре памяти может быть синтезирован любой синхронный автомат.

**Сдвигающие регистры без загрузки данных.** Автомат, функции возбуждения которого

$$D_0 = DS, D_r = Q_{r-1}, r = 1, 2, \dots, m-1, \quad (4.31)$$

называется  $m$ -разрядным *сдвигающим регистром* ( $DS$  — *Data Serial* — последовательно вводимые данные).

На рис. 4.21,а показана схема 4-разрядного сдвигающего регистра с параллельным выходом  $Q_3 - Q_0$  и входом  $\bar{R}$  асинхронного потенциального сброса триггеров в состояние  $Q_r = 0$  (использованы  $D/R$ -триггеры). Значение входного сигнала  $DS(t_d)$  в дискретный момент времени  $t_d$  появляется на выходе  $Q_3$  через четыре такта, т. е.  $Q_3(t_d + 4) = DS(t_d)$ . В сдвигающем регистре информация из триггера  $Q_{r-1}$  с каждым тактом передается в триггер  $Q_r$ . Для последовательного ввода в  $m$ -разрядный регистр  $m$ -разрядного слова требуется  $m$  тактов. Такие сдвигающие регистры могут использоваться для преобразования последовательного кода в параллельный. Выход  $Q_3$  предназначен для последовательного вывода информации из сдвигающего регистра.

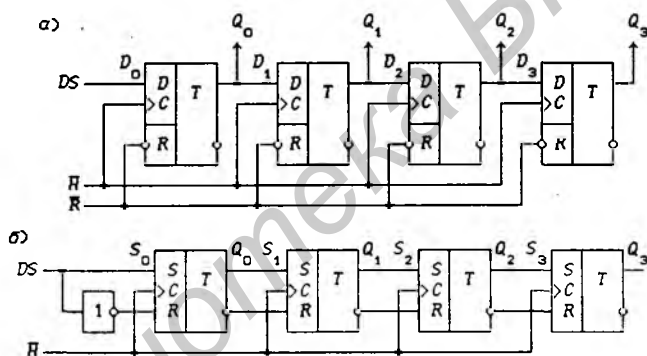


Рис. 4.21

Любой сдвигающий регистр имеет вход последовательного ввода информации  $SI = DS$  (Serial Input) и выход последовательного вывода информации  $SO$  (Serial Output), однако выходы параллельного вывода информации  $PO$  (Parallel Output) и (или) входы параллельного ввода информации  $PI$  (Parallel Input) могут отсутствовать.

Сдвигающие регистры часто выполняются на синхронных  $R$ - $S$ -триггерах, описываемых функцией переходов (4.12). Если положить  $S = \bar{R} = D$ , то получим  $Q^+ = D$  — функция переходов  $D$ -триггера (условие  $R \cdot S = \bar{D} \cdot D = 0$  выполняется). На рис. 4.21,б показана схема 4-разрядного сдвигающего регистра с последовательным выходом  $SO = Q_3$ , выполненная на  $R$ - $S$ -триггерах. Такой сдвигающий регистр может быть использован для цифровой задержки информации  $DS$  на четыре такта. На сдвигающих регистрах с последовательным выходом  $SO$  может

быть построено запоминающее устройство с последовательным доступом к информации.

Как и любой автомат, сдвигающий регистр полностью описывается графом переходов. Так, закон функционирования 3-разрядного сдвигающего регистра характеризуется графом переходов на рис. 4.22,а. В узлах указаны десятичные эквиваленты  $j = 0, 1, \dots, 7$  двоичных чисел  $e_{Q_2}e_{Q_1}e_{Q_0}$ . На вход  $D_0$  триггера  $Q_0$  может поступать сигнал  $e_{D_0} = 0$  или 1, определяя в каждом такте следующее состояние этого триггера. При сдвиге двоичного числа  $j$  вправо на один разряд его значение удваивается, если нет переполнения разрядной сетки. При переполнении разрядной сетки получается результат  $\langle 2j \rangle = 2j - 8$  для 3-разрядного сдвигающего регистра и  $\langle 2j \rangle = 2j - 16$  для 4-разрядного (для  $m$ -разрядного сдвигающего регистра умножение на 2 производится по модулю  $2^m$ ). Понятно, что получаемые в следующем такте числа  $j^+ = \langle 2j + e_{D_0} \rangle = \langle 2j \rangle + e_{D_0}$ . На этом основании проставлены значения  $j$  в узлах графа переходов на рис. 4.22,а.

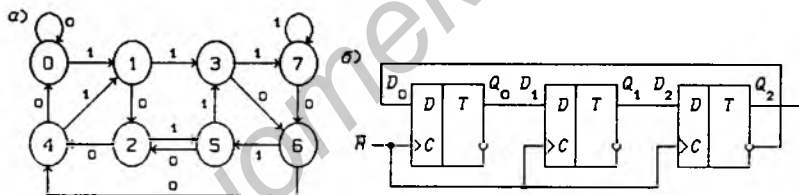


Рис. 4.22

**Синтез счетчиков на сдвигающих регистрах.** Из рис. 4.22,а видно, что последовательность переходов между некоторыми внутренними состояниями образует замкнутое кольцо (например, последовательность переходов  $0 \rightarrow 1 \rightarrow 3 \rightarrow 7 \rightarrow 6 \rightarrow 4 \rightarrow 0$ ). Следовательно, на сдвигающих регистрах можно синтезировать счетчики. Построим счетчик по  $\text{mod } 6$  на основе 3-разрядного сдвигающего регистра, выбрав приведенную выше последовательность внутренних состояний. Составив таблицу истинности для функции переходов счетчика  $Q_r^+ = f_r(Q_2, Q_1, Q_0)$ ,  $r = 0, 1, 2$  (табл. 4.5), находим:  $D_2 = Q_1$ ,  $D_1 = Q_0$ ,  $D_0 = DS = \bar{Q}_2$ . Как и следовало ожидать, получились функции возбуждения сдвигающего регистра, т.е. при синтезе счетчиков на сдвигающих регистрах следует отыскивать только функцию возбуждения  $D_0$ . На рис. 4.22,б показана схема счетчика по  $\text{mod } 6$  на сдвигающем регистре, построенная в соот-

ветствии с полученными функциями. Этот счетчик имеет два неиспользуемых состояния  $\mu_2$  и  $\mu_5$  ( $j = 2$  и  $j = 5$ ). При случайном попадании в эти состояния, как легко убедиться, счетчик не может самостоятельно выйти из них, превращаясь в счетчик по *mod* 2. Возможность такой ситуации видна из графа переходов сдвигающего регистра (см. рис. 4.22,а).

Таблица 4.5. Функция переходов счетчика по *mod* 6

$i$	$Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$	$i$	$Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$
0	0 0 0	0 0 1	7	1 1 1	1 1 0
1	0 0 1	0 1 1	6	1 1 0	1 0 0
3	0 1 1	1 1 1	4	1 0 0	0 0 0

На рис. 4.23 представлен полный граф переходов 4-разрядного сдвигающего регистра. Числа, указанные в узлах, определяются соотношением  $j^+ = \langle 2j + e_{D_0} \rangle = \langle 2j \rangle + e_{D_0}$ , где  $e_{D_0} = 0$  и 1. По графу переходов можно произвести кодирование внутренних состояний любого счетчика по *mod*  $M$ , где  $M = 2, 3, \dots, 16$ . Для этого необходимо выбрать замкнутый цикл из  $M$  состояний. Например, для счетчика по *mod* 16 можно взять последовательность переходов между внутренними состояниями

$$0 \rightarrow 1 \rightarrow 2 \rightarrow 4 \rightarrow 9 \rightarrow 3 \rightarrow 6 \rightarrow 13 \rightarrow 10 \rightarrow \\ \rightarrow 5 \rightarrow 11 \rightarrow 7 \rightarrow 15 \rightarrow 14 \rightarrow 12 \rightarrow 8 \rightarrow 0$$

для отыскания функции возбуждения  $D_0$ . Синтез дает

$$D_0 = \bar{Q}_3 Q_2 \vee Q_3 \bar{Q}_2 Q_1 \vee Q_3 \bar{Q}_2 Q_0 \vee \bar{Q}_3 \bar{Q}_1 \bar{Q}_0.$$

На основании этой функции возбуждения можно построить счетчик по *mod* 16 на 4-разрядном сдвигающем регистре.

**Сдвигающие регистры с загрузкой данных.** Часто на сдвигающий регистр возлагается выполнение более сложных операций, чем сдвиг информации влево (в сторону старших разрядов). Так, например, может потребоваться параллельная синхронная запись и (или) сдвиг информации вправо (в сторону младших разрядов). Если регистр должен иметь два каких-либо режима работы, то входы  $D_r$  его триггеров должны описываться мультиплексной функцией

$$D_r = D_{r_0} \cdot \bar{A} \vee D_{r_1} \cdot A, \quad (4.32)$$

где  $A$  — сигнал, осуществляющий мультиплексирование сигналов  $D_{r_0}$  и  $D_{r_1}$  ( $A$  — Address). На рис. 4.24,а показана схема

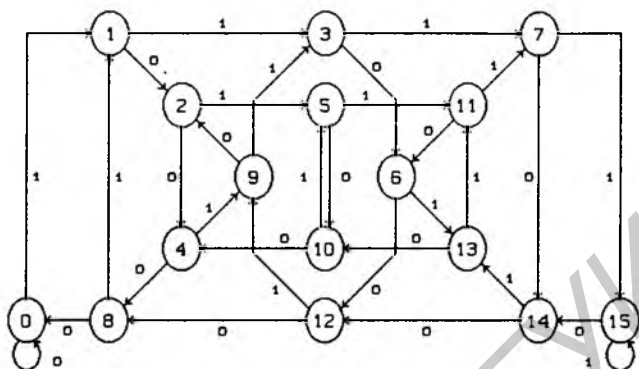


Рис. 4.23

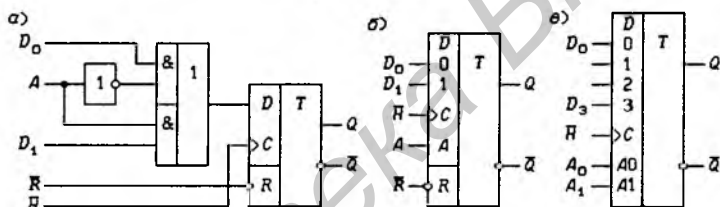


Рис. 4.24

одного разряда сдвигающего регистра с мультиплексной входной функцией, выполненная на  $D/R$ -триггере, имеющем вход асинхронной установки  $\bar{R}$  в состоянии  $Q = 0$ , а на рис. 4.24,б — его условное графическое обозначение. Такие триггеры будем называть  $D_0-D_1/R$ -триггерами.

На рис. 4.25 приведена схема 4-разрядного сдвигающего регистра с синхронной параллельной загрузкой данных, построенная на триггерах с функциями возбуждения (4.32), изображенных на рис. 4.24,б. Один управляющий сигнал  $L$  (*Load* — загрузка;  $L = A$ ) позволяет включать два режима работы регистра:  $L = 0$  — сдвиг с последовательным вводом данных,  $L = 1$  — синхронная параллельная загрузка данных. Функции возбуждения  $D$ -триггеров такого регистра имеют вид

$$D_0 = DS \cdot \bar{L} \vee DP_0 L, \quad D_r = Q_{r-1} \bar{L} \vee DP_r L, \quad r = 1, 2, \dots, m-1, \quad (4.33)$$

где  $DP_r$  — загружаемые данные. По такому принципу спроектированы ИС 555ИР10, 555ИР16 и др.

**Реверсивные сдвигающие регистры.** Если сдвигающие регистры имеют более двух режимов работы, то для мульти-

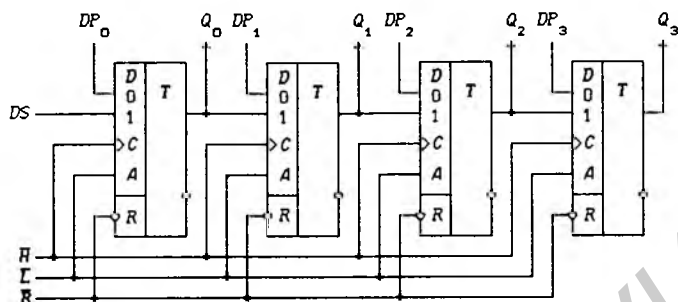


Рис. 4.25

плексирования входных сигналов  $D$ -триггеров необходимо использовать два адресных сигнала  $A_1$  и  $A_0$ , как показано на рис. 4.24,в. Эти триггеры описываются функциями возбуждения

$$D_r = D_{r0} \bar{A}_1 \bar{A}_0 \vee D_{r1} \bar{A}_1 A_0 \vee D_{r2} A_1 \bar{A}_0 \vee D_{r3} A_1 A_0. \quad (4.34)$$

В табл. 4.6 приведены функции возбуждения и режимы работы реверсивного  $m$ -разрядного сдвигающего регистра с синхронной параллельной загрузкой данных.

Таблица 4.6. Функции возбуждения реверсивного сдвигающего регистра

$M_1 M_0$	$D_0$	$D_r$	$D_{m-1}$	Операция
0 0	$Q_0$	$Q_r$	$Q_{m-1}$	Хранение
0 1	$DS_0$	$Q_{r-1}$	$Q_{m-2}$	Сдвиг влево
1 0	$Q_1$	$Q_{r+1}$	$DS_{m-1}$	Сдвиг вправо
1 1	$DP_0$	$DP_r$	$DP_{m-1}$	Загрузка

На рис. 4.26 показана схема 4-разрядного реверсивного сдвигающего регистра с синхронной параллельной загрузкой данных, построенного на основе триггеров, описываемых функциями возбуждения (4.34). Регистр имеет четыре режима работы: сдвиг влево (в сторону старших разрядов), сдвиг вправо (в сторону младших разрядов), параллельная загрузка и хранение. Для мультимплексирования сигналов используются два адресных сигнала  $M_1$  и  $M_0$  ( $M$  — Mode — режим;  $M_1 = A_1$ ,  $M_0 = A_0$ ).



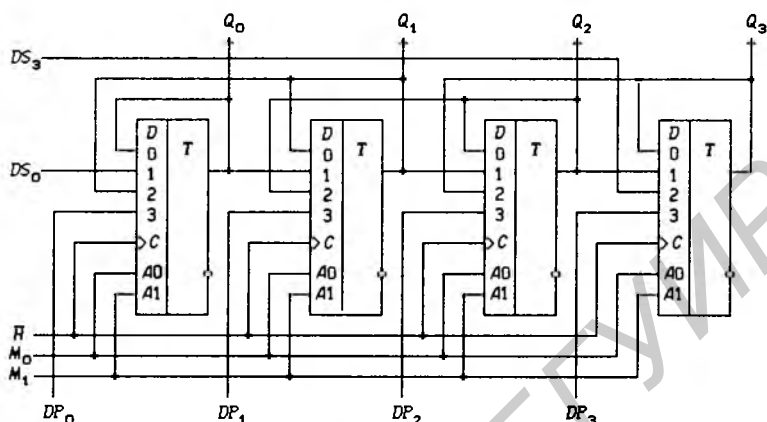


Рис. 4.26

Функции возбуждения  $D$ -триггеров описываются выражениями:

$$D_0 = Q_0 \overline{M_1} \overline{M_0} \vee DS_0 \overline{M_1} M_0 \vee Q_1 M_1 \overline{M_0} \vee DP_0 M_1 M_0,$$

$$D_r = Q_r \overline{M_1} \overline{M_0} \vee Q_{r-1} \overline{M_1} M_0 \vee Q_{r+1} M_1 \overline{M_0} \vee DP_r M_1 M_0, \quad r = 1, 2,$$

$$D_3 = Q_3 \overline{M_1} \overline{M_0} \vee Q_2 \overline{M_1} M_0 \vee DS_3 M_1 \overline{M_0} \vee DP_3 M_1 M_0.$$

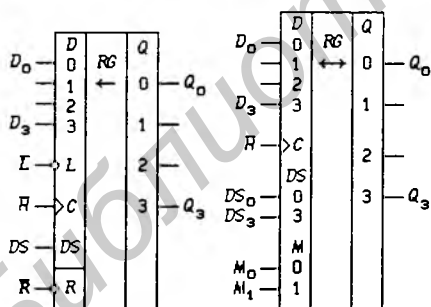


Рис. 4.27

$\overline{L}$  переключает режимы работы:  $\overline{L} = 0$  — загрузка числа  $D_3 D_2 D_1 D_0$ ,  $\overline{L} = 1$  — сдвиг последовательно вводимой информации  $DS$ . В реверсивных сдвигающих регистрах последовательно вводимая информация подается на вход  $DS_0$  при сдвиге в сторону старших разрядов (влево), а при сдвиге в сторону младших разрядов (вправо) — на вход  $DS_3$  (режимами работы управляют сигналы  $M_1$  и  $M_0$ ). Один из регистров имеет вход  $\overline{R}$  асинхронной потенциальной установки в нулевое состояние.

На рис. 4.28 изображены временные диаграммы работы 4-

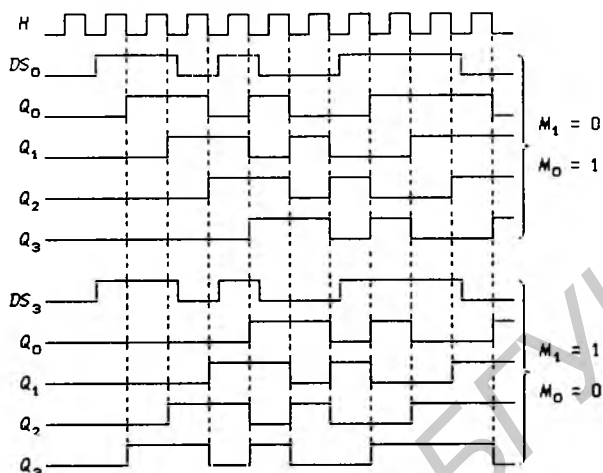


Рис. 4.28

разрядного реверсивного сдвигающего регистра при сдвиге информации  $DS_0$  в сторону старших разрядов и информации  $DS_3$  в сторону младших разрядов.

В виде ИС выпускаются сдвигающие регистры самого различного назначения:  $SI/SO$ ,  $SI/PO$ ,  $PI/SO$  и  $PI/PO$  (регистры с различными комбинациями входных и выходных информационных сигналов). В соответствии с этим видоизменяются и условные графические обозначения сдвигающих регистров, примеры которых приведены на рис. 4.27.

## 4.5. Синхронные счетчики

По классам цифровых автоматов, на основе теории которых счетчики могут быть синтезированы или описаны, они делятся на три большие группы: асинхронные потенциальные, синхронные и асинхронные импульсные. Синтез асинхронных потенциальных счетчиков был рассмотрен в § 3.5. В виде ИС выпускаются только синхронные и асинхронные импульсные счетчики.

По способу кодирования внутренних состояний счетчики делятся на подгруппы: двоичные, двоично-десятичные (декадные), счетчики Джонсона, кольцевые счетчики, счетчики с произвольным кодированием внутренних состояний и др. С точки зрения разработчика радиоэлектронной аппаратуры удобно использовать терминологию: *суммирующие счетчики* (*Up-counter*), *вычитающие счетчики* (*Down-counter*) и *реверсивные*

счетчики (*Up-down-counter*).

На рис. 4.29,а показан граф переходов счетчика по *mod* 2, функция переходов которого  $Q^+ = \bar{Q}$  совпадает с функцией переходов асинхронного импульсного *dT*-триггера (3.43). Такой счетчик можно реализовать на синхронном *D*-триггере ( $D = Q^+ = \bar{Q}$ ) или синхронном *J-K*-триггере ( $J = K = 1$ ). На рис. 4.29,б,в представлены схемы счетчиков по *mod* 2, выполненные на триггерах типов *D* и *J-K*, а на рис. 4.29,г — временные диаграммы работы счетчиков.

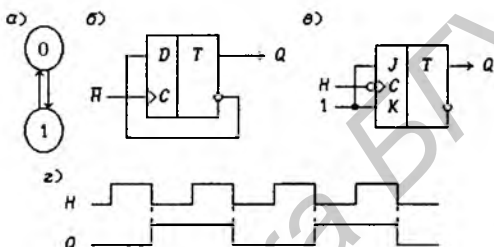


Рис. 4.29

**Счетчики с произвольным кодированием внутренних состояний.** На рис. 4.30,а показан граф переходов счетчика по *mod* 8, кодирование внутренних состояний которого выполнено с помощью 3-разрядного двоичного кода  $eQ_2eQ_1eQ_0$ . Внутренние состояния счетчика  $\mu_j = (eQ_2, eQ_1, eQ_0)$  можно характеризовать двоичным числом  $j = eQ_2eQ_1eQ_0$ . Ветви графа переходов подписаны символами  $-/0$  и  $-/1$ , указывающими состояния входа и выхода автомата  $\nu/\lambda = -/P_3$  (прочерк означает отсутствие у автомата входных сигналов  $x_p$ ). Выходной сигнал автомата  $P_3$  называется *сигналом переноса* и используется для управления другим счетчиком при необходимости увеличения числа разрядов результирующего счетчика. Если состояние  $\mu_0 = (0, 0, 0)$  принять за начальное, то через восемь тактов счетчик по *mod* 8 возвратится в это же состояние (счетчик переполняется, что указано на графе переходов значением входа/выхода:  $-/P_3 = -/1$ ).

Синтезируем данный счетчик на *J-K*-триггерах, функции возбуждения которых определяются выражениями (4.27). На основании графа переходов на рис. 4.30,а записывается таблица истинности для функции переходов  $Q_r^+ = f_r(Q_2, Q_1, Q_0)$ ,  $r = 0, 1, 2$  (табл. 4.7), по которой составляются диаграммы Вейча для функций  $Q_r^+$ ,  $J_r$  и  $K_r$  (рис. 4.30,б). Из рис. 4.30,б следует,

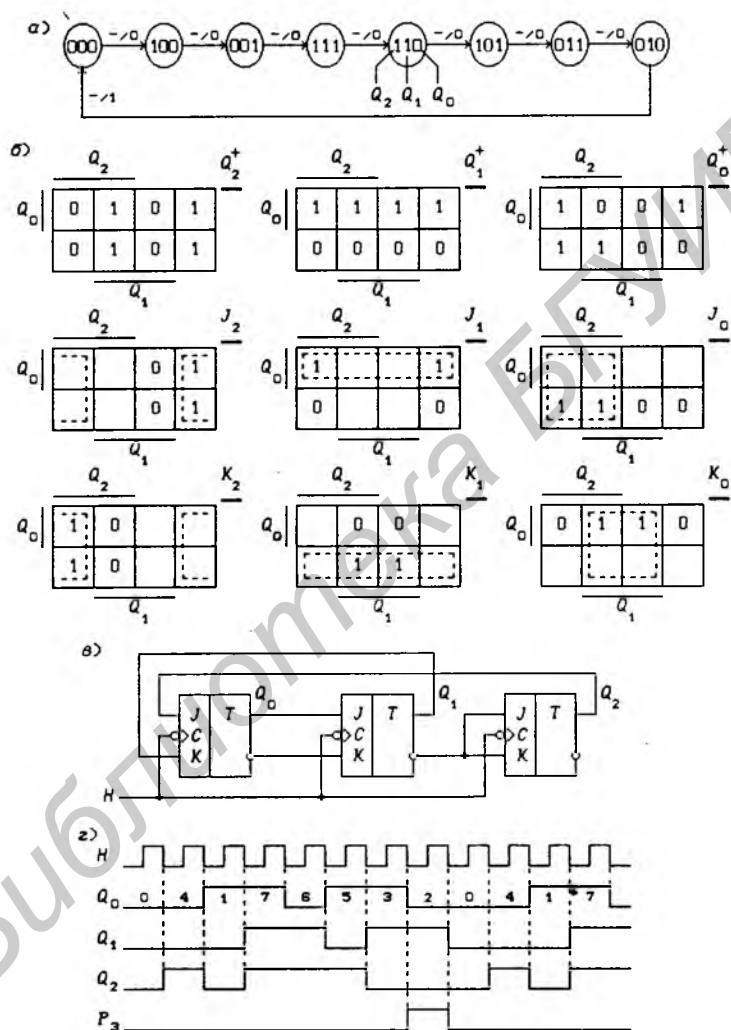


Рис. 4.30

Таблица 4.7. Функция переходов счетчика по mod 8

$i$	$Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$	$i$	$Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$
0	0 0 0	1 0 0	6	1 1 0	1 0 1
4	1 0 0	0 0 1	5	1 0 1	0 1 1
1	0 0 1	1 1 1	3	0 1 1	0 1 0
7	1 1 1	1 1 0	2	0 1 0	0 0 0

что функции возбуждения

$$J_2 = \bar{Q}_1, K_2 = \bar{Q}_1, J_1 = Q_0, K_1 = \bar{Q}_0, J_0 = Q_2, K_0 = Q_1.$$

На рис. 4.30,в показана схема счетчика по mod 8, выполненная на  $J$ - $K$ -триггерах в соответствии с полученными функциями возбуждения, а на рис. 4.30,г — временные диаграммы, поясняющие работу счетчика. Из рис. 4.30,в видно, что разряды  $Q_1$  и  $Q_0$  включены по схеме 2-разрядного сдвигающего регистра. Из графа переходов (рис. 4.30,а) следует, что сигнал переноса  $P_3 = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$  (этот же результат может быть получен и из временных диаграмм на рис. 4.30,г).

Достоинством синтезированной схемы является простота функций возбуждения (для их реализации не требуются ЛЭ), а недостатком — сложность ее применения для счета импульсов, так как для представления числа пришедших на счетчик импульсов в практически используемых системах счисления необходим преобразователь кода внутреннего состояния счетчика. К недостаткам данного счетчика относится также то, что за период его работы, задаваемый сигналом  $P_3$ , выходные сигналы всех трех триггеров изменяются с 1 на 0 два раза, что исключает возможность использования счетчика в качестве делителя частоты на 8 без дополнительного ЛЭ, производящего дешифрацию одного из его внутренних состояний.

Покажем, что по принципиальной схеме счетчика всегда можно установить закон его функционирования. Так, счетчик на рис. 4.31,а описывается функциями возбуждения

$$T_3 = \bar{Q}_2 Q_1, D_2 = Q_1, D_1 = Q_0, D_0 = \overline{Q_2 \vee \bar{Q}_3 Q_1},$$

которым соответствует табл. 4.8, задающая его функцию переходов  $Q_r^+ = f_r(Q_3, Q_2, Q_1, Q_0)$ ,  $r = 0, 1, 2, 3$ . Составив по табл. 4.8 граф переходов счетчика (рис. 4.31,б), легко убедиться, что схема на рис. 4.31,а является счетчиком по mod 11. По графу переходов можно составить и временные диаграммы его работы (рис. 4.31,в); внутренние состояния  $\mu_2, \mu_5, \mu_{10}, \mu_{13}$  и  $\mu_{15}$

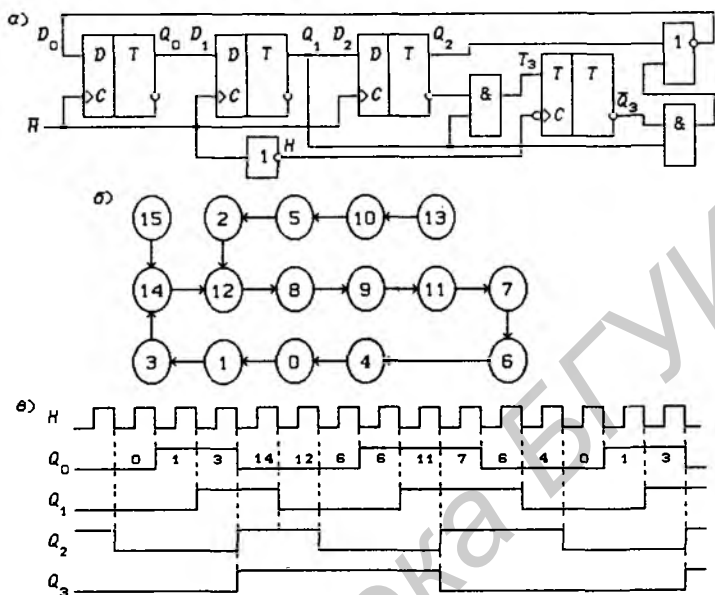


Рис. 4.31

Таблица 4.8. Функция переходов счетчика по mod 11

$j$	$Q_3 Q_2 Q_1 Q_0$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$	$j^+$	$T_3 D_2 D_1 D_0$
0	0 0 0 0	0 0 0 1	1	0 0 0 1
1	0 0 0 1	0 0 1 1	3	0 0 1 1
2	0 0 1 0	1 1 0 0	12	1 1 0 0
3	0 0 1 1	1 1 1 0	14	1 1 1 0
4	0 1 0 0	0 0 0 0	0	0 0 0 0
5	0 1 0 1	0 0 1 0	2	0 0 1 0
6	0 1 1 0	0 1 0 0	4	0 1 0 0
7	0 1 1 1	0 1 1 0	6	0 1 1 0
8	1 0 0 0	1 0 0 1	9	0 0 0 1
9	1 0 0 1	1 0 1 1	11	0 0 1 1
10	1 0 1 0	0 1 0 1	5	1 1 0 1
11	1 0 1 1	0 1 1 1	7	1 1 1 1
12	1 1 0 0	1 0 0 0	8	0 0 0 0
13	1 1 0 1	1 0 1 0	10	0 0 1 0
14	1 1 1 0	1 1 0 0	12	0 1 0 0
15	1 1 1 1	1 1 1 0	14	0 1 1 0

в основном режиме работы счетчика не используются — они могут возникнуть только при включении питания или сбое в работе счетчика.

**Синхронные двоичные счетчики.** Внутренние состояния 3-разрядного двоичного счетчика кодируются последовательными двоичными числами, десятичные эквиваленты которых  $j = 0, 1, 2, \dots$  (рис. 4.32,а). При каждом переходе счетчика число  $j$  увеличивается на 1 в соответствии с двоичной системой счисления и при достижении максимального значения  $j = 7$  возвращается в исходное (начальное нулевое) состояние  $j = 0$ . Выходным сигналом счетчика, свидетельствующем о его переполнении, является сигнал  $P_3$ . По графу переходов на рис. 4.32,а составляется таблица истинности (табл. 4.9) для функции переходов  $Q_r^+ = f_r(Q_2, Q_1, Q_0)$ ,  $r = 0, 1, 2$ , а затем диаграммы Вейча (рис. 4.32,б) для функций  $Q_r^+$  и  $T_r$ . Метод заполнения диаграмм Вейча для функций возбуждения  $T_r$  вытекает из (1.59):  $T_r = Q_r^+$  при  $Q_r = 0$  и  $T_r = \overline{Q_r^+}$  при  $Q_r = 1$ . Из диаграмм Вейча следует, что

$$T_0 = 1, T_1 = Q_0, T_2 = Q_1 Q_0. \quad (4.35)$$

Функцию переполнения (переноса)  $P_3$  можно найти непосредственно из табл. 4.9:  $P_3 = Q_2 Q_1 Q_0$ . Полученным функциям соответствует схема счетчика на рис. 4.32,в. Временные диаграммы, поясняющие его работу, показаны на рис. 4.32,г.

Легко показать, что двоичный счетчик по *mod* 16 описывается функциями:

$$T_0 = 1, T_1 = Q_0, T_2 = Q_1 Q_0, T_3 = Q_2 Q_1 Q_0, P_4 = Q_3 Q_2 Q_1 Q_0. \quad (4.36)$$

Из сравнения (4.35) с (4.36) следует, что функции возбуждения  $T_0, T_1$  и  $T_2$  не изменились. Это дает основание сделать общий вывод, что функции возбуждения триггеров счетчика по *mod*  $2^m$ , состоящего из  $m$  триггеров, определяются соотношениями

$$T_0 = 1, T_r = \prod_{j=0}^{r-1} Q_j, P_m = \prod_{r=0}^{m-1} Q_r = T_m. \quad (4.37)$$

На основе этих функций строятся все синхронные двоичные счетчики. Длительность активного уровня сигнала  $P_m = 1$  равна периоду тактового сигнала  $T_H$ .

Из (4.37) видно, что для триггера с номером  $m$  функция возбуждения  $T_m = P_m$ , поэтому для переноса  $P_m$  из предыдущего разряда и функции возбуждения  $T_m$  триггера следующего разряда можно было бы использовать единое обозначение —  $T_m$ .

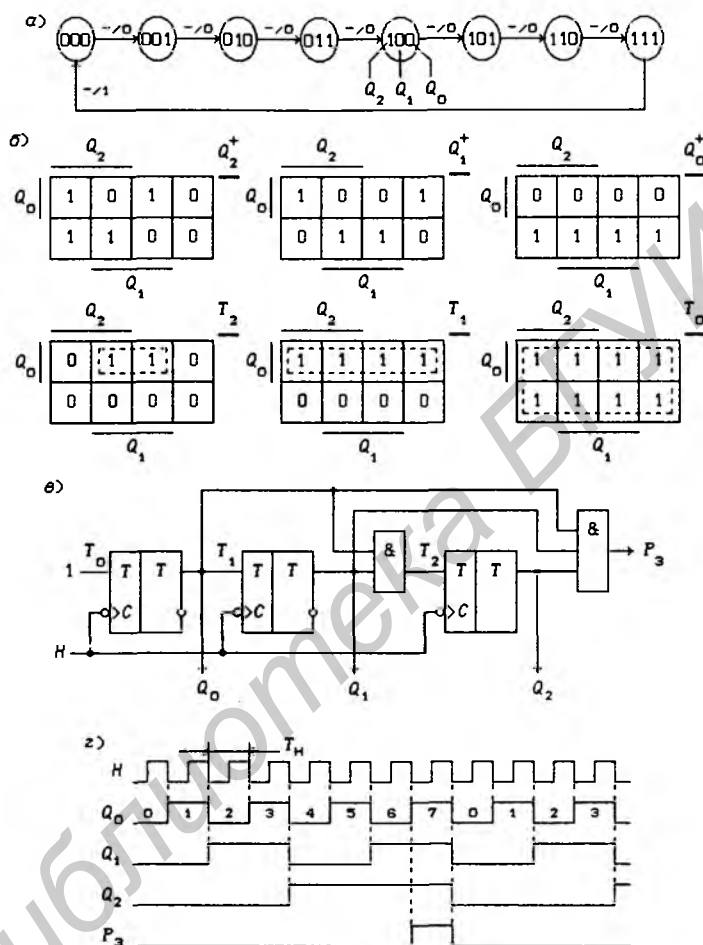


Рис. 4.32

Таблица 4.9. Функция переходов 3-разрядного двоичного счетчика

$i$	$Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$	$P_3$	$i$	$Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$	$P_3$
0	0 0 0	0 0 1	0	4	1 0 0	1 0 1	0
1	0 0 1	0 1 0	0	5	1 0 1	1 1 0	0
2	0 1 0	0 1 1	0	6	1 1 0	1 1 1	0
3	0 1 1	1 0 0	0	7	1 1 1	0 0 0	1



Однако, поскольку один сигнал является выходным, а другой — входным, то возникают трудности в восприятии аналитического описания счетчиков.

При большом числе  $m$  триггеров в счетчике функции возбуждения получаются весьма сложными, что является недостатком таких счетчиков. Соотношения (4.37) можно привести к виду

$$T_0 = 1, T_r = Q_{r-1} \cdot \prod_{j=0}^{r-2} Q_j = Q_{r-1} T_{r-1},$$

$$P_m = Q_{m-1} \cdot \prod_{r=0}^{m-2} Q_r = Q_{m-1} T_{m-2}.$$

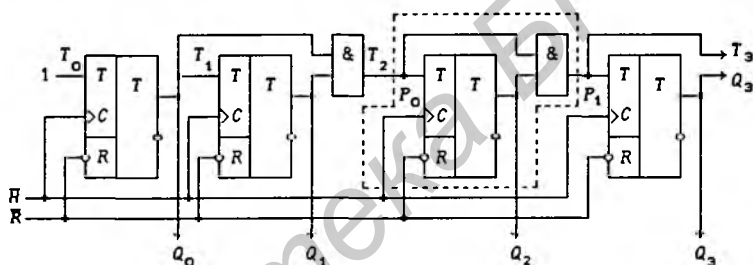


Рис. 4.33

На рис. 4.33 показана схема двоичного 4-разрядного счетчика, соответствующая данным формам функций возбуждения T-триггеров. Ее недостаток — последовательное прохождение переносов от младших разрядов к старшим через ЛЭ И, что снижает быстродействие счетчика (функции возбуждения представлены скобочными формами порядка  $m$ ). Схема на рис. 4.33 иллюстрирует метод каскадирования *одноразрядных синхронных двоичных счетчиков*. Действительно, узел, выделенный штриховой линией, описывается общими для всех таких узлов функциями  $T = P_0$  и  $P_1 = P_0 Q$ , где  $P_0$  — перенос из предыдущего разряда,  $P_1$  — перенос в следующий разряд, и представляет собой одноразрядный счетчик. Первый разряд счетчика получается подстановкой  $P_0 \equiv 1$ , что дает  $T_0 = 1$  и  $P_1 = Q_0$ . Таким образом, счетчик любой разрядности может быть построен с помощью последовательного соединения одноразрядных счетчиков. Такие счетчики называются *счетчиками с последовательным переносом*.

Функции (4.37) описывают синхронные *двоичные счетчики с параллельным переносом*. На практике широкое применение

находят счетчики с параллельно-последовательным переносом, когда одинаковые  $k$ -разрядные (например, 4-разрядные) двоичные счетчики выполняются с параллельным переносом, а при соединении нескольких таких счетчиков используется последовательный перенос.

**Синхронные двоично-десятичные счетчики.** Для производства счета в десятичной системе счисления чаще всего используются *двоично-десятичные счетчики*, кодирование внутренних состояний которых производится в соответствии с двоично-десятичным кодом 8-4-2-1. Граф переходов таких счетчиков показан на рис. 4.34,а. Сигнал переноса  $P_4 = 1$  в состоянии  $j = 9$ . По табл. 4.10 для функции переходов счетчика  $Q_r^+ = f_r(Q_3, Q_2, Q_1, Q_0)$ ,  $r = 0, 1, 2, 3$  и функции переноса  $P_4$ , соответствующей данному графу переходов, как и для двоичных счетчиков, можно составить диаграммы Вейча (рис. 4.34,б,в) и положить:

$$\left. \begin{aligned} T_0 &= 1, T_1 = \bar{Q}_3 Q_0, T_2 = Q_1 Q_0, \\ T_3 &= Q_2 Q_1 Q_0 \vee Q_3 Q_0, P_4 = Q_3 Q_0. \end{aligned} \right\} \quad (4.38)$$

На рис. 4.35 показана схема двоично-десятичного счетчика, соответствующая полученным функциям возбуждения, а на рис. 4.36 — временные диаграммы его работы. Длительность активного уровня сигнала  $P_4 = 1$  равна периоду тактового сигнала  $T_H$ .

**Каскадирование двоичных и двоично-десятичных счетчиков.** Счетчики, выпускаемые в интегральном исполнении, как правило, имеют дополнительные управляющие входы, предназначенные для их каскадирования. В простейшем случае требуется один дополнительный вход  $P_0$  для приема сигнала переноса  $P_4$  из предыдущего счетчика ( $P_0 = 1$  — разрешение счета и переноса). Условные графические обозначения таких 4-разрядных двоичных и декадных счетчиков с асинхронным потенциальным и синхронным сбросом в нулевое состояние по входу  $\bar{R}$  представлены на рис. 4.37,а,б (в 4-разрядном двоичном счетчике СТ16 использованы  $T/R$ -триггеры, а в декадном счетчике СТ10 —  $T-R$ -триггеры). Функции возбуждения этих счетчиков, в отличие от (4.36) и (4.38), имеют вид:

$$\left. \begin{aligned} T_0 &= P_0, T_1 = P_0 \cdot Q_0, T_2 = P_0 \cdot Q_1 Q_0, \\ T_3 &= P_0 \cdot Q_2 Q_1 Q_0, P_4 = P_0 \cdot Q_3 Q_2 Q_1 Q_0; \end{aligned} \right\} \quad (4.39)$$

$$\left. \begin{aligned} T_0 &= P_0, T_1 = P_0 \cdot \bar{Q}_3 Q_0, T_2 = P_0 \cdot Q_1 Q_0, \\ T_3 &= P_0 \cdot Q_2 Q_1 Q_0 \vee P_0 \cdot Q_3 Q_0, P_4 = P_0 \cdot Q_3 Q_0. \end{aligned} \right\} \quad (4.40)$$

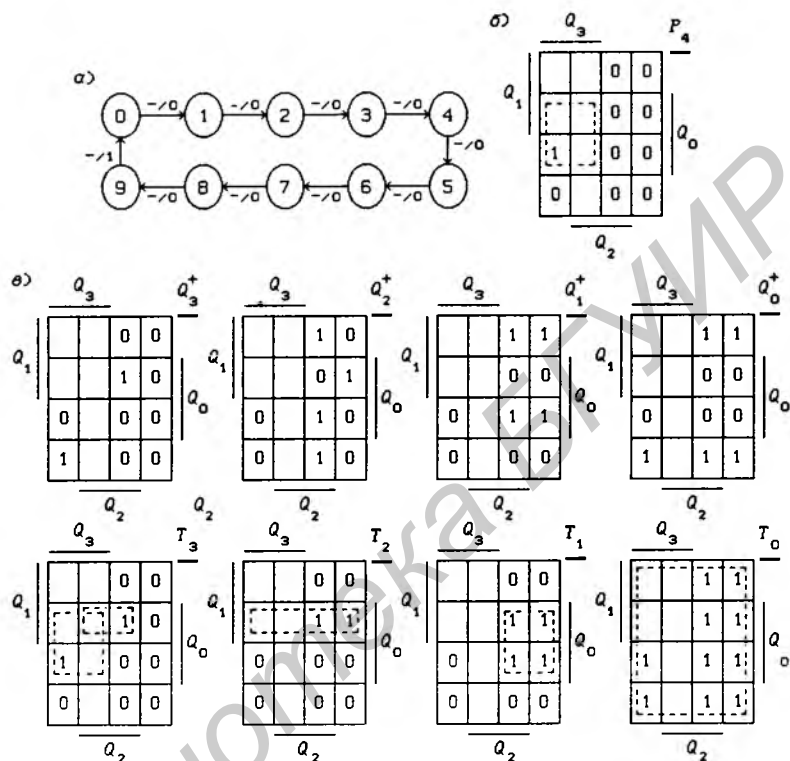


Рис. 4.34

Таблица 4.10. Функция переходов  
двоично-десятичного счетчика

$i$	$Q_3 Q_2 Q_1 Q_0$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$	$P_4$	$i$	$Q_3 Q_2 Q_1 Q_0$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$	$P_4$
0	0 0 0 0	0 0 0 1	0	5	0 1 0 1	0 1 1 0	0
1	0 0 0 1	0 0 1 0	0	6	0 1 1 0	0 1 1 1	0
2	0 0 1 0	0 0 1 1	0	7	0 1 1 1	1 0 0 0	0
3	0 0 1 1	0 1 0 0	0	8	1 0 0 0	1 0 0 1	0
4	0 1 0 0	0 1 0 1	0	9	1 0 0 1	0 0 0 0	1

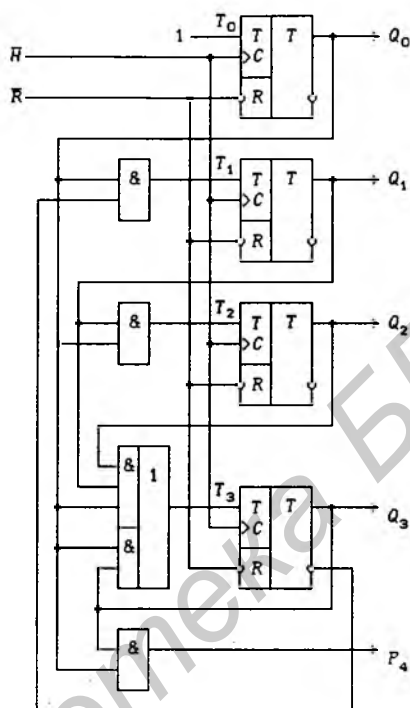


Рис. 4.35

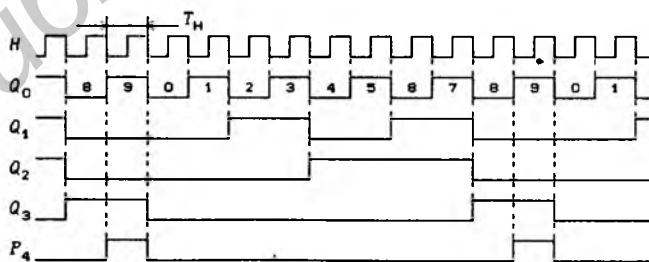


Рис. 4.36

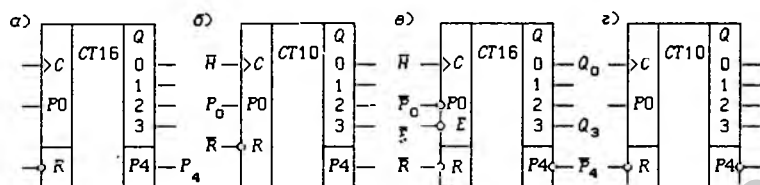


Рис. 4.37

Счетчики, обладающие большими функциональными возможностями, имеют два дополнительных управляющих входа  $P_0$  и  $E$  ( $P_0 = 1$  — разрешение счета,  $E = 1$  — разрешение счета и переноса), стробирующих функции возбуждения  $T_r$  и функцию переноса  $P_4$  (4.36) и (4.38):

$$\left. \begin{aligned} T_0 = P_0 E, T_1 = P_0 E \cdot Q_0, T_2 = P_0 E \cdot Q_1 Q_0, \\ T_3 = P_0 E \cdot Q_2 Q_1 Q_0, P_4 = E \cdot Q_3 Q_2 Q_1 Q_0; \end{aligned} \right\} \quad (4.41)$$

$$\left. \begin{aligned} T_0 = P_0 E, T_1 = P_0 E \cdot \bar{Q}_3 Q_0, T_2 = P_0 E \cdot Q_1 Q_0, \\ T_3 = P_0 E \cdot Q_2 Q_1 Q_0 \vee P_0 E \cdot Q_3 Q_0, P_4 = E \cdot Q_3 Q_0. \end{aligned} \right\} \quad (4.42)$$

Условные графические обозначения таких счетчиков показаны на рис. 4.37, б, г (в двоичном СТ16 и декадном СТ10 счетчиках использованы  $T/R$ -триггеры).

Каскадирование счетчиков с одним управляющим входом  $P_0$  показано на рис. 4.38, а, из которого на основании (4.39) следует, что

$$\left. \begin{aligned} P_4 = \prod_{r=0}^3 Q_r, P_8 = P_4 \prod_{r=4}^7 Q_r = \prod_{r=0}^7 Q_r, \\ P_{12} = P_8 \prod_{r=8}^{11} Q_r = \prod_{r=0}^{11} Q_r, P_{16} = P_{12} \prod_{r=12}^{15} Q_r = \prod_{r=0}^{15} Q_r, \end{aligned} \right\} \quad (4.43)$$

т. е. формирование переноса между 4-разрядными группами счетчика подчиняется общему правилу (4.37). Из (4.43) видно, что функции переноса реализуют минтермы

$$\begin{aligned} P_4 = K_{15}(Q_3, \dots, Q_0), P_8 = K_{255}(Q_7, \dots, Q_0), \\ P_{12} = K_{4095}(Q_{11}, \dots, Q_0), P_{16} = K_{65535}(Q_{15}, \dots, Q_0). \end{aligned}$$

Длительность активных уровней всех этих сигналов без учета задержек равна  $T_H$  — периоду тактового сигнала  $H$ . Счетчик на рис. 4.38, а содержит 16 триггеров со счетным входом, поэтому его модуль пересчета равен  $2^{16} = 65536$ . Любой счетчик может быть использован в качестве делителя частоты тактового сигнала на коэффициент, равный его модулю пересчета. Так,

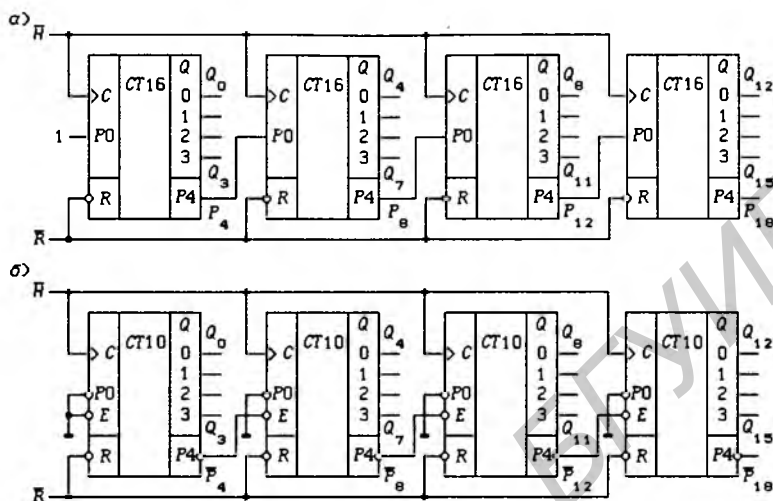


Рис. 4.38

частота сигналов  $Q_{15}$  и  $P_{16}$  равна  $1/65536 \cdot f_H$ , где  $f_H = 1/T_H$ . Скважность сигнала определяется как отношение периода его повторения к длительности активного уровня 1 или 0. Скважность сигнала  $Q_{15}$  равна 2 (полупериоды  $Q_{15} = 0$  и  $Q_{15} = 1$  равны), а скважность сигнала  $P_{16}$  равна 65536.

Если на рис. 4.38,а двоичные счетчики CT16 заменить на декадные CT10, описываемые функциями (4.40), то получится счетчик по  $mod 10^4$ , который можно использовать для деления частоты тактового сигнала в 10000 раз. Легко убедиться, что сигналы переносов будут описываться функциями

$$P_4 = Q_3 Q_0, \quad P_8 = P_4 \cdot Q_7 Q_4 = Q_7 Q_4 \cdot Q_3 Q_0,$$

$$P_{12} = P_8 \cdot Q_{11} Q_8 = Q_{11} Q_8 \cdot Q_7 Q_4 \cdot Q_3 Q_0 \cdot$$

$$P_{16} = P_{12} \cdot Q_{15} Q_{12} = Q_{15} Q_{12} \cdot Q_{11} Q_8 \cdot Q_7 Q_4 \cdot Q_3 Q_0.$$

Длительность этих сигналов также равна  $T_H$ .

Рассмотренная схема включения двоичных (декадных) счетчиков называется схемой с последовательным переносом, так как перенос  $P_4$  от младшей группы двоичных (двоично-кодированных) разрядов последовательно проходит через схемы формирования переносов  $P_8$ ,  $P_{12}$  и  $P_{16}$  всех старших групп разрядов счетчика (строго говоря, в схемах на рис. 4.38 реализован параллельно-последовательный перенос, так как 4-разрядные группы построены на основе параллельного переноса).

Если в счетчиках с двумя управляющими входами положить  $P_0 \equiv E$ , то соотношения (4.41) преобразуются в соотношения (4.39), т. е. каскадирование этих счетчиков выполняется так же, как и счетчиков с одним управляющим входом (можно также положить  $P_0 \equiv 1$ , а  $E = P_r$ ,  $r = 4, 8, 12$ ). Соответствующая схема каскадирования показана на рис. 4.38,б (вместо счетчиков *СТ10* можно использовать счетчики *СТ16*). Внутренние состояния данного счетчика можно пронумеровать числами от 0 до 9999 (счетчик ведет счет числа тактовых импульсов в десятичной системе счисления с представлением десятичных цифр в двоично-десятичном коде 8-4-2-1). Схемы каскадирования счетчиков с последовательным переносом имеют существенный недостаток — их быстродействие (максимально допустимое значение частоты тактового сигнала) значительно ниже, чем быстродействие одного 4-разрядного счетчика.

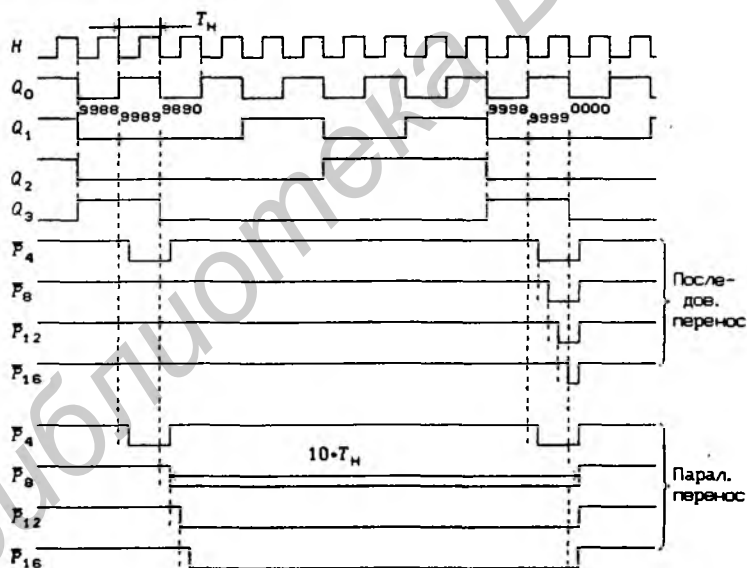


Рис. 4.39

На рис. 4.39 показаны временные диаграммы работы четырех декадных счетчиков с последовательным переносом. Длительность сигнала  $\bar{P}_4 = 0$  равна периоду тактового сигнала  $T_n$ , а длительность остальных сигналов переноса может уменьшаться из-за задержек в схемах переноса. При уменьшении длительности активного уровня какого-либо сигнала переноса  $\bar{P}_r$  сверх

допустимого значения появятся сбои в работе следующей группы разрядов счетчика.

Счетчики с двумя управляющими входами позволяют организовать параллельный перенос между 4-разрядными секциями. Схема счетчика с параллельным переносом показана на рис. 4.40. Легко показать, что функции переноса в этой схеме описываются соотношениями

$$P_4 = \prod_{r=0}^3 Q_r, \quad P_8 = \prod_{r=4}^7 Q_r, \quad P_{12} = P_8 \prod_{r=8}^{11} Q_r = \prod_{r=4}^{11} Q_r, \\ P_{16} = P_{12} \prod_{r=12}^{15} Q_r = \prod_{r=4}^{15} Q_r,$$

а функции возбуждения стробируются сигналами

$$P_4 = K_{15}(Q_3, \dots, Q_0), \quad P_4 P_8 = K_{255}(Q_7, \dots, Q_0), \\ P_4 P_{12} = K_{4095}(Q_{11}, \dots, Q_0),$$

как и в двоичном счетчике с последовательным переносом.

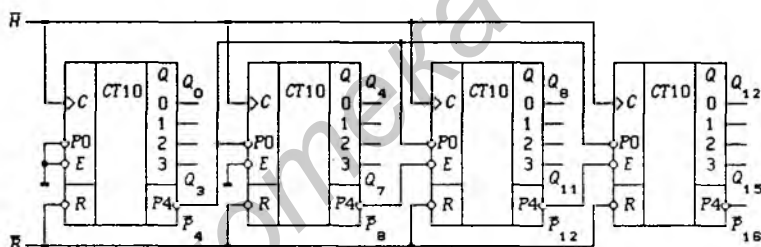


Рис. 4.40

Из рис. 4.40 видно, что перенос  $\bar{P}_4$  подается параллельно на все старшие 4-разрядные группы счетчика, а последовательно через схемы формирования переносов проходит сигнал  $\bar{P}_8$ , длительность активного уровня которого равна  $10 \cdot T_H$  для двоично-десятичного счетчика (см. рис. 4.39) и  $16 \cdot T_H$  — для двоичного счетчика. Уменьшение длительности этого сигнала переноса из-за задержек не сказывается на работоспособности счетчиков, имеющих достаточно большую практически встречающуюся разрядность.

**Синхронные двоичные реверсивные счетчики.** Такие счетчики должны иметь один управляющий входной сигнал  $x$  для переключения направления счета:  $x = 0$  — сложение,  $x = 1$  — вычитание. Граф переходов двоичного реверсивного счетчика, имеющего восемь внутренних состояний, показан на рис. 4.41, а. Ветви графа переходов подписаны значениями сигналов



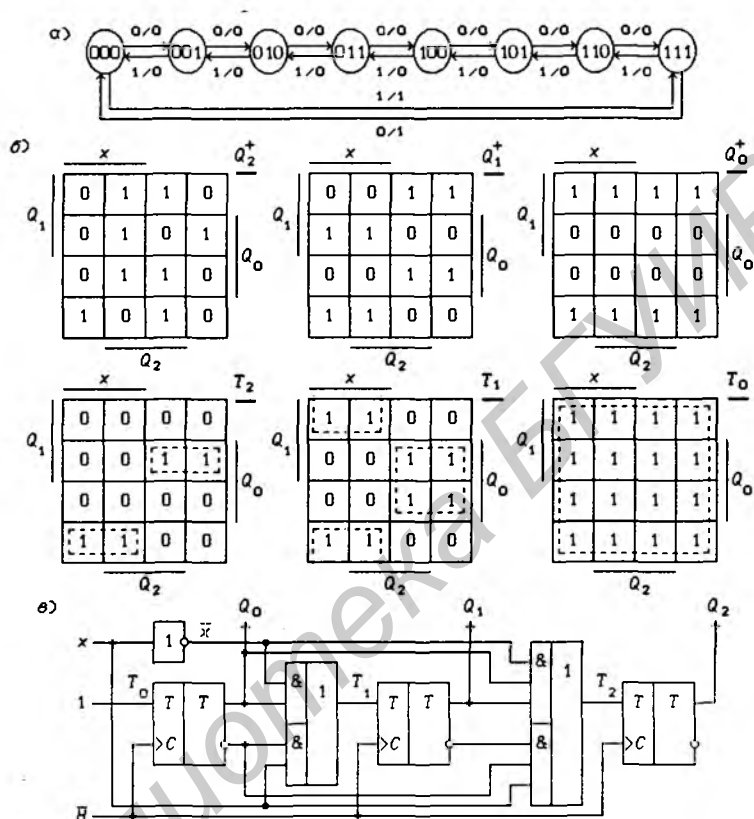


Рис. 4.41

Таблица 4.11. Функция переходов 3-разрядного реверсивного двоичного счетчика

$i$	$x Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$	$P_3$	$i$	$x Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$	$P_3$
0	0 0 0 0	0 0 0	0	8	1 0 0 0	1 1 1	1
1	0 0 0 1	0 0 1	0	9	1 0 0 1	0 0 0	0
2	0 0 1 0	0 0 1	0	10	1 0 1 0	0 0 1	0
3	0 0 1 1	0 1 0	0	11	1 0 1 1	0 1 0	0
4	0 1 0 0	0 1 0	0	12	1 1 0 0	0 1 1	0
5	0 1 0 1	0 1 1	0	13	1 1 0 1	1 0 0	0
6	0 1 1 0	0 1 1	0	14	1 1 1 0	1 0 1	0
7	0 1 1 1	1 0 0	1	15	1 1 1 1	1 1 0	0

$x/P_3$ , где  $P_3$  — сигнал переполнения счетчика, используемый для каскадирования нескольких идентичных счетчиков ( $P_3 = 1$  — перенос при  $x = 0$ ,  $P_3 = 1$  — заем при  $x = 1$ ; сигнал переполнения часто будем называть просто переносом). По табл. 4.11 для функции переходов счетчика  $Q_r^+ = f_r(x, Q_2, Q_1, Q_0)$ ,  $r = 0, 1, 2, 3$ , соответствующей данному графу переходов, можно составить диаграммы Вейча для функций  $Q_r^+$  и  $T_r$  (рис. 4.41,б). Произведя минимизацию функций возбуждения  $T_r$ , получим:

$$\left. \begin{aligned} T_0 &= 1, T_1 = \bar{x} \cdot Q_0 \vee x \cdot \bar{Q}_0, \\ T_2 &= \bar{x} \cdot Q_1 Q_0 \vee x \cdot \bar{Q}_1 \bar{Q}_0, \\ T_3 &= \bar{x} \cdot Q_2 Q_1 Q_0 \vee x \cdot \bar{Q}_2 \bar{Q}_1 \bar{Q}_0. \end{aligned} \right\} \quad (4.44)$$

На рис. 4.41,в показана схема 3-разрядного двоичного реверсивного счетчика с параллельным переносом, построенная в соответствии с функциями возбуждения (4.44).

Если синтезировать двоичный реверсивный счетчик, имеющий 16 внутренних состояний, то функции  $T$  и  $P$  будут иметь вид:

$$\left. \begin{aligned} T_0 &= 1, T_1 = \bar{x} \cdot Q_0 \vee x \cdot \bar{Q}_0, \\ T_2 &= \bar{x} \cdot Q_1 Q_0 \vee x \cdot \bar{Q}_1 \bar{Q}_0, \\ T_3 &= \bar{x} \cdot Q_2 Q_1 Q_0 \vee x \cdot \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \\ T_4 &= \bar{x} \cdot Q_3 Q_2 Q_1 Q_0 \vee x \cdot \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0. \end{aligned} \right\} \quad (4.45)$$

Первые три функции возбуждения не изменились. Из этого можно сделать вывод, что  $m$ -разрядный двоичный реверсивный счетчик описывается функциями:

$$\left. \begin{aligned} T_0 &= 1, T_r = \bar{x} \cdot \prod_{j=0}^{r-1} Q_j \vee x \cdot \prod_{j=0}^{r-1} \bar{Q}_j, \\ P_m &= \bar{x} \cdot \prod_{r=0}^{m-1} Q_r \vee x \cdot \prod_{r=0}^{m-1} \bar{Q}_r = T_m, \end{aligned} \right\} \quad (4.46)$$

где  $r = 1, 2, \dots, m-1$ .

Данные функции можно привести к виду:

$$\begin{aligned} T_0 &= 1, T_r = \bar{x} \cdot Q_{r-1} T_{r-1} \vee x \cdot \bar{Q}_{r-1} \bar{T}_{r-1}, \quad r = 1, 2, \dots, m-1, \\ T_{r-1} &= \bar{x} \cdot \prod_{j=0}^{r-2} Q_j \vee x \cdot \prod_{j=0}^{r-2} \bar{Q}_j, \\ P_m &= \bar{x} \cdot Q_{m-1} T_{m-1} \vee x \cdot \bar{Q}_{m-1} \bar{T}_{m-1} = T_m. \end{aligned}$$

Типовая часть реверсивного счетчика, выполненного по этим функциям возбуждения, показана на рис. 4.42. Недостатком счетчика является высокий порядок КС, формирующей межразрядные переносы,

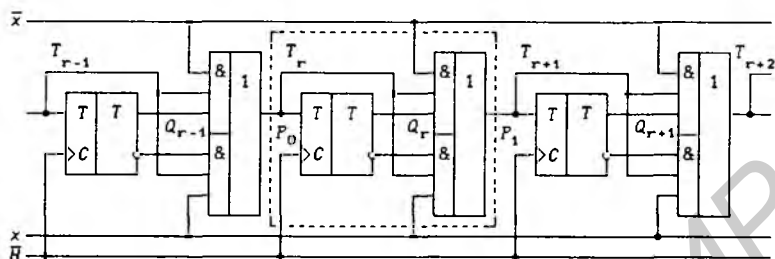


Рис. 4.42

что снижает его быстродействие. Схема на рис. 4.42 иллюстрирует метод каскадирования одноразрядных реверсивных двоичных счетчиков. Узел, выделенный штриховой линией, описывается общими для всех таких узлов функциями

$$T = P_0, P_1 = P_0 \bar{x} \cdot Q \vee P_0 x \cdot \bar{Q},$$

где  $P_0$  — перенос/заем из предыдущего разряда,  $P_1$  — перенос/заем в следующий разряд, и представляет собой одноразрядный счетчик. Таким образом, счетчик любой разрядности может быть построен с помощью последовательного соединения одноразрядных счетчиков. Такие счетчики называются *реверсивными счетчиками с последовательным переносом*.

Если в (4.46) подставить  $x \equiv 0$ , то получатся функции (4.37), описывающие двоичный суммирующий счетчик (*Up-counter*). При значении сигнала  $x \equiv 1$  функции (4.46) задают двоичный вычитающий счетчик (*Down-counter*).

**Реверсивные двоично-десятичные счетчики.** Для выполнения счета (сложения и вычитания) в десятичной системе счисления предназначены *реверсивные двоично-десятичные счетчики*. Граф переходов таких счетчиков показан на рис. 4.43,а (ветви подписаны значениями сигналов  $x/P_4$ ). Составив по графу переходов таблицу истинности (табл. 4.12) для функции переходов счетчика

$$Q_r^+ = f_r(x, Q_3, Q_2, Q_1, Q_0), \quad r = 0, 1, 2, 3,$$

а по ней диаграммы Вейча для функций  $Q_r^+$  (рис. 4.43,б), легко получить:

$$\left. \begin{aligned} T_0 &= 1, T_1 = \bar{x} \cdot \bar{Q}_3 Q_0 \vee x \cdot y \cdot \bar{Q}_0, \\ T_2 &= \bar{x} \cdot Q_1 Q_0 \vee x \cdot y \cdot \bar{Q}_1 \bar{Q}_0, \\ T_3 &= \bar{x} \cdot (Q_2 Q_1 Q_0 \vee Q_3 Q_0) \vee x \cdot \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \\ P_4 &= \bar{x} \cdot Q_3 Q_0 \vee x \cdot \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0. \end{aligned} \right\} \quad (4.47)$$

где  $y = Q_3 \vee Q_2 \vee Q_1$ .

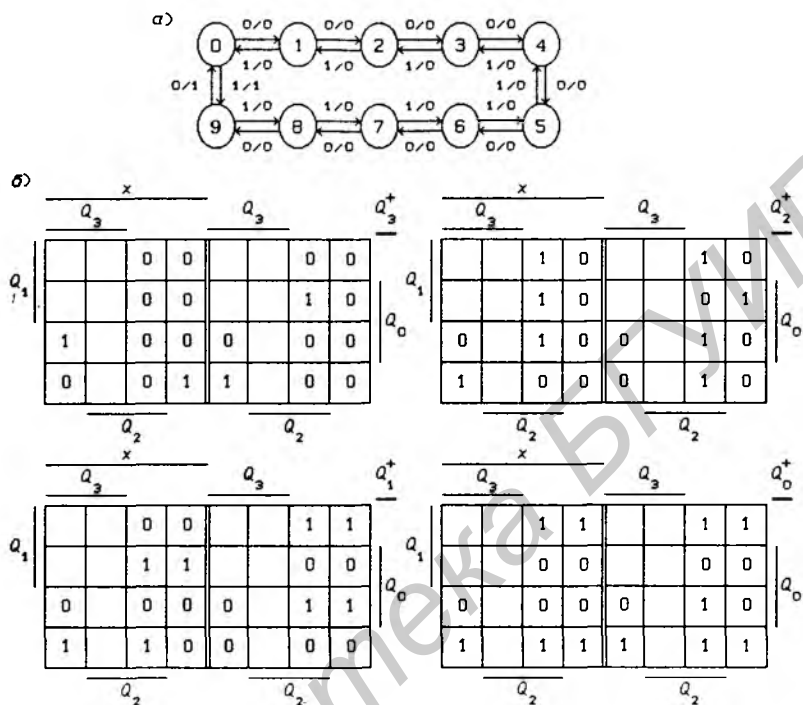


Рис. 4.43

Таблица 4.12. Функция переходов двоично-десятичного реверсивного счетчика

$i$	$x$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$Q_0^+$	$P_4$	$i$	$x$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$Q_0^+$	$P_4$
0	0	0	0	0	0	0	0	0	1	0	16	1	0	0	0	0	1	0	0	1	1
1	0	0	0	0	1	0	0	1	0	0	17	1	0	0	0	1	0	0	0	0	0
2	0	0	0	1	0	0	0	1	1	0	18	1	0	0	1	0	0	0	0	1	0
3	0	0	0	1	1	0	1	0	0	0	19	1	0	0	1	1	0	0	1	0	0
4	0	0	1	0	0	0	1	0	1	0	20	1	0	1	0	0	0	0	1	1	0
5	0	0	1	0	1	0	1	1	0	0	21	1	0	1	0	1	0	1	0	0	0
6	0	0	1	1	0	0	1	1	1	0	22	1	0	1	1	0	0	1	0	1	0
7	0	0	1	1	1	1	0	0	0	0	23	1	0	1	1	1	0	1	1	0	0
8	0	1	0	0	0	1	0	0	1	0	24	1	1	0	0	0	0	1	1	1	0
9	0	1	0	0	1	0	0	0	0	1	25	1	1	0	0	1	1	0	0	0	0

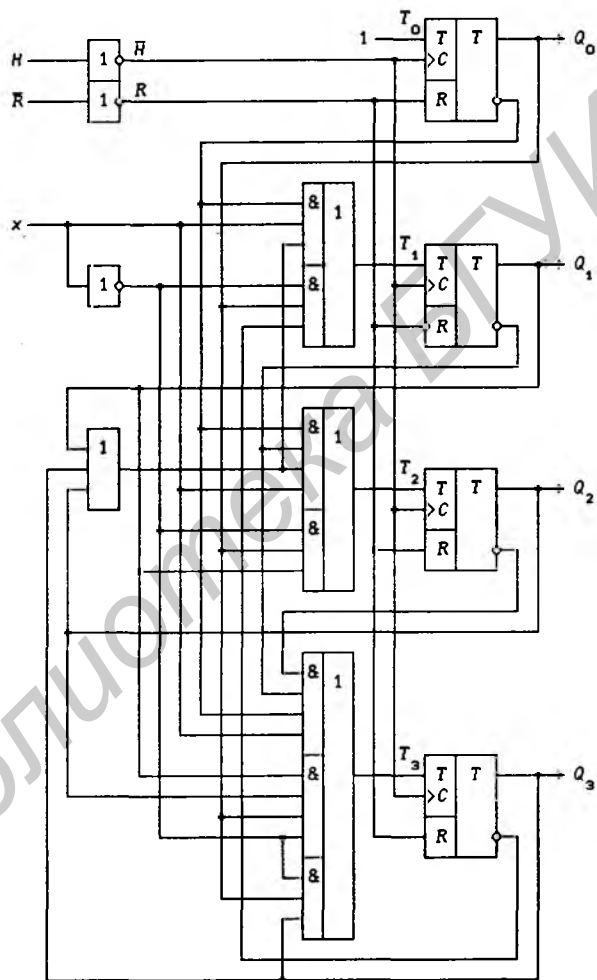


Рис. 4.44

Этим функциям возбуждения соответствует схема, приведенная на рис. 4.44 (схема построена на  $T/R$ -триггерах, асинхронные потенциальные входы  $\bar{R}$  которых используются для сброса счетчика в нулевое состояние).

**Каскадирование реверсивных счетчиков.** Реверсивные счетчики, выпускаемые в интегральном исполнении как двоичные и двоично-десятичные счетчики, имеют дополнительные управляющие входы  $P_0$  ( $P_0 = 1$  — разрешение счета и переноса) или  $P_0$  и  $E$  ( $P_0$  — разрешение счета,  $E$  — разрешение счета и переноса; счет разрешен при значении  $P_0E = 1$ ). Эти входы предназначены для каскадирования реверсивных счетчиков. Так, с учетом обозначения  $x = \bar{U}$  двоичные 4-разрядные реверсивные счетчики на основании (4.45) описываются одной из двух систем функций:

$$\left. \begin{aligned} T_0 &= P_0, T_1 = P_0U \cdot Q_0 \vee P_0\bar{U} \cdot \bar{Q}_0, \\ T_2 &= P_0U \cdot Q_1Q_0 \vee P_0\bar{U} \cdot \bar{Q}_1\bar{Q}_0, \\ T_3 &= P_0U \cdot Q_2Q_1Q_0 \vee P_0\bar{U} \cdot \bar{Q}_2\bar{Q}_1\bar{Q}_0, \\ P_4 &= P_0U \cdot Q_3Q_2Q_1Q_0 \vee P_0\bar{U} \cdot \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0; \end{aligned} \right\} \quad (4.48)$$

$$\left. \begin{aligned} T_0 &= P_0E, T_1 = P_0E \cdot U \cdot Q_0 \vee P_0E \cdot \bar{U} \cdot \bar{Q}_0, \\ T_2 &= P_0E \cdot U \cdot Q_1Q_0 \vee P_0E \cdot \bar{U} \cdot \bar{Q}_1\bar{Q}_0, \\ T_3 &= P_0E \cdot U \cdot Q_2Q_1Q_0 \vee P_0E \cdot \bar{U} \cdot \bar{Q}_2\bar{Q}_1\bar{Q}_0, \\ P_4 &= E \cdot U \cdot Q_3Q_2Q_1Q_0 \vee E \cdot \bar{U} \cdot \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0. \end{aligned} \right\} \quad (4.49)$$

Сигнал  $U$  задает направление счета:  $U = 1$  — сложение (*Up-Counter*),  $U = 0$  — вычитание (*Down-counter*). Подобными же функциями возбуждения на основании выражений (4.47) могут быть описаны двоично-десятичные реверсивные счетчики с дополнительными управляющими входами  $P_0$  и  $E$ :

$$\left. \begin{aligned} T_0 &= P_0, T_1 = P_0U \cdot \bar{Q}_3Q_0 \vee P_0\bar{U} \cdot y \cdot \bar{Q}_0, \\ T_2 &= P_0U \cdot Q_1Q_0 \vee P_0\bar{U} \cdot y\bar{Q}_1\bar{Q}_0, \\ T_3 &= P_0U \cdot (Q_2Q_1Q_0 \vee Q_3Q_0) \vee P_0\bar{U} \cdot \bar{Q}_2\bar{Q}_1\bar{Q}_0, \\ P_4 &= P_0U \cdot Q_3Q_0 \vee P_0\bar{U} \cdot \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0, \end{aligned} \right\} \quad (4.50)$$

$$\left. \begin{aligned} T_0 &= P_0E, T_1 = P_0E \cdot U \cdot \bar{Q}_3Q_0 \vee P_0E \cdot \bar{U} \cdot y \cdot \bar{Q}_0, \\ T_2 &= P_0E \cdot U \cdot Q_1Q_0 \vee P_0E \cdot \bar{U} \cdot y \cdot \bar{Q}_1\bar{Q}_0, \\ T_3 &= P_0E \cdot U \cdot (Q_2Q_1Q_0 \vee Q_3Q_0) \vee P_0E \cdot \bar{U} \cdot \bar{Q}_2\bar{Q}_1\bar{Q}_0, \\ P_4 &= E \cdot U \cdot Q_3Q_0 \vee E \cdot \bar{U} \cdot \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0, \end{aligned} \right\} \quad (4.51)$$

где  $y = Q_3 \vee Q_2 \vee Q_1$ .

Условные графические обозначения реверсивных 4-разрядных двоичных и декадных счетчиков с одним управляющим входом  $P_0$  представлены на рис. 4.45, а, б (использованы  $T/R$ -триггеры), а с двумя управляющими входами  $P_0$  и  $E$  — на рис. 4.45, в, г (использованы  $T$ -триггеры). Вычитающие счетчики (*Down-Counter*) получаются из реверсивных подстановкой в выражения (4.48) – (4.51) значения  $U \equiv 0$ .

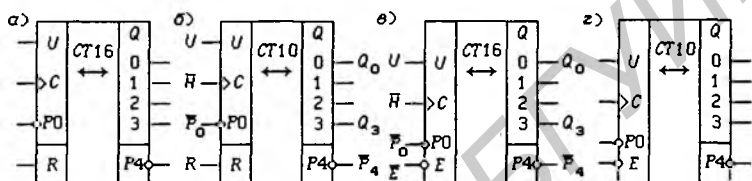


Рис. 4.45

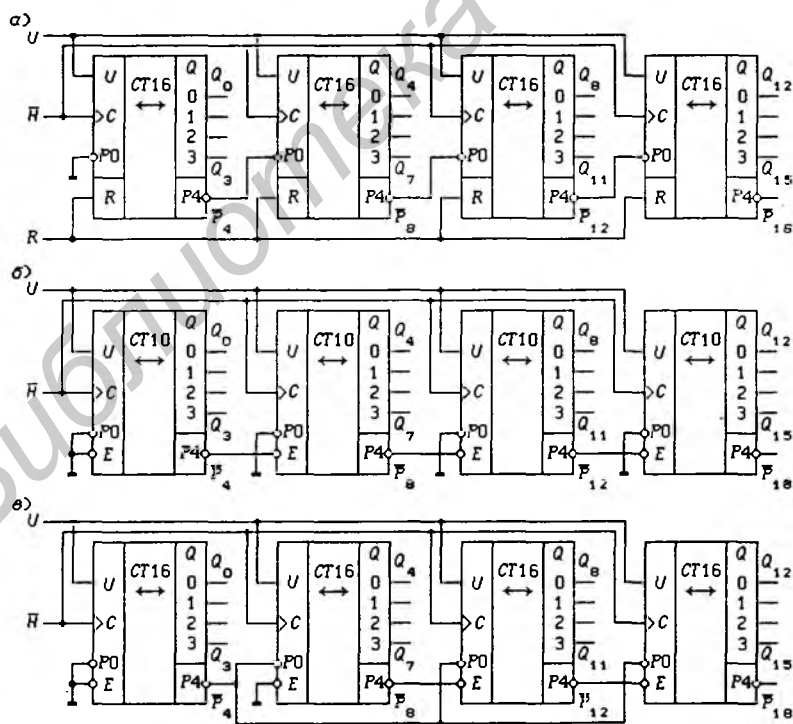


Рис. 4.46

Построение многоразрядных *реверсивных счетчиков с последовательным переносом* (рис. 4.46,а,б) и *параллельным переносом* (рис. 4.46,в) производится так же, как и построение суммирующих счетчиков. Так, из рис. 4.46,а и выражений (4.48) для переноса  $P_4$  следует, что сигналы переполнения при каскадировании 4-разрядных реверсивных счетчиков описываются функциями:

$$P_4 = U \cdot \prod_{r=0}^3 Q_r \vee \bar{U} \cdot \prod_{r=0}^3 \bar{Q}_r,$$

$$P_8 = P_4 U \cdot \prod_{r=4}^7 Q_r \vee P_4 \bar{U} \cdot \prod_{r=4}^7 \bar{Q}_r = U \cdot \prod_{r=0}^7 Q_r \vee \bar{U} \cdot \prod_{r=0}^7 \bar{Q}_r,$$

$$P_{12} = P_8 U \cdot \prod_{r=8}^{11} Q_r \vee P_8 \bar{U} \cdot \prod_{r=8}^{11} \bar{Q}_r = U \cdot \prod_{r=0}^{11} Q_r \vee \bar{U} \cdot \prod_{r=0}^{11} \bar{Q}_r,$$

$$P_{16} = P_{12} U \cdot \prod_{r=12}^{15} Q_r \vee P_{12} \bar{U} \cdot \prod_{r=12}^{15} \bar{Q}_r = U \cdot \prod_{r=0}^{15} Q_r \vee \bar{U} \cdot \prod_{r=0}^{15} \bar{Q}_r,$$

что соответствует общему правилу образования переноса (4.46). Такими же функциями описываются переносы в схеме, изображенной на рис. 4.46,б, если в ней декадные счетчики заменить на двоичные.

Из последних выражений следует, что

$$P_4 = U \cdot K_{15}(Q_3, \dots, Q_0) \vee \bar{U} \cdot K_0(Q_3, \dots, Q_0),$$

$$P_8 = U \cdot K_{255}(Q_7, \dots, Q_0) \vee \bar{U} \cdot K_0(Q_7, \dots, Q_0),$$

$$P_{12} = U \cdot K_{4095}(Q_{11}, \dots, Q_0) \vee \bar{U} \cdot K_0(Q_{11}, \dots, Q_0),$$

$$P_{16} = U \cdot K_{65535}(Q_{15}, \dots, Q_0) \vee \bar{U} \cdot K_0(Q_{15}, \dots, Q_0),$$

где  $K_i$  — минтермы от переменных  $Q_r$ . Длительность активных уровней всех сигналов переполнения в двоичных и декадных реверсивных счетчиках с последовательным переносом равна периоду тактового сигнала  $H$ .

Переносы в схеме на рис. 4.46,в описываются функциями

$$P_4 = U \cdot \prod_{r=0}^3 Q_r \vee \bar{U} \cdot \prod_{r=0}^3 \bar{Q}_r, \quad P_8 = U \cdot \prod_{r=4}^7 Q_r \vee \bar{U} \cdot \prod_{r=4}^7 \bar{Q}_r,$$

$$P_{12} = P_8 U \cdot \prod_{r=8}^{11} Q_r \vee P_8 \bar{U} \cdot \prod_{r=8}^{11} \bar{Q}_r = U \cdot \prod_{r=4}^{11} Q_r \vee \bar{U} \cdot \prod_{r=4}^{11} \bar{Q}_r,$$

$$P_{16} = P_{12} U \cdot \prod_{r=12}^{15} Q_r \vee P_{12} \bar{U} \cdot \prod_{r=12}^{15} \bar{Q}_r = U \cdot \prod_{r=4}^{15} Q_r \vee \bar{U} \cdot \prod_{r=4}^{15} \bar{Q}_r,$$



а функции возбуждения стробируются сигналами

$$\begin{aligned} P_4 &= U \cdot K_{15}(Q_3, \dots, Q_0) \vee \bar{U} \cdot K_0(Q_3, \dots, Q_0), \\ P_4 P_8 &= U \cdot K_{255}(Q_7, \dots, Q_0) \vee \bar{U} \cdot K_0(Q_7, \dots, Q_0), \\ P_4 P_{12} &= U \cdot K_{4095}(Q_{11}, \dots, Q_0) \vee \bar{U} \cdot K_0(Q_{11}, \dots, Q_0), \end{aligned}$$

как и в двоичном реверсивном счетчике с последовательным переносом. Длительность активных уровней сигналов переполения  $P_8$ ,  $P_{12}$  и  $P_{16}$  равна  $16 \cdot T_H$  для двоичных и  $10 \cdot T_H$  для декадных счетчиков, что обеспечивает на практике независимость максимального значения частоты тактового сигнала от разрядности счетчика с параллельным переносом.

**Счетчики на сдвигающих регистрах.** Для построения таких счетчиков необходимо произвести специальное кодирование их внутренних состояний. В § 4.4 было показано, что для этого можно использовать графы переходов сдвигающих регистров (см. рис. 4.22,а и 4.23). Рассмотрим теперь универсальный способ кодирования внутренних состояний *счетчиков на сдвигающих регистрах*. Если на вход  $DS$  подать некоторую периодическую последовательность символов 0 и 1 (кодую последовательность), то внутренние состояния сдвигающего регистра (комбинации значений сигналов  $Q_r$ ) будут также периодически повторяться, т. е. сдвигающий регистр будет представлять собой счетчик по некоторому  $mod M$ , если указанная периодическая последовательность формируется КС, подключенной к сдвигающему регистру. Из этого следует, что кодирование внутренних состояний, например счетчика по  $mod 5$ , может быть задано схемой

$$\begin{array}{cccccccc} & Q_2 & Q_1 & Q_0 & & & & \\ \leftarrow & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 1. \end{array}$$

Продвигая через регистр, состоящий из трех триггеров  $Q_2$ ,  $Q_1$  и  $Q_0$ , данную периодическую последовательность символов 0 и 1, получим пять различных кодовых комбинаций (внутренних состояний): 000, 001, 011, 110, 100. При дальнейшем сдвиге получаются те же кодовые комбинации, так как последовательность символов 0 и 1 периодическая. Если взять один период кодовой последовательности и сомкнуть ее концы, то получится *кодое кольцо*, задающее счетчик.

На рис. 4.47,а показан граф переходов счетчика по  $mod 5$  с полученными кодами внутренних состояний. Составив по графу переходов таблицу истинности (табл. 4.13) для функции переходов счетчика  $Q_r^+ = f_r(Q_2, Q_1, Q_0)$ , а затем диаграмму Вейча

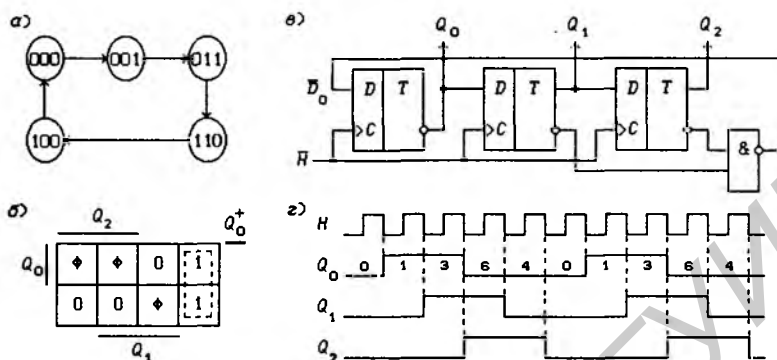


Рис. 4.47

Таблица 4.13. Функция переходов счетчика по mod 5

$i$	$Q_2 Q_1 Q_0$	$Q_2^+ Q_1^+ Q_0^+$
0	0 0 0	0 0 1
1	0 0 1	0 1 1
3	0 1 1	1 1 0
6	1 1 0	1 0 0
4	1 0 0	0 0 0

для функции  $Q_0^+$  (рис. 4.47, б), получим:

$$D_0 = \overline{Q_2} \overline{Q_1}, \quad \overline{D_0} = \overline{\overline{Q_2} \overline{Q_1}}. \quad (4.52)$$

Диаграмма Вейча легко составляется и прямо по графу переходов без составления таблицы истинности. Рассмотрим, например, переход между внутренними состояниями 000 и 001. Состояние 000 — исходное ( $Q_2 = 0$ ,  $Q_1 = 0$ ,  $Q_0 = 0$ ), поэтому соответствующее ему двоичное число  $i = 0$  определяет номер клетки в диаграмме Вейча. Состояние же 001 для данного перехода является следующим, поэтому функции  $Q_2^+ = 0$ ,  $Q_1^+ = 0$ ,  $Q_0^+ = 1$ . Значит, в клетку диаграммы Вейча для функции  $Q_0^+$  с номером  $i = 0$  следует занести значение  $Q_0^+ = 1$ . Таким способом заносятся все пять значений функции  $Q_0^+$ . В клетки, оставшиеся незаполненными, заносятся произвольные значения  $\Phi$ , так как три внутренних состояния не используются.

На основании использованного метода кодирования внутренних состояний функции возбуждения  $D_2 = Q_1$  и  $D_1 = Q_0$ , в чем



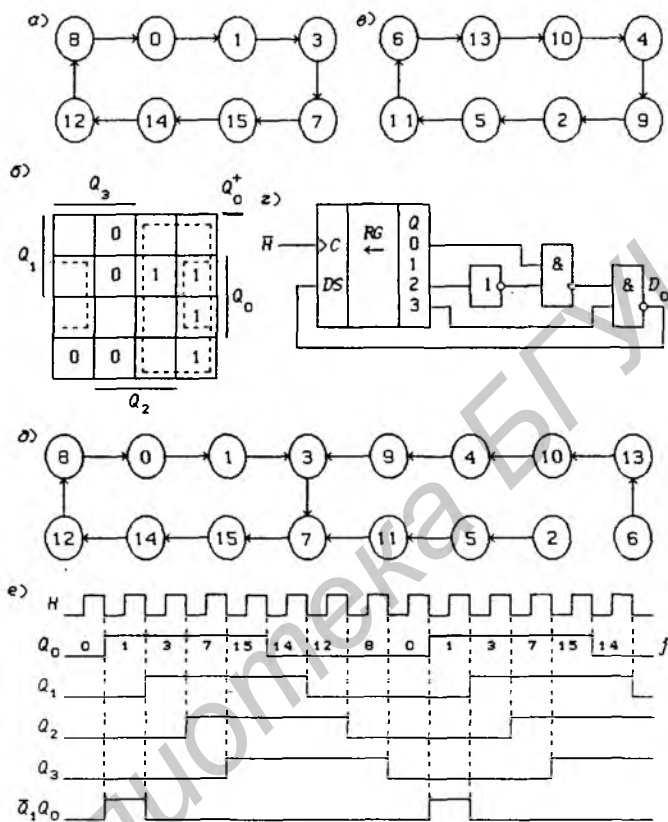


Рис. 4.48

его перехода по каким-либо причинам в неиспользуемое состояние, или изменить функцию возбуждения  $D_r$  любого триггера  $Q_r$  за счет произвольных значений функции  $Q_r^+$  так, чтобы счетчик автоматически выходил из неиспользуемых состояний.

Из диаграммы Вейча на рис. 4.48, б, следует, что функцию возбуждения  $D_0$  можно представить не в МДНФ:

$$D_0 = \bar{Q}_3 \vee \bar{Q}_2 Q_0 = \overline{Q_3 \cdot Q_2} Q_0. \quad (4.53)$$

Схема счетчика по *mod* 8, соответствующая этой функции возбуждения, представлена на рис. 4.48, г. Счетчик автоматически выходит из всех неиспользуемых состояний (рис. 4.48, д), в чем легко убедиться, проделав на основании (4.53) анализ переходов по методике, изложенной выше. На рис. 4.48, е показаны временные диаграммы, поясняющие работу счетчика.

Достоинством синтезированного счетчика является простота декодирования его внутренних состояний — требуются ЛЭ И, имеющие только два входа. Так, функция  $\bar{Q}_1 Q_0 = 1$  только в состоянии  $j = 1$  (рис. 4.48,е). Кроме того, в каждый момент времени изменяется выходной сигнал только одного триггера, что гарантирует отсутствие ложных значений сигналов в дешифраторе внутренних состояний при переходных процессах.

Счетчики, задаваемые кодовой последовательностью, состоящей из одинакового числа идущих подряд символов 0 и 1, называются счетчиками Джонсона. Так, приведенный на рис. 4.48,а счетчик является счетчиком Джонсона по  $\text{mod } 8$ .

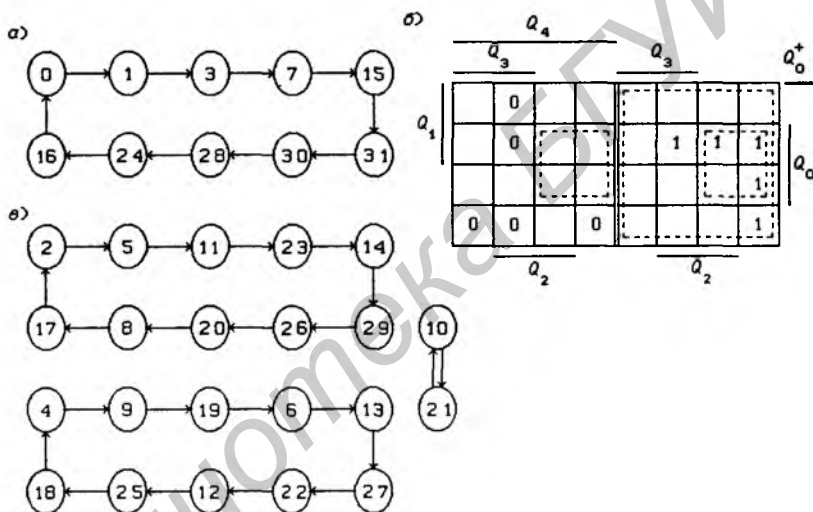


Рис. 4.49

Синтезируем счетчик Джонсона по  $\text{mod } 10$ , кодирование внутренних состояний которого задается кодовой последовательностью 0000011111.0000011111. В этом случае для получения десяти различных внутренних состояний необходимо использовать пять триггеров, и счетчик будет функционировать согласно графу переходов, показанному на рис. 4.49,а (вместо кодов внутренних состояний указаны соответствующие им десятичные цифры  $j$ , т. е. для получения кодов внутренних состояний десятичные числа нужно перевести в двоичные). Составив по графу переходов диаграмму Вейча для функции  $Q_0^+$  (рис. 4.49,б), получим МДНФ функции возбуждения  $D_0 = \bar{Q}_4$ .

Сделав анализ переходов счетчика для неиспользуемых состояний, получим граф переходов, приведенный на рис. 4.49,в. В зависимости от того, в каком неиспользуемом состоянии окажется счетчик, он может функционировать как счетчик по  $\text{mod } 10$  при кодировании внутренних состояний, не соответствующем заданному, или даже как

счетчик по  $\text{mod } 2$ . Можно добиться самостоятельного выхода счетчика из неиспользуемых состояний, представив функцию возбуждения  $D_0$  не в МДНФ:

$$D_0 = \bar{Q}_4 \vee \bar{Q}_3 Q_0.$$

Для некоторых счетчиков по  $\text{mod } M$  с автоматическим выходом из неиспользуемых состояний в табл. 4.14 приведены функции возбуждения  $D_0$ , а также функции возбуждения  $J_0$  и  $K_0$ , если сдвигающие регистры выполнены на  $J$ - $K$ -триггерах.

Таблица 4.14. Счетчики на сдвигающих регистрах

$M$	Кодовая последовательность	$m$	$D_0$	$J_0$	$K_0$
3	001	2	$\bar{Q}_1 \bar{Q}_0$	$\bar{Q}_1$	1
4	0011	2	$\bar{Q}_1$	$\bar{Q}_1$	$Q_1$
5	00011	3	$\bar{Q}_2 \bar{Q}_1$	$\bar{Q}_2$	$Q_1$
6	000111	3	$\bar{Q}_2 \vee \bar{Q}_1 Q_0$	$\bar{Q}_2$	$Q_2 Q_1$
7	0000111	4	$\bar{Q}_3 \bar{Q}_2$	$\bar{Q}_3$	$Q_2$
8	00001111	4	$\bar{Q}_3 \vee \bar{Q}_2 Q_0$	$\bar{Q}_3$	$Q_3 Q_2$
9	000001111	5	$\bar{Q}_4 \bar{Q}_3$	$\bar{Q}_4$	$Q_3$
10	0000011111	5	$\bar{Q}_4 \vee \bar{Q}_3 Q_0$	$\bar{Q}_4$	$Q_4 Q_3$

**Кольцевые счетчики.** Эти счетчики, как правило, выполняются на сдвигающих регистрах. В кольцевых счетчиках производится сдвиг одного символа 1 или одного символа 0, причем из последнего триггера информация подается на вход первого триггера. Из этого следует, что кодирование внутренних состояний счетчика производится прямым 00...001 или инверсным 11...110 унитарным кодом, а значит счетчик по  $\text{mod } m$  может быть реализован на  $m$ -разрядном сдвигающем регистре.

Кодовое кольцо 0001.0001 задает кольцевой счетчик по  $\text{mod } 4$ , описываемый графом переходов, показанным на рис. 4.50,а. Четырехразрядный унитарный код можно получить добавлением функции (минтерма)  $K_0(Q_2, Q_1, Q_0) = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$ . Тогда будут получены коды  $K_0 Q_2 Q_1 Q_0 = 1000, 0001, 0010$  и  $0100$ , т.е. 3-разрядный сдвигающий регистр с дешифратором нулевого состояния счетчика будет представлять собой 4-разрядный кольцевой счетчик. Составив непосредственно по графу переходов для функции  $Q_0^+$  диаграмму Вейча (рис. 4.50,б), получим:

$$D_0 = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 = K_0. \quad (4.54)$$

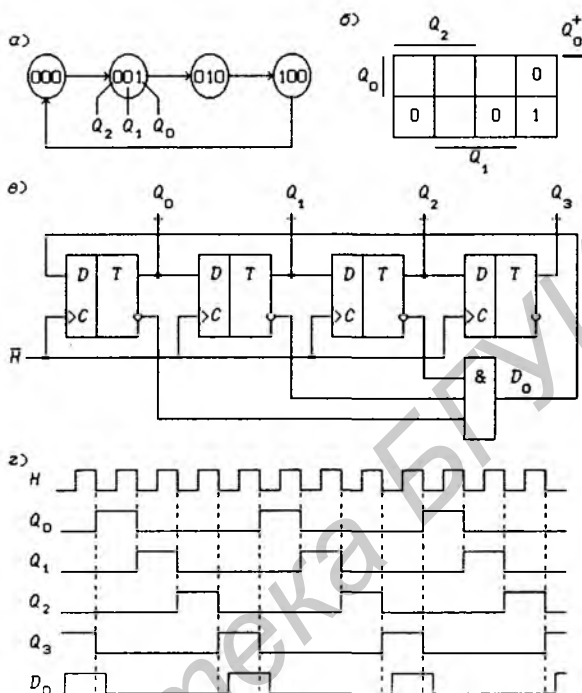


Рис. 4.50

На рис. 4.50, в показана схема кольцевого счетчика по  $mod 4$ , соответствующая функции возбуждения (4.5.4). В этом счетчике символ 1 последовательно передается от триггера к триггеру и при обнулении сдвигающего регистра появляется на выходе ЛЭ И, что обеспечивает его перезапись в следующем такте в триггер  $Q_0$ . Состояние счетчика полностью характеризуется положением единицы на одном из выходов  $K_0 = D_0, Q_2, Q_1$  или  $Q_0$ .

Обычно в схему кольцевого счетчика, выполненного на сдвигающем регистре, содержащем минимальное число триггеров, добавляется еще один триггер, производящий сдвиг выходного сигнала последнего триггера сдвигающего регистра, как это показано на рис. 4.50, в (триггер  $Q_3$ ). В этом случае состояние счетчика полностью характеризуется положением символа 1 на одном из выходов  $Q_3, Q_2, Q_1$  или  $Q_0$  (здесь параметры всех четырех выходных сигналов идентичны, в то время как сигнал  $D_0$ , формируемый ЛЭ И, имеет большую задержку относительно тактового сигнала, чем сигналы, формируемые триггерами).

Временные диаграммы, поясняющие работу кольцевого счетчика по  $\text{mod } 4$ , показаны на рис. 4.50,з. Функция возбуждения (4.54) обеспечивает автоматический выход счетчика из  $2^3 - 4$  неиспользуемых состояний.

В общем случае кольцевой счетчик по  $\text{mod } m$ , построенный на  $m$ -разрядном сдвигающем регистре, автоматически выходит из всех неиспользуемых состояний, если функция возбуждения

$$D_0 = \prod_{r=0}^{m-2} \overline{Q}_r = \bigvee_{r=0}^{m-2} Q_r \quad (4.55)$$

(номер последнего триггера  $r = m - 1$ ).

Кольцевой счетчик по  $\text{mod } 4$  можно задать и кодовым кольцом 1110.1110 (инверсным унитарным кодом), которому соответствует граф переходов на рис. 4.51,а. Составив диаграмму Вейча (рис. 4.51,б) для функции  $Q_0^+$ , можно получить:

$$D_0 = \overline{Q}_2 \vee \overline{Q}_1 \vee \overline{Q}_0 = \overline{Q_2 Q_1 Q_0}.$$

Данной функции возбуждения соответствует схема, показанная на рис. 4.51,в (ЛЭ И-НЕ реализует макстерм  $M_7 = \overline{Q}_2 \vee \overline{Q}_1 \vee \overline{Q}_0 = D_0$ ). Кольцевые счетчики, синтезированные по данной методике, автоматически выходят из всех неиспользуемых состояний, так как функция  $D_0$  реализует детектор кода 00...00 или 11...11 с инверсным выходом.

В общем случае кольцевой счетчик по  $\text{mod } m$  со сдвигом одного символа 0, построенный на  $m$ -разрядном сдвигающем регистре, описывается функцией возбуждения

$$D_0 = \prod_{r=0}^{m-2} Q_r = \bigvee_{r=0}^{m-2} \overline{Q}_r. \quad (4.56)$$

На рис. 4.51,г показана схема кольцевого счетчика по  $\text{mod } 8$ , построенная в соответствии с этой функцией возбуждения ( $m = 8$ ), а на рис. 4.51,д — временные диаграммы, поясняющие его работу. Из временных диаграмм видно, что кольцевой счетчик можно построить на основе счетчика с любым кодированием внутренних состояний и дешифратора всех его внутренних состояний (дешифратор с прямыми выходами реализует прямой унитарный код, а дешифратор с инверсными выходами — инверсный унитарный код).

Из рис. 4.50,б и 4.51,б следует, что функцию возбуждения  $D_0$  независимо от использования прямого или инверсного унитарного кода можно представить в виде:

$$D_0 = \overline{Q_2 \oplus Q_1 \oplus Q_0}.$$



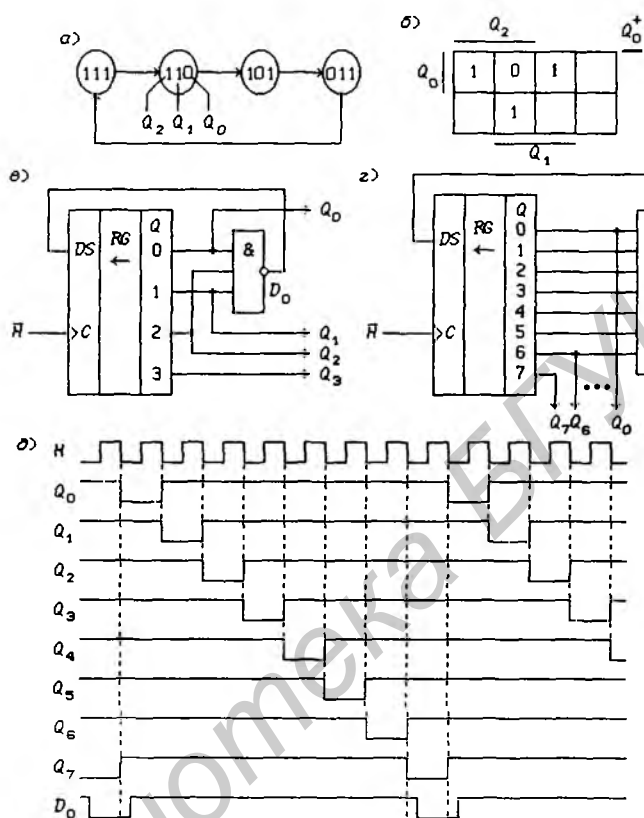


Рис. 4.51

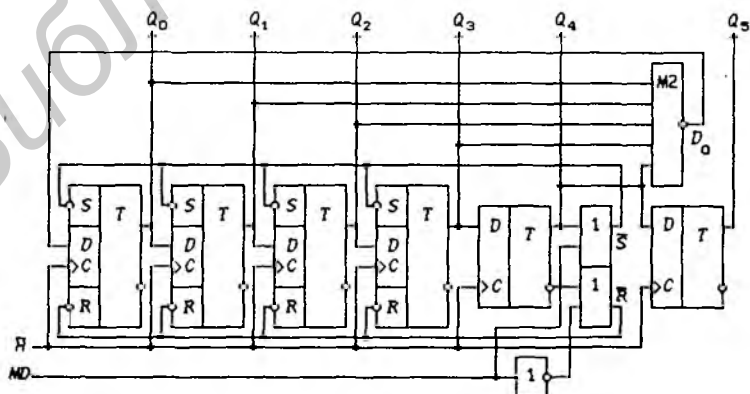


Рис. 4.52

Это означает, что кольцевой счетчик, построенный в соответствии с этой функцией возбуждения, может работать в прямом и инверсном унитарном коде, в зависимости от установки начального состояния 000 или 111 триггеров  $Q_2$ ,  $Q_1$  и  $Q_0$ , т. е. режим работы счетчика можно программировать.

Если только одна переменная  $Q_r$  в выражении (4.55) может принимать значение 1, а в выражении (4.56) — значение 0, то при общем нечетном числе переменных имеют место соотношения:

$$\bigvee_{r=0}^{m-2} Q_r = \sum_{r=0}^{m-2} Q_r, \quad \bigvee_{r=0}^{m-2} \bar{Q}_r = \sum_{r=0}^{m-2} \bar{Q}_r = \sum_{r=0}^{m-2} Q_r. \quad (4.57)$$

Таким образом, функция возбуждения  $D_0$  программируемого кольцевого счетчика, построенного на  $m$ -разрядном сдвигающем регистре, имеет вид:

$$D_0 = \sum_{r=0}^{m-2} Q_r \quad (4.58)$$

( $m$  должно быть четным числом для того, чтобы в выражения (4.57) входило нечетное число переменных  $Q_r$ ).

На рис. 4.52 показана схема кольцевого счетчика для  $m = 6$ , построенная в соответствии с функцией возбуждения (4.58) (функция  $D_0 = \bar{Q}_4 \oplus \bar{Q}_3 \oplus \bar{Q}_2 \oplus \bar{Q}_1 \oplus \bar{Q}_0$  реализована на ЛЭ М2 с инверсным выходом). Программирование (селекция) режима работы производится сигналом  $MD$  (*Mode* — режим):  $MD = 0$  — инверсный унитарный код,  $MD = 1$  — прямой унитарный код. Первые четыре разряда сдвигающего регистра выполнены на  $D/R$ - $S$ -триггерах, причем

$$\bar{R}_r = \bar{Q}_4 \vee MD = \bar{D}_4 \cdot MD = \bar{R},$$

$$\bar{S}_r = Q_4 \vee MD = \bar{Q}_4 \cdot \overline{MD} = \bar{S}, \quad r = 0, 1, 2, 3,$$

что обеспечивает автоматический выход кольцевого счетчика из  $2^5 - 6 = 26$  неиспользуемых состояний при счете как в прямом, так и в инверсном унитарном коде. По этому же принципу может быть реализован кольцевой программируемый счетчик при любом четном числе разрядов  $m$ .

**Линейные счетчики.** Синхронный автомат, изображенный на рис. 4.1, называется *линейным*, если КС описывается линейными функциями, свойства которых рассмотрены в § 1.15. Линейный автомат с циклическим изменением внутренних состояний называется *линейным счетчиком*. Наиболее широкое практическое применение в настоящее время нашли линейные автоматы над полем  $GF(2)$ .

Проектирование линейных автоматов производится алгебраическими методами, изложенными в [13,16]. Многие из линейных автоматов описываются многочленами

$$f(x) = x^m \oplus a_{m-1} x^{m-1} \oplus \dots \oplus a_2 x^2 \oplus a_1 x \oplus 1 \quad (4.59)$$

над полем  $GF(2)$ , алгебраические свойства которых и используются для их проектирования ( $a_r = 0$  или 1). Так, неприводимые примитивные многочлены над полем  $GF(2)$  [13] могут быть использованы для построения на сдвигающих регистрах генераторов последовательностей максимальной длины (ПМД), которые называются также генераторами псевдослучайных последовательностей. Период генерируемой последовательности содержит  $2^m - 1$  символов 0 и 1, если генератор построен на  $m$ -разрядном сдвигающем регистре, т. е. генератор имеет  $2^m - 1$  внутренних состояний из  $2^m$  возможных.

Таблица 4.15. Неприводимые примитивные многочлены с минимальным числом ненулевых коэффициентов

$m$	$f(x)$	$f^*(x)$	$m$	$f(x)$	$f^*(x)$
2	7	7	18	1000201	1004001
3	13	15	19	2000047	3440001
4	23	31	20	4000011	4400001
5	45	51	21	10000005	12000001
6	103	141	22	20000003	30000001
7	211	221	23	40000041	41000001
8	435	561	24	100000207	160400001
9	1021	1041	25	200000011	220000001
10	2011	2201	26	400000107	704000001
11	4005	5001	27	1000000047	1620000001
12	10123	14501	28	2000000011	2200000001
13	20033	33001	29	4000000005	5000000001
14	42103	60421	30	10040000007	16000000201
15	100003	140001	31	20000000011	22000000001
16	210013	320021	32	40020000007	70000002001
17	400011	440001	33	100000020001	100004000001

В табл. 4.15 в восьмеричной системе счисления указаны коэффициенты некоторых неприводимых примитивных многочленов (4.59), взятых из [13]. Двойственным к многочлену (4.59) называется многочлен

$$f^*(x) = x^m \cdot f(1/x), \quad (4.60)$$

свойства которого аналогичны свойствам многочлена  $f(x)$ . Двойственные многочлены также помещены в табл. 4.15.

**Пример 1.** Пусть  $m = 4$ . Тогда из табл. 4.15 следует, что коэффициенты многочлена задаются восьмеричным числом

$$(31)_8 = (11001)_2 \Rightarrow f(x) = x^4 \oplus x^3 \oplus 1. \quad (4.61)$$

**Пример 2.** Пусть  $m = 24$ . Тогда из табл. 4.15 следует, что

коэффициенты многочлена задаются восьмеричным числом

$$(100000207)_8 = (100000000000000010000111)_2 \Rightarrow \quad (4.62)$$

$$\Rightarrow f(x) = x^{24} \oplus x^7 \oplus x^2 \oplus x \oplus 1.$$

Для двойственных многочленов  $f^*(x) = x^m \cdot f(1/x)$  восьмеричные числа получаются на основании записи в обратном порядке двоичного числа, характеризующего многочлен  $f(x)$ . Так, из предыдущего примера следует, что коэффициенты двойственного многочлена задаются 8-ричным числом 160400001.

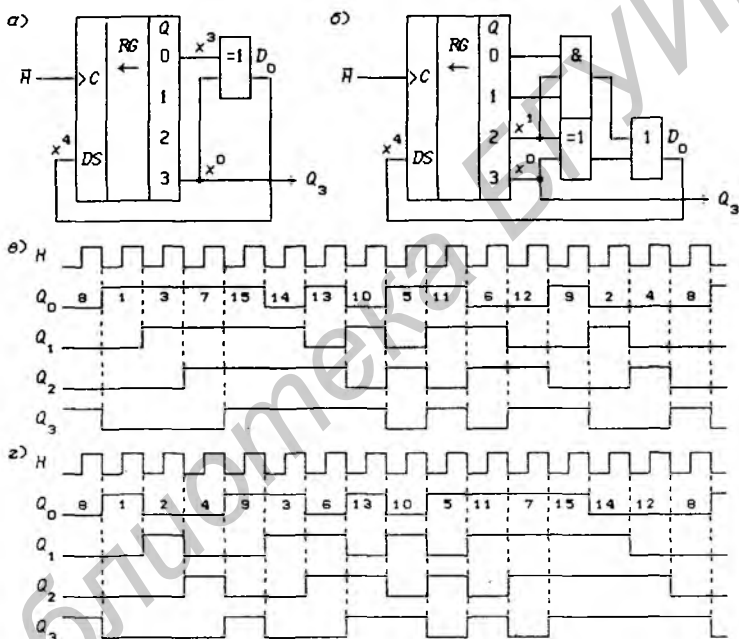


Рис. 4.53

На рис. 4.53,а показана схема генератора ПМД, реализованная в соответствии с многочленом (4.61). Ненулевые коэффициенты многочлена однозначно определяют функцию возбуждения  $D_0$  первого триггера сдвигающего регистра. По функциям возбуждения генератора

$$D_3 = Q_2, \quad D_2 = Q_1, \quad D_1 = Q_0, \quad D_0 = Q_3 \oplus Q_0$$

можно составить таблицу истинности (табл. 4.16) для функции переходов  $Q_r^+ = f_r(Q_3, Q_2, Q_1, Q_0)$ ,  $r = 0, 1, 2, 3$ , из которой видно, что автомат имеет 15 внутренних состояний. Из этого следует, что его можно использовать в качестве счетчика по  $\text{mod } 15$ . Вообще, любой генератор ПМД является счетчиком по  $\text{mod } 2^m - 1$ .

Таблица 4.16. Функция переходов генератора

$$f(x) = x^4 \oplus x^3 \oplus 1$$

$i$	$Q_3 Q_2 Q_1 Q_0$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$	$i$	$Q_3 Q_2 Q_1 Q_0$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$
1	0 0 0 1	0 0 1 1	11	1 0 1 1	0 1 1 0
3	0 0 1 1	0 1 1 1	6	0 1 1 0	1 1 0 0
7	0 1 1 1	1 1 1 1	12	1 1 0 0	1 0 0 1
15	1 1 1 1	1 1 1 0	9	1 0 0 1	0 0 1 0
14	1 1 1 0	1 1 0 1	2	0 0 1 0	0 1 0 0
13	1 1 0 1	1 0 1 0	4	0 1 0 0	1 0 0 0
10	1 0 1 0	0 1 0 1	8	1 0 0 0	0 0 0 1
5	0 1 0 1	1 0 1 1			

В линейных автономных автоматах, состоящих из  $m$   $D$ -триггеров, нулевое состояние ( $Q_r = 0$  для всех  $r$ ) не может быть использовано, так как при этом линейные функции

$$Q_r^+ = f_r(Q_{m-1}, \dots, Q_0) \equiv 0, \quad r = 0, 1, 2, \dots, m-1$$

и автомат не может самостоятельно из него выйти.

На основании (4.60) многочлен  $f^*(x) = x^4 \oplus x \oplus 1$  является двойственным к многочлену (4.61). На рис. 4.53,б показана схема генератора, соответствующая данному многочлену (добавлена нелинейная функция  $\overline{Q_2} \overline{Q_1} \overline{Q_0}$  для принудительного вывода генератора из нулевого состояния на основании того, что  $Q_3 \oplus Q_2 \vee \overline{Q_3} \overline{Q_2} \overline{Q_1} \overline{Q_0} = Q_3 \oplus Q_2 \vee \overline{Q_2} \overline{Q_1} \overline{Q_0}$ ). Табл. 4.17 для функции переходов автомата составляется по функции возбуждения  $D_0 = Q_3 \oplus Q_2$ , так как минтерм  $K_0 = \overline{Q_3} \overline{Q_2} \overline{Q_1} \overline{Q_0} = 1$  только в нулевом состоянии регистра.

Таблица 4.17. Функция переходов генератора

$$f^*(x) = x^4 \oplus x \oplus 1$$

$i$	$Q_3 Q_2 Q_1 Q_0$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$	$i$	$Q_3 Q_2 Q_1 Q_0$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$
1	0 0 0 1	0 0 1 0	5	0 1 0 1	1 0 1 1
2	0 0 1 0	0 1 0 0	11	1 0 1 1	0 1 1 1
4	0 1 0 0	1 0 0 1	7	0 1 1 1	1 1 1 1
9	1 0 0 1	0 0 1 1	15	1 1 1 1	1 1 1 0
3	0 0 1 1	0 1 1 0	14	1 1 1 0	1 1 0 0
6	0 1 1 0	1 1 0 1	12	1 1 0 0	1 0 0 0
13	1 1 0 1	1 0 1 0	8	1 0 0 0	0 0 0 1
10	1 0 1 0	0 1 0 1			

Временные диаграммы работы генератора, выполненного по схеме на рис. 4.53,а, показаны на рис. 4.53,в. Из этих диаграмм видно, что генерируемая последовательность символов 0 и 1 имеет случайный

характер, но поскольку последовательность выдается детерминированным автоматом, то она называется псевдослучайной. Легко заметить, что генератор на рис. 4.53,б, соответствующий двойственному многочлену, выдает символы 0 и 1 в обратном порядке следования (рис. 4.53,з).

Для  $m = 8$  из табл. 4.15 следует, что коэффициенты многочлена  $f^*(x)$  определяются восьмеричным числом  $(561)_8 = (101110001)_2$ , т. е.

$$f^*(x) = x^8 \oplus x^6 \oplus x^5 \oplus x^4 \oplus 1. \quad (4.63)$$

Данному многочлену соответствует схема генератора, изображенная на рис. 4.54 и выдающая периодическую последовательность из  $2^8 - 1 = 255$  символов 0 и 1. Реализовать функцию  $D_0$  можно на одном четырехходовом ЛЭ М2 с прямым выходом вместо трех ЛЭ сумма по модулю два.

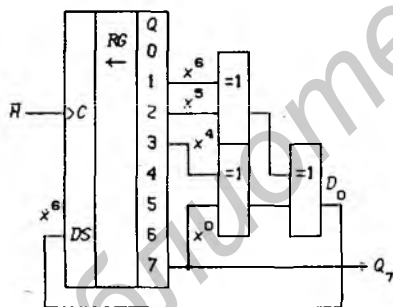


Рис. 4.54

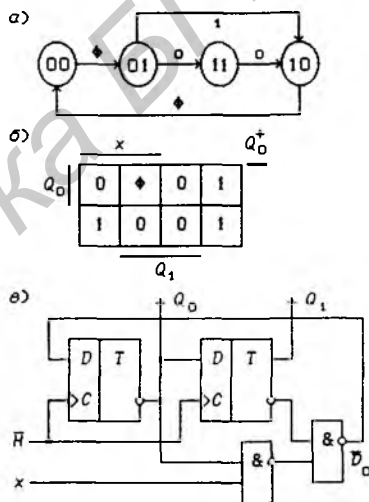


Рис. 4.55

Из выражения (4.63) следует, что

$$f^*(x) \oplus x^8 = x^6 \oplus x^5 \oplus x^4 \oplus 1.$$

При  $f^*(x) \equiv 0$  получается функция возбуждения первого триггера сдвигающего регистра  $D_0 = x^6 \oplus x^5 \oplus x^4 \oplus 1$ . Показатель степени  $k$  у члена  $x^k$  указывает, через сколько тактов его значение (0 или 1) появится на выходе сдвигающего регистра. Основываясь на этом правиле отыскания функции  $D_0$ , легко построить схему любого генератора из табл. 4.15. Так, неприводимому примитивному многочлену (4.62) соответствует функция возбуждения

$$D_0 = f(x) \oplus x^{24} = x^7 \oplus x^2 \oplus x \oplus 1$$

первого триггера 24-разрядного сдвигающего регистра. Данный генератор выдает псевдослучайную последовательность, один период которой содержит  $2^{24} - 1 = 16777215$  символов 0 и 1.

**Программируемые счетчики.** Важным параметром счетчика, который желательно оперативно изменять, является его модуль пересчета  $M$ . Счетчики с управляемым модулем пересчета делятся на две группы:

*счетчики с переключаемым модулем пересчета*, допускающие установку небольшого числа значений  $M$  (обычно не более двух-трех);

*счетчики с программируемым модулем пересчета* (собственно программируемые счетчики), допускающие изменение модуля пересчета в широких пределах с шагом 1 (например, от 2 до 10 для декадных счетчиков).

Счетчики с переключаемым модулем пересчета отличаются простотой реализации и применения, а также, как правило, в силу простоты их функций возбуждения имеют большее быстродействие по сравнению со счетчиками с программируемым модулем пересчета. Рассмотрим принципы проектирования программируемых счетчиков на сдвигающих регистрах.

Синтезируем счетчик с двумя модулями пересчета  $M = 4$  и  $M = 3$ , задаваемыми значениями входного сигнала счетчика  $x = 0$  и  $x = 1$  соответственно. Зададим кодирование внутренних состояний счетчика двумя кодовыми последовательностями 0011.0011 при  $x = 0$  и 001.001 при  $x = 1$ , которыми определяется граф переходов, показанный на рис. 4.55,а. Составив по графу переходов диаграмму Вейча для функции  $Q_0^+$  (рис. 4.55,б), получим функцию возбуждения

$$D_0 = \bar{x} \cdot \bar{Q}_1 \vee \bar{Q}_1 \cdot \bar{Q}_0 = \bar{Q}_1 \cdot \overline{x \cdot Q_0},$$

которой соответствует схема счетчика, изображенная на рис. 4.55,в. Так как при минимизации положили  $\Phi = 0$ , то счетчик при значении входного сигнала  $x = 1$  из состояния 11 переходит в состояние 10.

Для проектирования счетчиков с большим числом модулей пересчета удобнее использовать сдвигающие регистры с параллельной синхронной загрузкой (см. рис. 4.27). Граф переходов на рис. 4.56,а задает счетчик с тремя модулями пересчета  $M = 3, 4$  и  $5$  в зависимости от значений входных сигналов  $x_2 x_1 = 0\Phi, 10$  и  $11$ . Основной цикл графа переходов задает счетчик Джонсона по  $\text{mod } 8$  (см. рис. 4.48,а), а значит, минимальная форма функции возбуждения  $DS = \bar{Q}_3$  для триггера  $Q_0$ . Из графа переходов на рис. 4.56,а видно, что для загрузки чисел 1100,

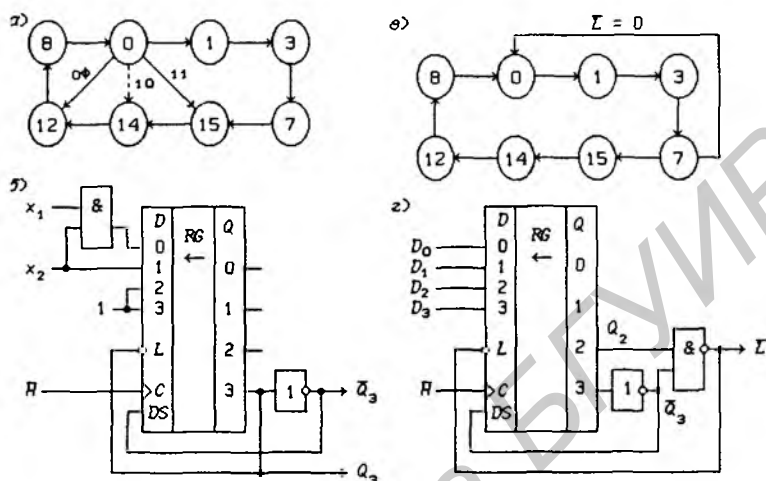


Рис. 4.56

Таблица 4.18. Синтез счетчика с тремя модулями пересчета

$x_2x_1$	$D_3D_2D_1D_0$	$M$
0 0	1 1 0 0	3
0 1	1 1 0 0	3
1 0	1 1 1 0	4
1 1	1 1 1 1	5

Таблица 4.19. Программирование модулей пересчета

$D_3D_2D_1D_0$	$M$	$D_3D_2D_1D_0$	$M$
0 1 1 1	—	1 0 0 0	5
0 0 1 1	2	1 1 0 0	6
0 0 0 1	3	1 1 1 0	7
0 0 0 0	4	1 1 1 1	8



1110 и 1111 можно использовать значение сигнала  $\bar{L} = Q_3 = 0$ . Режим загрузки описывается табл. 4.18, из которой непосредственно следует, что

$$D_3 = D_2 = 1, D_1 = x_2, D_0 = x_2x_1.$$

Полученным функциям соответствует схема счетчика, представленная на рис. 4.56,б.

Можно расширить возможности управления модулем пересчета в счетчиках на сдвигающих регистрах, применив для загрузки чисел функции  $\bar{L} = f(Q_3, Q_2, Q_1, Q_0)$ . На рис. 4.56,в показан граф переходов счетчика Джонсона по  $\text{mod } 8$ , в котором при использовании сигнала загрузки  $L = \bar{Q}_3Q_2$  (рис. 4.56,г) можно устанавливать семь модулей пересчета, указанных в табл. 4.19.

Программируемые двоичные и двоично-десятичные счетчики с синхронной и асинхронной параллельной загрузкой данных будут рассмотрены в § 7.5 и 7.6 при описании применения конкретных счетчиков, изготавливаемых в виде ИС.

#### 4.6. Асинхронные счетчики

Счетчики, срабатывающие не только под воздействием тактового сигнала, называются *асинхронными*.

**Асинхронные импульсные счетчики.** Счетчик, построенный из синхронных триггеров, на тактовые входы которых подается не один и тот же, а два или большее число сигналов, является *асинхронным импульсным счетчиком*. На рис. 4.57,а показана схема  $r + 1$ -разрядного асинхронного импульсного счетчика, выполненного на синхронных  $D$ -триггерах. При  $H_r = Q_{r-1}$  и  $D_r = \bar{Q}_r$  ( $r = 1, 2, \dots, q$ ) из (4.3) следует, что

$$Q_r^+ = Q_r \oplus dQ_{r-1}.$$

При значении импульсного сигнала  $dQ_{r-1} = 1$  следующее состояние триггера  $Q_r^+ = \bar{Q}_r$ , т. е. его состояние изменяется при каждом изменении сигнала  $Q_{r-1}$  с 1 на 0. Таким образом, каждый триггер на рис. 4.57,а является счетчиком по  $\text{mod } 2$ . На рис. 4.57,б показаны временные диаграммы, поясняющие работу счетчика при  $q = 2$  с детектором (дешифратором) нулевого состояния ( $K_0 = 1$  при  $Q_2 = Q_1 = Q_0 = 0$ ; число разрядов счетчика равно  $q + 1$ ).

Любой счетчик может быть использован в качестве *делителя частоты* тактового сигнала. Очевидным достоинством асинхронных импульсных делителей частоты, в первом каскаде которых используется счетчик по  $\text{mod } 2$ , является возможность

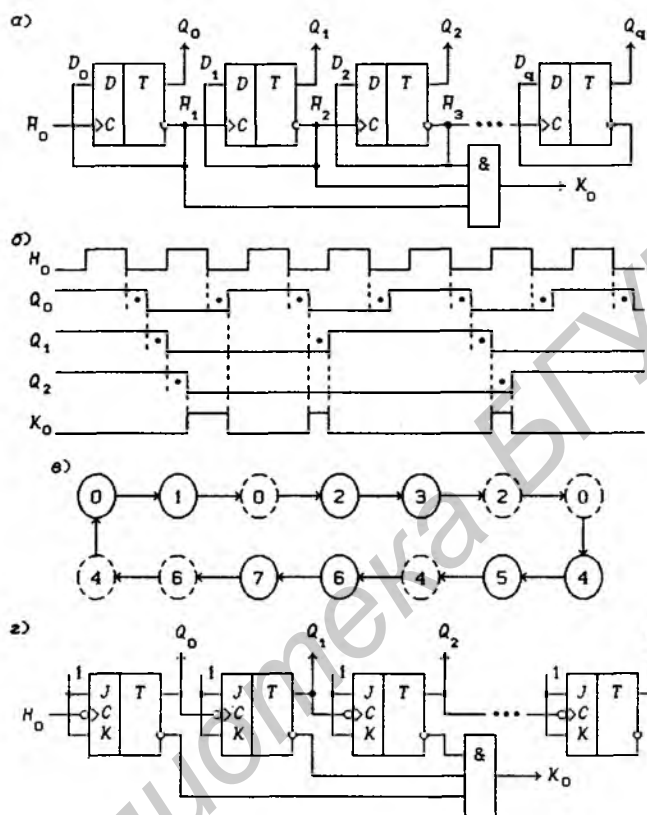


Рис. 4.57

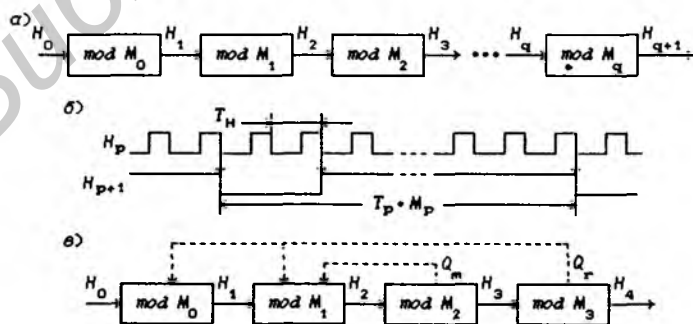


Рис. 4.58

реализации их максимального быстродействия в смысле максимально допустимой частоты входного тактового сигнала. Это гарантируется отсутствием ЛЭ в формирователе функции возбуждения первого триггера.

Общий недостаток всех асинхронных импульсных счетчиков — последовательное срабатывание триггеров, а значит, большое время реакции последнего триггера на изменение входного сигнала  $\bar{H}_0$  (точками на рис. 4.57,б отмечены задержки срабатывания каждого триггера). Максимальная длительность переходного процесса получается при переходе счетчика в нулевое состояние, когда последовательно изменяются состояния всех триггеров с 1 на 0. Кроме того, при дешифрации некоторых внутренних состояний таких счетчиков на выходе детектора могут появляться ложные значения сигналов, длительность которых определяется временем задержки срабатывания одного триггера, а местоположение — общей длительностью переходного процесса в счетчике (см. функцию  $K_0$  на рис. 4.57,б).

На рис. 4.57,в показан граф переходов исследуемого 3-разрядного счетчика, построенный по временным диаграммам, изображенным на рис. 4.57,б (штриховыми линиями отмечены внутренние состояния счетчика, возникающие на короткое время при переходных процессах, вызванных одним изменением входного сигнала  $\bar{H}_0$  с 0 на 1). Внутренние состояния счетчика  $\mu_j = (\epsilon_{Q_2}, \epsilon_{Q_1}, \epsilon_{Q_0})$ , где  $j = \epsilon_{Q_2}\epsilon_{Q_1}\epsilon_{Q_0}$ , в устойчивых состояниях (после окончания переходного процесса) можно характеризовать числом  $j$ . Десятичные эквиваленты этих двоичных чисел указаны в узлах графа переходов на рис. 4.57,в. При каждом закончившемся переходе счетчика число  $j$  увеличивается на 1 в соответствии с двоичной системой счисления и при достижении максимального значения  $j = 7$  изменяется на  $j = 0$ .

Таким образом, схема на рис. 4.57,а при  $q = 2$  представляет собой двоичный суммирующий асинхронный импульсный счетчик по  $\text{mod } 8$ . Из рис. 4.57,в видно, что ложные значения сигналов могут появляться только на выходах детекторов четных внутренних состояний двоичных асинхронных импульсных счетчиков. На рис. 4.57,г показан такой же счетчик, но построенный на синхронных  $J$ - $K$ -триггерах.

Последовательное соединение  $m$  счетчиков по  $\text{mod } 2$  дает двоичный счетчик по  $\text{mod } 2^m$ . На рис. 4.58,а показан общий принцип построения асинхронных импульсных счетчиков, а на рис. 4.58,б — временные диаграммы, поясняющие их работу. Каждый счетчик по  $\text{mod } M_p$  может быть асинхронным импульсным или синхронным счетчиком. Модуль пересчета всего счетчика  $M = M_0 \cdot M_1 \cdot M_2 \cdot \dots \cdot M_q$ . Выходные сигналы  $H_{p+1}$  каждого счет-

чика по  $\text{mod } M_p$  за цикл пересчета должны изменяться с 1 на 0 только один раз, чтобы их можно было использовать для запуска следующего счетчика. Между отдельными счетчиками по  $\text{mod } M_p$  могут иметься и обратные связи, как это показано на рис. 4.58,в.

На рис. 4.59,а приведен граф переходов синхронного счетчика по  $\text{mod } 5$ , синтез которого традиционным методом дает:

$$J_3 = Q_2 Q_1, K_3 = 1, J_2 = Q_1, K_2 = Q_1, J_1 = \bar{Q}_3, K_1 = 1.$$

На рис. 4.59,б показан асинхронный импульсный счетчик по  $\text{mod } 10$ , полученный с помощью последовательного соединения счетчика по  $\text{mod } 2$  и синтезированного счетчика по  $\text{mod } 5$ , а на рис. 4.60,а — временные диаграммы, поясняющие его работу (задержка сигнала  $Q_0$  относительно сигнала  $H_0$  не показана). Числа  $j$ , характеризующие внутренние состояния счетчика, изменяются с каждым переходом на единицу в соответствии с двоичной системой счисления (рис. 4.60,а), т.е. получен двоично-десятичный счетчик с кодированием внутренних состояний в десятичной системе счисления 8-4-2-1.

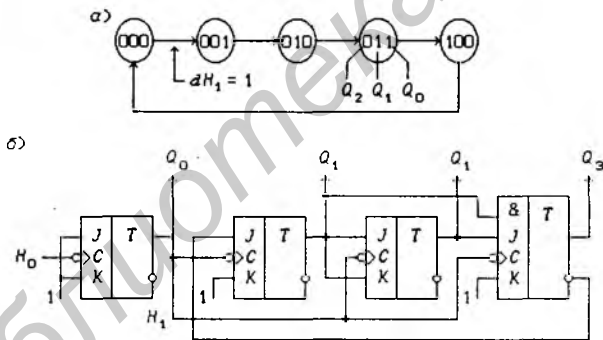


Рис. 4.59

Если изменить порядок включения счетчиков по  $\text{mod } 2$  и  $\text{mod } 5$  (рис. 4.60,б), то получится двоично-десятичный счетчик с кодированием внутренних состояний в десятичной системе счисления 5-4-2-1 (см. § 1.2). Временные диаграммы работы этого счетчика показаны на рис. 4.60,б. Такие счетчики используются, если нужно сформировать сигнал со скважностью 2, имеющий частоту, в 10 раз меньшую частоты тактового сигнала.

Синхронный счетчик по  $\text{mod } 5$  на основании временных диаграмм, изображенных на рис. 4.60,б, легко преобразовать в асинхронный импульсный счетчик по  $\text{mod } 5$  (рис. 4.60,з). Действительно, поскольку триггер  $Q_1$  должен срабатывать при каждом

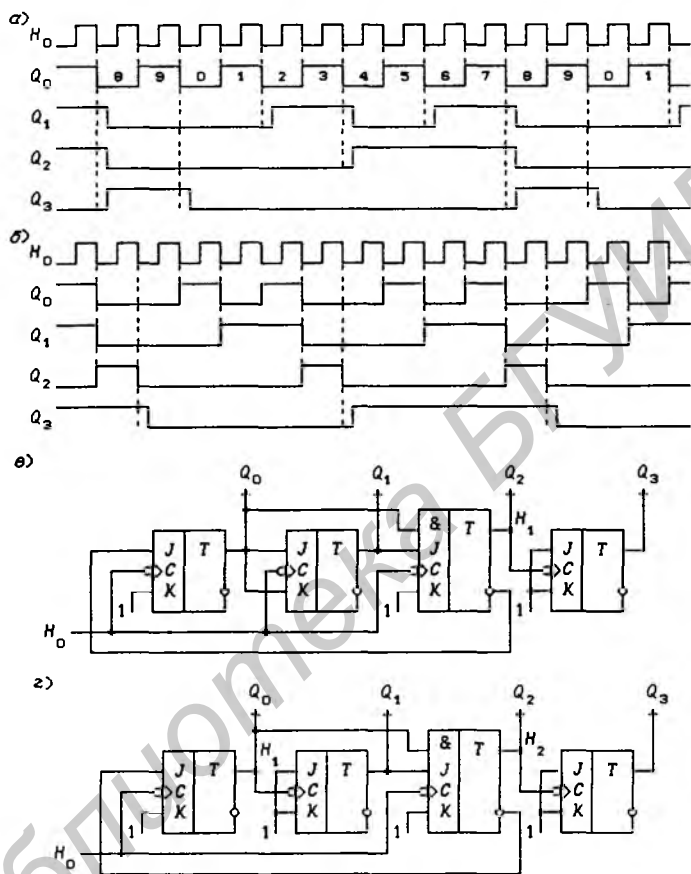


Рис. 4.60

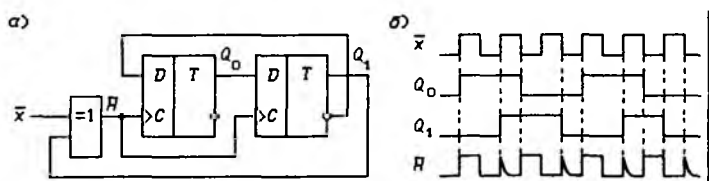


Рис. 4.61

изменении сигнала  $Q_0$  с 1 на 0, то его можно подать непосредственно на тактовый вход триггера  $Q_1$ . С учетом триггера  $Q_3$  схема на рис. 4.60,2 представляет собой двоично-десятичный счетчик с кодированием внутренних состояний в десятичной системе счисления 5-4-2-1.

**Асинхронные счетчики с умножением частоты счетного сигнала.** Можно построить асинхронные импульсные счетчики и другого типа, если дополнить их схемой управления тактовым сигналом с целью удвоения его частоты в некоторые моменты времени.

На рис. 4.61,а показана схема счетчика Джонсона по *mod* 4 (см. табл. 4.14), но тактовый сигнал  $\bar{N}$  формируется из входного счетного сигнала  $\bar{x}$  логическим элементом сумма по модулю два:  $\bar{N} = \bar{x} \oplus Q_1$ . На рис. 4.61,б представлены временные диаграммы, поясняющие работу этого счетчика. При каждом изменении выходного сигнала триггера  $Q_1$  тактовый сигнал  $\bar{N}$  инвертируется, в результате чего возникают “иголки” — сигналы, имеющие значительно меньшую длительность по сравнению с периодом счетного сигнала  $\bar{x}$ . Задержки между счетным сигналом  $\bar{x}$  и выходными сигналами триггеров  $Q_r$  не показаны, но длительность “иголок” сигнала  $\bar{N}$  определяется именно задержкой срабатывания триггера  $Q_1$  относительно фронта сигнала  $\bar{x}$  (временные диаграммы схемы удвоения частоты с задержками приведены на рис. 2.3,2). Счетчики, построенные таким методом, можно, в частности, использовать для получения сигналов  $Q_r$ , имеющих скважность 2 при нечетном коэффициенте деления (модуле пересчета).

Надежность работы счетчика не зависит от быстродействия входящих в него элементов, так как с помощью петли обратной связи с триггера  $Q_1$  на ЛЭ сумма по модулю два производится автоматическое регулирование длительности каждой “иголки”. Однако максимально допустимая частота счетного сигнала  $\bar{x}$ , имеющего скважность 2, уменьшается примерно в два раза, поскольку после появления “иголки” на переходный процесс отводится вдвое меньше времени, чем в обычном синхронном автомате (в некоторые моменты времени частота тактового сигнала  $\bar{N}$  удваивается).

Из рис. 4.61,б видно, что модуль пересчета счетчика с управлением тактовым сигналом равен  $M - 1 = 3$ , где  $M = 4$  — модуль пересчета исходного счетчика Джонсона. “Иголки” появляются при каждом изменении управляющего сигнала  $Q_1$  с 1 на 0 и с 0 на 1 (при значениях сигнала  $\nabla Q_1 = 1$ ). С каждой “иголкой” связан сдвиг влево положительного фронта сигнала

$\bar{H}$  на полпериода счетного сигнала  $\bar{x}$ . Поскольку за цикл пересчета появляются две “иголки”, то цикл пересчета уменьшается на целый период счетного сигнала  $\bar{x}$ .

В общем случае модуль пересчета равен  $M - k/2$ , где  $M$  — модуль пересчета любого исходного счетчика,  $k$  — число значений  $\nabla Q_r = 1$  за цикл пересчета (всегда четное число) и  $Q_r$  — выходной сигнал триггера, включенного для управления в петлю обратной связи (для управления можно использовать и функции от выходных сигналов триггеров  $Q_r$ ). Из сказанного следует, что в рассматриваемых счетчиках производится умножение частоты счетного сигнала  $\bar{x}$  на коэффициент  $M/(M - k/2)$ .

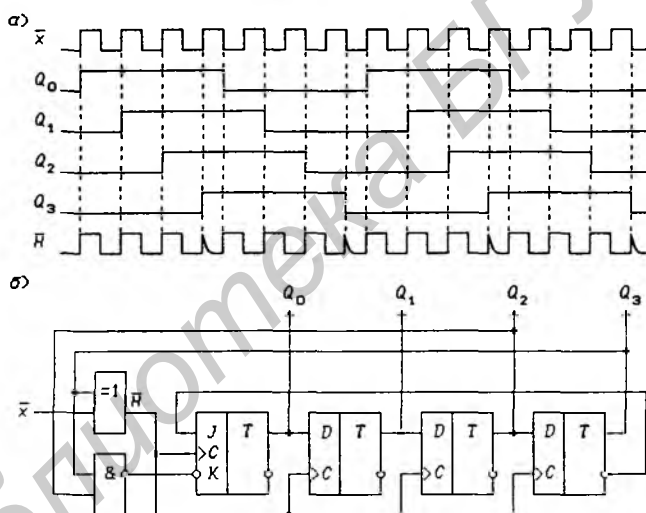


Рис. 4.62

Для счетчика по  $\text{mod } 2$  величина  $M/(M - k/2) = 2/(2 - 1) = 2$ , т.е. такое устройство можно использовать в качестве схемы удвоения частоты вместо схемы на рис. 2.3,в. Несомненным достоинством схемы удвоения частоты на основе счетчика по  $\text{mod } 2$  является формирование “иголок”, длительность которых определяется исключительно быстродействием используемых элементов (длительность “иголок” минимальна, но достаточна для надежного запуска счетчиков, построенных на таких же триггерах). При необходимости длительность “иголок” можно увеличить введением в цепь обратной связи любого числа последовательно включенных ЛЭ НЕ (или другого типа).

На рис. 4.62,а приведены временные диаграммы счетчика,

составленные по принципу временных диаграмм на рис. 4.61,б для большего числа триггеров. Легко установить, что диаграммы описывают работу счетчика по  $\text{mod } 7$  при  $k = 2$ . Значит, исходный счетчик должен иметь модуль пересчета  $M = 8$ . Схема счетчика по  $\text{mod } 7$ , построенная на основе счетчика Джонсона по  $\text{mod } 8$  (см. табл. 4.14), приведена на рис. 4.62,б. Коэффициент умножения частоты счетного сигнала  $M/(M - k/2) = 8/7$ .

**Асинхронные импульсно-потенциальные счетчики.** На базе синхронных счетчиков можно построить еще один тип асинхронных счетчиков, если дополнительно использовать асинхронные потенциальные входы триггеров  $R$  и (или)  $S$ . Основной целью использования этих входов является упрощение функций возбуждения синхронных входов триггеров. Такие счетчики следует называть *асинхронными импульсно-потенциальными счетчиками* (тактовый сигнал оказывает на триггеры импульсное воздействие).

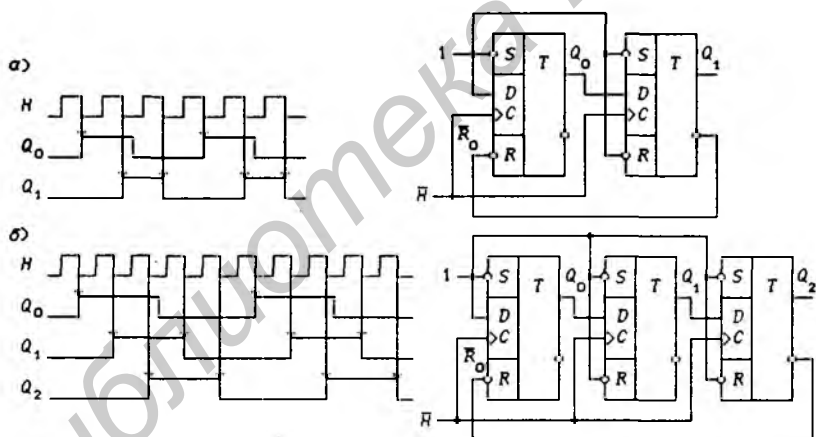


Рис. 4.63

Во всех счетчиках на сдвигающих регистрах с нечетным модулем пересчета (см. табл. 4.14) можно положить  $D_0 = 1$ , если подать инверсный выходной сигнал с последнего (старшего) триггера на асинхронный потенциальный вход  $\bar{R}_0$  младшего триггера  $Q_0$ . На рис. 4.63,а показаны временные диаграммы и соответствующая им схема счетчика на сдвигающем регистре по  $\text{mod } 3$ . Функция возбуждения младшего триггера  $D_0 = \bar{Q}_1 \bar{Q}_0$  (см. табл. 4.14) обеспечивает его переход как с 1 на 0, так и с 0 на 1. В схеме же на рис. 4.63,а триггер  $Q_0$  устанавливается в 0



значением сигнала  $\bar{R}_0 = \bar{Q}_1 = 0$  и удерживается в этом состоянии до тех пор, пока сигнал  $\bar{R}_0$  не примет неактивное значение 1. В состоянии же  $Q_0 = 1$  триггер переходит под воздействием тактового сигнала ( $D_0 \equiv 1$ ), но при условии, что сигнал  $\bar{R}_0 = 1$ .

При изменении состояния триггера  $Q_0$  с 1 на 0 происходит последовательное срабатывание двух триггеров (на рис. 4.63,а задержки сигналов  $Q_0$  и  $Q_1$  относительно тактового сигнала не показаны), поэтому быстроедействие асинхронных импульсно-потенциальных счетчиков всегда ниже быстрогодействия синхронных счетчиков. На рис. 4.63,б показаны временные диаграммы и схема счетчика на сдвигающем регистре по  $\text{mod } 5$ . Сравнив эти временные диаграммы с диаграммами на рис. 4.47,2, легко установить различия в работе синхронных и асинхронных импульсно-потенциальных счетчиков.

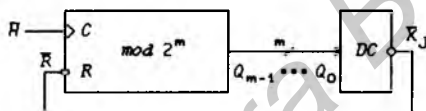


Рис. 4.64

**Асинхронное программирование модуля пересчета счетчиков.** Для программирования модуля пересчета синхронных двоичных и двоично-десятичных счетчиков можно использовать асинхронный потенциальный вход  $R$  (или  $\bar{R}$ ) установки счетчика в нулевое состояние (сигнал  $R$  подается на асинхронные потенциальные входы  $R_r$  всех триггеров счетчика, где  $r = 0, 1, \dots, m-1$  для  $m$ -разрядного двоичного счетчика). На рис. 4.64 представлена структурная схема двоичного счетчика по  $\text{mod } 2^m$  с асинхронным потенциальным входом  $\bar{R}$  установки нулевого состояния  $j = 0$  ( $Q_r = 0, r = 0, 1, \dots, m-1$ ). Детектор  $DC$  (дешифратор) состояния  $j$  реализует инверсию минтерма

$$K_j = Q_{m-1}^{e_{m-1}} \cdots Q_1^{e_1} Q_0^{e_0} \quad (j = e_{m-1} \cdots e_1 e_0),$$

значение которого  $K_j = 1$  ( $\bar{R} = 0$ ) возвращает счетчик в состояние  $j = 0$ . Например, при  $m = 8$  и  $j = 233_{10} = 11101001_2$  детектор состояния  $j$  будет представлять собой ЛЭ И-НЕ, выполняющий функцию

$$\bar{K}_{233} = \overline{Q_7^1 Q_6^1 Q_5^1 Q_4^0 Q_3^1 Q_2^0 Q_1^0 Q_0^1} = \overline{Q_7 Q_6 Q_5 \bar{Q}_4 Q_3 \bar{Q}_2 \bar{Q}_1 Q_0}.$$

На рис. 4.65,а показана схема 4-разрядного двоичного счетчика с асинхронным потенциальным входом установки нулевого состояния (см. рис. 4.37,в) и детектором состояния  $j = 14$ ,

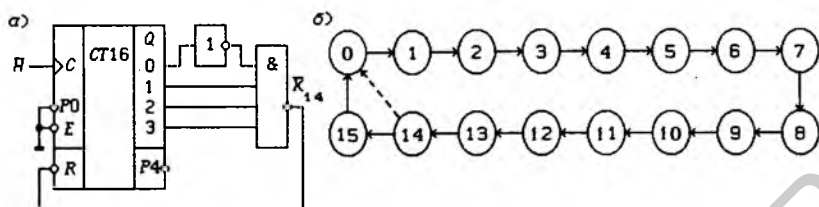


Рис. 4.65

реализующего инверсию минтерма  $K_{14} = Q_3 Q_2 Q_1 \bar{Q}_0$ . В данном случае для сброса можно использовать и более простую функцию  $f = Q_3 Q_2 Q_1$ , так как в двоичных счетчиках реализуется упорядоченная последовательность возрастающих с каждым тактом двоичных чисел  $j$ . В общем случае в минтерме  $K_j$  можно отбросить одну или две последовательности идущих подряд инверсных переменных  $\bar{Q}_r$ , содержащих  $\bar{Q}_0$  (правая часть минтерма) или  $\bar{Q}_{m-1}$  (левая часть минтерма), оставив только среднюю часть минтерма максимальной длины, ограниченную переменными  $Q_r$  без инверсий.

Граф переходов (рис. 4.65, б) поясняет работу счетчика, изображенного на рис. 4.65, а (переход, указанный штриховой ветвью, происходит под воздействием значения сигнала  $\bar{K}_{14} = 0$ ). По графу переходов легко определить, что модуль пересчета счетчика  $M = j = 14$ . Переход из внутреннего состояния  $\mu_{13}$  в состояние  $\mu_0$  осуществляется за один такт, поскольку используется асинхронный потенциальный сброс счетчика в нулевое состояние.

Длительность активного уровня сигнала  $\bar{K}_{14} = 0$  определяется исключительно временем переходного процесса в схеме на рис. 4.65, а: сигнал  $\bar{K}_{14}$  становится неактивным ( $\bar{K}_{14} = 1$ ), как только хотя бы один из сигналов  $Q_1$ ,  $Q_2$  или  $Q_3$  изменится с 1 на 0. При большом разбросе быстродействия триггеров, определяемом временем их срабатывания, счетчики с асинхронным потенциальным сбросом будут работать ненадежно из-за недостаточной длительности активного уровня сигнала сброса. При использовании ИС рассматриваемые счетчики работают достаточно надежно. Безусловно, должно выполняться требование, чтобы на выходе детектора состояния  $j$  многоразрядных каскадированных счетчиков отсутствовали кратковременные ложные значения сигнала  $\bar{K}_j$ .

Абсолютная надежность работы при отсутствии проблемы ложных значений сигнала  $\bar{K}_j$  достигается использованием дво-

ичного счетчика с синхронным сбросом (см. рис. 4.37,б), т.е. чисто синхронного программируемого счетчика. Работа такого 4-разрядного счетчика также описывается графом переходов на рис. 4.65,б при сбросе в нулевое состояние сигналом  $\bar{R} = \bar{K}_{14}$ , но на переход из состояния  $\mu_{14}$  в состояние  $\mu_0$  будет затрачиваться дополнительный такт (синхронный переход по значению сигнала  $\bar{R} = 0$ ). Из этого следует, что модуль пересчета двоичного счетчика с синхронным сбросом определяется значением  $M = j + 1 = 15$ . Длительность же активного уровня сигнала  $\bar{R} = 0$  равна периоду тактового сигнала.

Итак, модуль пересчета

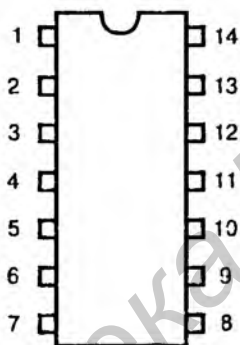
$$M = \begin{cases} j & \text{при асинхронном сбросе,} \\ j + 1 & \text{при синхронном сбросе.} \end{cases} \quad (4.64)$$

Характерной особенностью рассмотренного метода программирования модуля пересчета двоичных счетчиков является реализация последовательности возрастающих двоичных чисел  $j$  от 0 до  $j_{\max} \leq 2^m - 1$  (см. рис. 4.65,б;  $m = 4$ ).

# ЧАСТЬ 2

---

## ИНТЕГРАЛЬНЫЕ СХЕМЫ



Библиотека БГУИР

## Глава 5

### Логические элементы и триггеры

#### 5.1. Интегральные схемы ТТЛ серий

В зависимости от технологии изготовления интегральные схемы (ИС) подразделяются на серии, различающиеся физическими параметрами базовых логических элементов (ЛЭ), а также числом и функциональным назначением входящих в их состав микросхем. В настоящее время разработано несколько десятков технологий изготовления ИС. Наиболее широкое применение находят ИС, изготавливаемые по ТТЛ-, КМОП-, ЭСЛ- и п-МОП-технологиям, причем каждая из этих технологий имеет несколько разновидностей. Технологии изготовления ИС непрерывно совершенствуются с целью увеличения их быстродействия и нагрузочной способности, уменьшения потребляемой мощности и увеличения степени интеграции — количества компонентов, размещаемых на кристалле заданной площади.

Схемотехника базовых логических элементов. Первая серия ИС была изготовлена на транзисторных схемах с непосредственной связью. Далее были разработаны серии ИС на основе резистивно-транзисторной и диодно-транзисторной технологий. Эти серии ИС не получили широкого распространения, поскольку вскоре (1963 г.) была освоена более совершенная технология изготовления ИС — транзисторно-транзисторная логика (*Standard TTL*). Отличительной особенностью данной технологии является использование на входах ИС многоэмиттерных транзисторов.

На рис. 5.1,а показан базовый ЛЭ SN7400 серии SN74 фирмы *Texas Instruments Inc. (TI)*, выполненный по этой технологии и представляющий собой ЛЭ И-НЕ (базовым считается тот ЛЭ, параметры которого наиболее полно характеризуют физические свойства большинства ИС данной серии). Интегральная

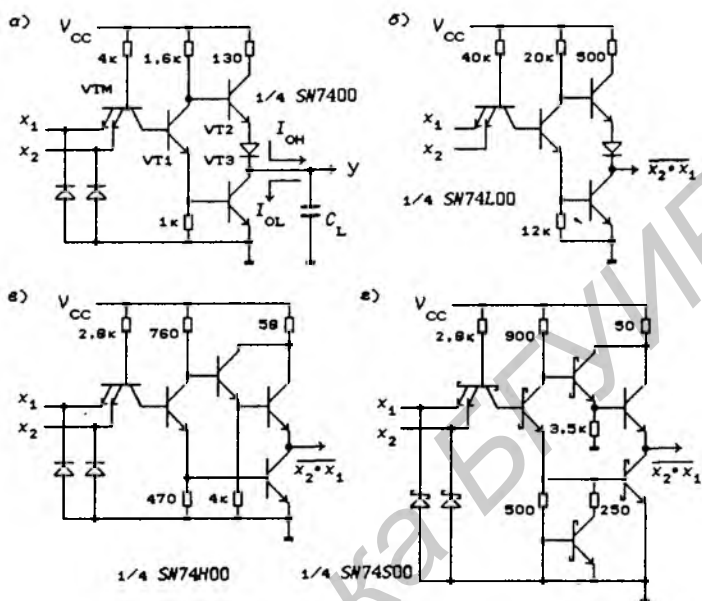


Рис. 5.1

схема SN7400 содержит 4 двухвходовых ЛЭ И-НЕ, реализующих функцию  $y = \bar{x}_2 \bar{x}_1$ . Многоэмиттерный транзистор VT4 выполняет функцию И, а транзистор VT1 — функцию НЕ. Выходной каскад, выполненный на транзисторах VT2 и VT3, позволяет получить большие значения как втекающего  $I_{OL}$ , так и вытекающего  $I_{OH}$  токов. Диод в эмиттерной цепи транзистора VT2 обеспечивает его надежное закрывание при открытом транзисторе VT3. Если транзистор VT3 закрыт, то открыт транзистор VT2, представляя собой эмиттерный повторитель. Выход с описанным соединением двух транзисторов называется *каскадным (totem-pole)* или *стандартным выходом*. Диоды, включенные между входными и общим выводами, обеспечивают защиту ЛЭ при подаче на его входы отрицательного напряжения.

К основным статическим (электрическим) параметрам ЛЭ относятся уровни входных и выходных напряжений и значения входных и выходных токов:

$V_{IH}$  (*High-level Input Voltage*) — входное напряжение высокого уровня (логической единицы),

$V_{IL}$  (*Low-level Input Voltage*) — входное напряжение низкого уровня (логического нуля),

$V_{OH}$  (*High-level Output Voltage*) — выходное напряжение высокого уровня (логической единицы),

$V_{OL}$  (*Low-level Output Voltage*) — выходное напряжение низкого уровня (логического нуля),

$I_{IH}$  (*High-level Input Current*) — входной ток при подаче на вход высокого уровня напряжения,

$I_{IL}$  (*Low-level Input Current*) — входной ток при подаче на вход низкого уровня напряжения,

$I_{OH}$  (*High-level Output Current*) — выходной ток при высоком уровне выходного сигнала (вытекающий ток — *Sink Current*),

$I_{OL}$  (*Low-level Output Current*) — выходной ток при низком уровне выходного сигнала (втекающий ток — *Source Current*).

В качестве стандартных приняты значения этих параметров:

$$V_{IH} \geq 2,0 \text{ В}, V_{IL} \leq 0,8 \text{ В}, V_{OH} \geq 2,4 \text{ В}, V_{OL} \leq 0,4 \text{ В},$$

$$I_{IH} \leq 40 \text{ мкА при } V_{IH} \geq 2,0 \text{ В}, |I_{IL}| \leq 1,6 \text{ мА при } V_{IL} \leq 0,8 \text{ В},$$

$$|I_{OH}| \geq 0,4 \text{ мА при } V_{OH} \geq 2,4 \text{ В}, I_{OL} \geq 16 \text{ мА при } V_{OL} \leq 0,4 \text{ В}.$$

Токи  $I_{OH}$  и  $I_{OL}$ ,  $I_{IH}$  и  $I_{IL}$  протекают в противоположных направлениях, поэтому токам  $I_{OH}$  и  $I_{IL}$  присваивается знак минус. Однако, часто под этими обозначениями будем понимать их модули.

Отношения  $n_L = I_{OL}/I_{IL}$  и  $n_H = I_{OH}/I_{IH}$  характеризуют нагрузочную способность ЛЭ для низких и высоких уровней сигналов. Параметр  $n = \min\{n_L, n_H\}$  определяет максимальное число входов базовых ЛЭ, которое допустимо подключать к выходу аналогичного ЛЭ. Для базового ЛЭ серии SN74 нагрузочная способность  $n = n_L = n_H = 10$ .

Максимальное значение вытекающего тока  $|I_{OH}| = 0,4 \text{ мА}$  значительно меньше максимального значения втекающего тока  $I_{OL} = 16 \text{ мА}$ . Такое различие токов связано с тем, что выходное напряжение  $V_{OH}$  уменьшается с увеличением тока  $I_{OH}$  из-за падения напряжения на коллекторной нагрузке транзистора VT2 (130 Ом) и диоде, включенном в цепь его эмиттера. Резистор 130 Ом предотвращает выход из строя транзистора VT2 при коротком замыкании выхода на корпус. Указанные выше значения выходных токов ЛЭ обеспечивают быстрый заряд и разряд емкости нагрузки  $C_L$  ( $L$  — *Load*), чем достигается высокая крутизна фронтов выходного сигнала.

Помехоустойчивость ЛЭ определяется значениями величин

$$\Delta V_H = V_{OH \min} - V_{IH \min} = 2,4 - 2,0 = 0,4 \text{ В},$$

$$\Delta V_L = V_{IL \max} - V_{OL \max} = 0,8 - 0,4 = 0,4 \text{ В}.$$

Помехи с уровнем напряжения менее 0,4 В не могут при-

вести к изменению состояния ЛЭ. Переход ЛЭ в усилительный (активный) режим характеризуется значением порогового уровня переключения  $V_{TH}$  ( $TH$  — *Threshold Voltage* — пороговое напряжение). Величина порогового уровня  $V_{TH} = 1,2$  В для стандартной серии  $SN74$ . Типовое значение помехоустойчивости определяется значениями величин

$$\Delta V_{H\text{ тип}} = V_{OH\text{ тип}} - V_{TH} = 3,4 - 1,2 = 2,2 \text{ В},$$

$$\Delta V_{L\text{ тип}} = V_{TH} - V_{OL\text{ тип}} = 1,2 - 0,2 = 1,0 \text{ В},$$

где  $V_{OH\text{ тип}} = 3,4$  В и  $V_{OL\text{ тип}} = 0,2$  В — типовые значения выходных напряжений ЛЭ серии  $SN74$  (без перегрузки).

Динамические параметры ЛЭ характеризуются временами задержки  $t_{PHL}$  при переходе выходного сигнала с высокого уровня на низкий (*Propagation delay time/high-to-low-level output*),  $t_{PLH}$  — при переходе выходного сигнала с низкого уровня на высокий (*Propagation delay time/low-to-high-level output*) или средним временем задержки сигналов в ЛЭ (*Propagation delay time*)

$$t_{pd} = (t_{PHL} + t_{PLH})/2.$$

Задержки  $t_{PHL}$  и  $t_{PLH}$  показаны на рис. 5.2 ( $X = x_2x_1$  — эквивалентный входной сигнал ЛЭ, учитывающий взаимодействие физических входных сигналов  $x_2$  и  $x_1$  на рис. 5.1,а;  $y$  — выходной сигнал ЛЭ).

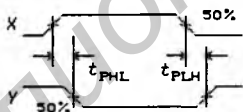


Рис. 5.2

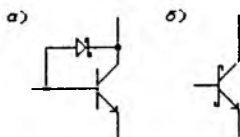


Рис. 5.3

Основным параметром, определяющим качество технологии изготовления ИС, является величина работы переключения стандартного ЛЭ (вентиля) — произведение среднего времени задержки сигналов в вентиле  $t_{pd}$  на мощность  $P$  (*Power*) потребления вентиля. Для стандартной серии  $SN74$  значения  $t_{pd} = 10$  нс,  $P = 10$  мВт и  $t_{pd}P = 100$  пДж. Указанное значение  $t_{pd}$  позволяет использовать триггеры данной серии при частоте переключения  $F_{\max} = 35$  МГц.

В дополнение к стандартной серии  $SN74$  фирмой  $TI$  в 1967 г. были разработаны ТТЛ-серии  $SN74L$  ( $L$  — *Low Power* — маломощная; рис. 5.1,б) и  $SN74H$  ( $H$  — *High Speed* — быстродействующая; рис. 5.1,в), имеющие значения  $t_{pd}P = 33$  пДж при  $t_{pd} = 33$  нс и  $t_{pd}P = 132$  пДж при  $t_{pd} = 6$  нс. Изменение



параметров ЛЭ произведено в основном за счет использования других величин сопротивлений резисторов, влияющих на значения входных и выходных токов. Для сходных технологий быстроедействие ИС жестко связано с потребляемой мощностью, т.е. повышение быстрогодействия достигается за счет увеличения потребляемой мощности. Серия *SN74L* предназначена для применения в низкочастотных узлах цифровых устройств (ниже 3 МГц), серия *SN74H* — в высокочастотных узлах (до 50 МГц), а серия *SN74* — в среднечастотных узлах (до 35 МГц). Оптимальное использование ИС серий *SN74*, *SN74L* и *SN74H* позволяет значительно снизить мощность потребления серийно выпускаемых радиоэлектронных устройств.

Дальнейшие усилия фирмы *TI*, направленные на совершенствование TTL-технологий изготовления ИС, привели к созданию серий *SN74S* (1969 г.; рис. 5.1,з), *SN74LS* (1971 г.), *SN74ALS* (1980 г.) и *SN74AS* (1982 г.). Кроме того, фирма *Fairchild Instrument & Camera Corp.* разработала в 1979 г. серию *74F*. В обозначениях этих серий ИС использованы сокращения: *S* — *Schottky*, *LS* — *Low power Schottky*, *ALS* — *Advanced Low power Schottky* (*Advanced* — усовершенствованная), *AS* — *Advanced Schottky*, *F* — *Fairchild's Advanced Schottky TTL* (*FAST*).

Все перечисленные серии ИС основаны на использовании диодов Шоттки (рис. 5.3,а), предотвращающих режим глубокого насыщения транзисторов, что значительно увеличивает их скорость переключения. На рис. 5.3,б показано условное графическое обозначение транзистора с диодом Шоттки, называемого транзистором Шоттки. Прямое пороговое напряжение диодов Шоттки равно 0,3...0,4 В, поэтому их использование не оказывает существенного влияния на уровень  $V_{OL}$  выходного сигнала.

Основной целью совершенствования технологий является улучшение параметров ИС — уменьшение задержек сигналов, входных токов и мощности потребления. Перечисленные выше серии ИС помимо фирмы-разработчика выпускаются многими фирмами-изготовителями во всем мире. Префикс *SN* в обозначении ИС указывает, что она изготовлена фирмой *TI*. Другие фирмы-изготовители используют иные префиксы для идентичных ИС, поэтому префикс *SN* в названиях ИС часто будем опускать. Одна и та же фирма использует разные префиксы для ИС, принадлежащих к различным классам электронных устройств (цифровые, линейные, микропроцессорные и др.). Например, префикс *TMS* означает БИС для проектирования микропроцессорных систем фирмы *TI*.

В табл. 5.1 [25] приведены основные параметры базовых ЛЭ различных серий зарубежных ИС, изготавливаемых по TTL-технологиям. Наименьшее значение параметра  $t_{pd}P$  имеет серия *SN74ALS*, но тем не менее при проектировании быстродействующих цифровых устройств может потребоваться другая серия, выбираемая по параметру  $t_{pd}$  на основании табл. 5.1.

Серии ИС *SN54*, *SN74* и *SN84* различаются только температурным диапазоном, допустимой величиной отклонения напряжения источника питания от номинала (табл. 5.2) и типом (материалом) корпуса [26]. Серия *SN54* предназначена для военных применений (имеет большие допуски по температуре и питанию), а серия *SN74* — для промышленного применения. Каждая ИС, как правило, выпускается как в серии *SN74*, так и в серии *SN54*. Интегральные схемы всех этих серий имеют одинаковые или близкие статические и динамические параметры, поэтому в дальнейшем будут рассматриваться в основном ИС серии *SN74*.

В табл. 5.3 приведено соответствие зарубежных и отечественных серий ИС. В настоящее время широкое применение при проектировании радиоэлектронной аппаратуры находят серии 533/555, 1533/КР1533 и 1531/КР1531. Все серии, указанные в табл. 5.3, совместимы по уровням входных и выходных сигналов, т. е. в одном устройстве можно использовать ИС различных серий без дополнительных согласующих элементов, преобразующих уровни сигналов. Конечно, при этом следует учитывать взаимную нагрузочную способность ИС различных серий. Кроме ЛЭ со стандартными статическими параметрами (как у базовых ЛЭ) выпускаются буферные ЛЭ (драйверы) с повышенными значениями выходных токов. Например, буферная ИС 74ALS1000 (КР1533ЛА21) по функциональному назначению и расположению выводов идентична ИС 74ALS00 (КР1533ЛА3), но имеет в три раза большую нагрузочную способность. Такие ЛЭ предназначены для работы на большие нагрузки. Взаимная нагрузочная способность ИС различных серий приведена в табл. 5.4.

В базовом ЛЭ 74S00 (531ЛА3), показанном на рис. 5.1,г, задержка  $t_{pd}$  уменьшена в два раза по сравнению с задержкой в ЛЭ 74H00 (131ЛА3) в основном благодаря транзисторам Шотки (без увеличения мощности потребления). Диоды Шотки, включенные между входными и общим выводами, обеспечивают защиту входов ЛЭ от отрицательного напряжения помех. Статические параметры у ИС серии *SN74S* не хуже, чем у ИС серии *SN74H*, поэтому большинство западных изготовителей прекра-

Таблица 5.1. Параметры зарубежных ИС серий SN74

Серии ИС	$t_{pd}$ , нс	$P$ , мВт/вент.	$I_{IH}$ , мкА	$I_{IL}$ , мА	$F_{max}$ , МГц	$I_{OH}$ , мА	$I_{OL}$ , мА	$\pi$	$t_{pd}P$ , пДж
74	10	10	40	-1,6	35	-0,4	16	10	100
74L	33	1	10	-0,18	3	-0,2	3,6	10	33
74H	6	22	50	-2	50	-0,5	20	10	132
74S	3	19	50	-2	125	-1,0	20	10	57
74LS	9,5	2	20	-0,4	45	-0,4	8	20	19
74ALS	4	1	20	-0,1	50	-0,4	8	20	4
74AS	1,5	22	20	-0,5	200	-2,0	20	40	33
74F	2	4	20	-0,6	130	-1,0	20	33	8

Таблица 5.2. Сравнительные характеристики ИС

Серии ИС	Диапазон рабочих температур, °С	Напряжение питания, В
SN54	-55...+125	4,5...5,5
SN74	0...+70	4,75...5,25
SN84	-25...+85	4,75...5,25

Таблица 5.3. Соответствие отечественных ИС зарубежным

Отечественные серии	Зарубежные серии	Отечественные серии	Зарубежные серии
133	SN54	155	SN74
136	SN54L	134,158	SN74L
130	SN54H	131	SN74H
530	SN54S	531	SN74S
533	SN54LS	555	SN74LS
1533	SN54ALS	KP1533	SN74ALS
1530	SN54AS	KP1530	SN74AS
1531	SN54F	KP1531	SN74F

Таблица 5.4. Взаимная нагрузочная способность ИС

Серия ИС	$I_{OH}$ , мА	$n$	'00	'L <sup>1</sup>	'H <sup>1</sup>	'S <sup>1</sup>	'LS <sup>1</sup>	'ALS <sup>1</sup>	'AS <sup>1</sup>	'F <sup>1</sup>
54/7400	$I_{OH}$	0,4 $n_H$	10	40	8	8	20	20	20	20
54/7400	$I_{OL}$	16 $n_L$	10	89,5	8	8	40	160	32	26
54L00	$I_{OH}$	0,1 $n_H$	2,5	10	2	2	5	5	5	5
54L00	$I_{OL}$	2 $n_L$	1,25	11	1	1	5	20	4	3
74L00	$I_{OH}$	0,2 $n_H$	5	20	4	4	10	10	10	10
74L00	$I_{OL}$	3,6 $n_L$	2,25	20	1,8	1,8	9	36	7,2	6
54/74H00	$I_{OH}$	0,5 $n_H$	12,5	50	10	10	25	25	25	25
54/74H00	$I_{OL}$	20 $n_L$	12,5	111	10	10	50	200	40	33
54/74S00	$I_{OH}$	1 $n_H$	25	100	20	20	50	50	50	50
54/74S00	$I_{OL}$	20 $n_L$	12,5	111	10	10	50	200	40	33
54/74LS00	$I_{OH}$	0,4 $n_H$	10	40	8	8	20	20	20	20
54LS00	$I_{OL}$	4 $n_L$	2,5	22,2	2	2	10	40	8	6
74LS00	$I_{OL}$	8 $n_L$	5	44,4	4	4	20	80	16	13
54/74ALS00	$I_{OH}$	0,4 $n_H$	10	40	8	8	20	20	20	20
54ALS00A	$I_{OL}$	4 $n_L$	2,5	22,2	2	2	10	40	8	6
74ALS00A	$I_{OL}$	8 $n_L$	5	44,4	4	4	20	80	16	13
54/74AS00	$I_{OH}$	2 $n_H$	50	200	40	40	100	100	100	100
54/74AS00	$I_{OL}$	20 $n_L$	12,5	111	10	10	50	200	40	33
54/74F00	$I_{OH}$	1 $n_H$	25	100	20	20	50	50	50	50
54/74F00	$I_{OL}$	20 $n_L$	12,5	111	10	10	50	200	40	33
54ALS1000	$I_{OH}$	1 $n_H$	25	100	20	20	50	50	50	50
54ALS1000	$I_{OL}$	12 $n_L$	7,5	66,7	6	6	30	120	24	20
74ALS1000	$I_{OH}$	2 $n_H$	50	260	52	152	130	130	130	100
74ALS1000	$I_{OL}$	24 $n_L$	15	133	12	12	60	240	48	40
54AS1000	$I_{OH}$	40 $n_H$	1000	4000	800	800	2000	2000	2000	2000
54AS1000	$I_{OL}$	40 $n_L$	25	222	20	20	100	400	80	66
74AS1000	$I_{OH}$	48 $n_H$	1200	4800	960	960	2400	2400	2400	2400
74AS1000	$I_{OL}$	48 $n_L$	30	267	24	24	120	480	96	80
Входной ток $I_{IH}$ , мА			0,04	0,01	0,05	0,05	0,02	0,02	0,02	0,02
Входной ток $I_{IL}$ , мА			1,6	0,18	2	2	0,4	0,1	0,5	0,6

<sup>1</sup> Логический элемент 00.

тило выпуск серии *SN74H* в 1981 г.

Базовый маломощный Шотки ЛЭ 74LS00 (555ЛА3) показан на рис. 5.4. Во входной цепи на диодах Шотки реализована функция И. Эти диоды имеют напряжение пробоя 15 В, что позволяет подавать на входы ЛЭ сигналы с повышенными (до 15 В) значениями уровня логической 1. Диоды Шотки, включенные между входными и общим выводами, обеспечивают защиту входов ЛЭ от отрицательного напряжения помех. Благодаря значительно большему быстродействию и вдвое большим значениям выходных токов (см. табл. 5.1) серия *SN74LS* вытеснила серию *SN74L* — большинство западных изготовителей прекратило выпуск этой серии в 1981 г. Мощность потребления мВт/вентиль у ИС серии *SN74LS* в 5 раз меньше, чем у ИС серии *SN74S*, поэтому при одних и тех же допустимых значениях мощности, рассеиваемой корпусом ИС, достижима большая степень интеграции элементов на кристалле. Следствием этого является возможность изготовления ИС, представляющих собой сложные функциональные устройства.

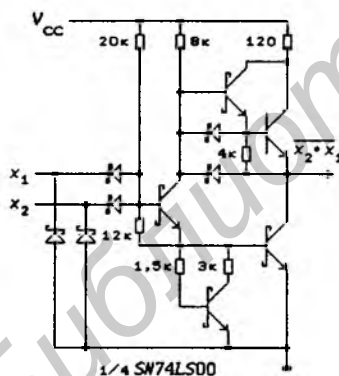


Рис. 5.4

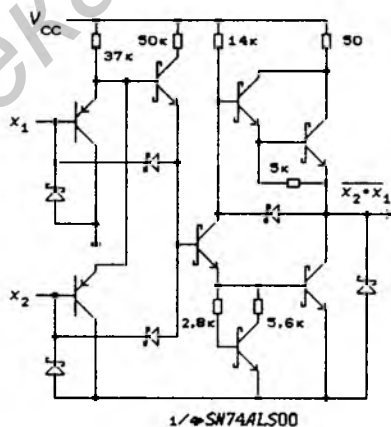


Рис. 5.5

Базовый ЛЭ 74ALS00 (КР1533ЛА3; усовершенствованный маломощный Шотки) показан на рис. 5.5. Для снижения величины входного тока  $I_{IL}$  во входных цепях использованы  $p-n-p$  транзисторы, что увеличило нагрузочную способность  $n_L$  в 4 раза по сравнению с нагрузочной способностью ИС 74LS00. Время же задержки  $t_{pd}$  и мощность потребления на один вентиль  $P$  удалось уменьшить в 2 раза (см. табл. 5.1), поэтому серия *SN74ALS* может быть использована в разработках новых ра-

диоэлектронных устройств вместо серии *SN74LS*. Входы и выход ЛЭ защищены от отрицательного напряжения помех диодами Шотки. Напряжение пробоя входных цепей повышено до 30...35 В.

Серия ИС *SN74AS* предназначена для проектирования сверхбыстродействующих устройств — время задержки сигналов в вентиле  $t_{pd} = 1,5$  нс. Для разработки таких устройств ранее использовались только ИС, изготавливаемые по ЭСЛ-технологии. Базовый ЛЭ этой серии показан на рис. 5.6. Входные цепи выполнены на  $p-n-p$ -транзисторах, как и в ИС серии *SN74ALS*. Конденсатор на диоде *VD* улучшает переключательные свойства выходного каскада. Все входы и выход ЛЭ защищены от отрицательного напряжения помех диодами Шотки. Для ИС серии *SN74ALS* малой степени интеграции характерны значения  $t_{pd} = 1,5$  нс и  $P = 22$  мВт/вентиль (см. табл. 5.1), однако внутренние вентили в ИС средней и большой степени интеграции выполняются со значениями 1 нс и 12 мВт/вентиль. Такие ИС характеризуются средними значениями параметров  $t_{pd} = 1,7$  нс и  $P = 15$  мВт/вентиль (с учетом внутренних и выходных вентилях).

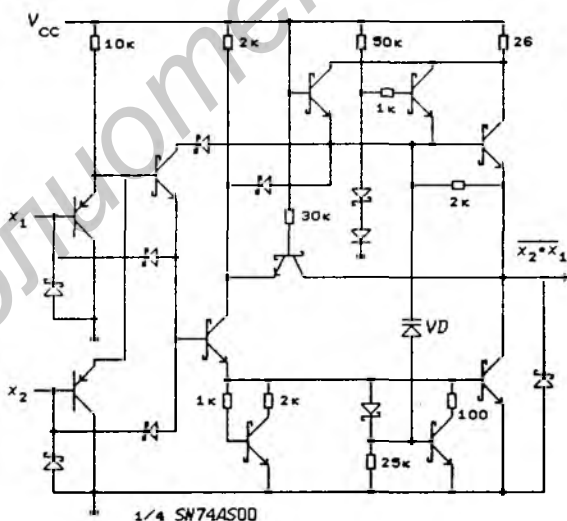


Рис. 5.6

На рис. 5.7 показан базовый ЛЭ 74F00 (КР1531ЛА3), разработанный фирмой *Fairchild Instrument & Camera Corp.*, параметры которого занимают среднее положение по отношению к

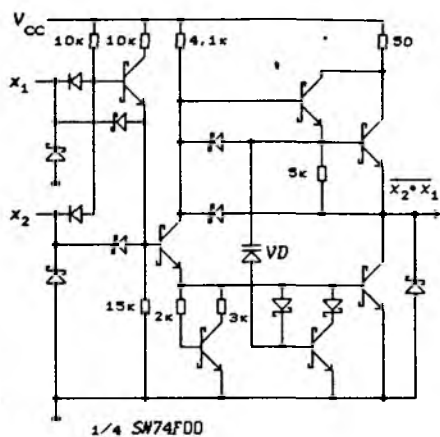


Рис. 5.7

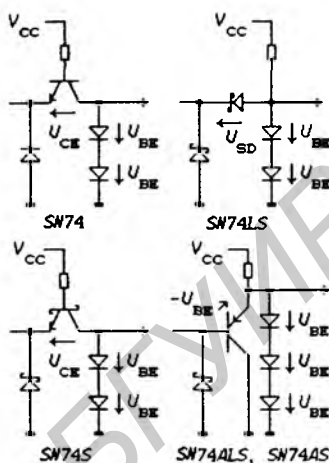


Рис. 5.8

параметрам базовых ЛЭ 74ALS00 и 74AS00:  $t_{pd} = 2$  нс и  $P = 4$  мВт/вентиль. Такие параметры обеспечивают данной серии ИС наиболее широкое применение при проектировании быстродействующих цифровых устройств.

На рис. 5.8 изображены входные цепи ИС некоторых серий с эквивалентной нагрузкой в виде последовательно включенных диодов, обозначающих переходы база-эмиттер транзисторов, которые подключены к этим цепям ( $U_{BE}$  — напряжение открытого перехода база-эмиттер,  $U_{CE}$  — напряжение перехода коллектор-эмиттер,  $U_{SD}$  — напряжение на открытом диоде Шотки). Помехоустойчивость ИС определяется значением порогового уровня переключения  $V_{TH}$ , которое, как следует из рис. 5.8, составляет ([27]):

$$V_{TH} = 2U_{BE} - U_{CE} \approx 1,2 \dots 1,3 \text{ В для серий SN74 и SN74S,}$$

$$V_{TH} = 2U_{BE} - U_{SD} \approx 1,1 \text{ В для серии SN74LS,}$$

$$V_{TH} = 3U_{BE} - U_{BE} \approx 1,4 \dots 1,5 \text{ В для серий SN74AS/ALS.}$$

Для ИС серии SN74F пороговый уровень  $V_{TH} = 1,4 \dots 1,5$  В.

Типовая помехоустойчивость ИС характеризуется допустимым уровнем помех [27]

$$\Delta V_{H \text{ тип}} = V_{OH \text{ тип}} - V_{TH}, \quad \Delta V_{L \text{ тип}} = V_{TH} - V_{OL \text{ тип}},$$

а граничная помехоустойчивость (в наихудшем случае) — величинами

$$\Delta V_H = V_{OH \text{ min}} - V_{IH \text{ min}}, \quad \Delta V_L = V_{IL \text{ max}} - V_{OL \text{ max}}.$$

Таблица 5.5. Помехоустойчивость ИС ТТЛ серий

Тип ИС	$V_{OH}$	$V_{OL}$	$V_{TH}$	$\Delta V_H$	$\Delta V_L$	$V_{OH}$	$V_{IH}$	$V_{OL}$	$V_{IL}$	$\Delta V_H$	$\Delta V_L$
	В <i>typ</i>	В <i>typ</i>	В	В <i>typ</i>	В <i>typ</i>	В <i>min</i>	В <i>min</i>	В <i>max</i>	В <i>max</i>	В	В
<i>TTL</i>	3,4	0,2	1,2	2,2	1,0	2,4	2,0	0,4	0,8	0,4	0,4
<i>S</i>	3,4	0,55	1,2	2,2	0,65	2,4	2,0	0,5	0,8	0,4	0,3
<i>LS</i>	3,4	0,5	1,1	2,3	0,6	2,4	2,0	0,4	0,8	0,4	0,4
<i>ALS, AS</i>	3,2	0,35	1,4	1,8	1,05	2,4	2,0	0,5	0,8	0,4	0,3
<i>74F</i>	3,3	0,42	1,4	1,9	0,98	2,4	2,0	0,55	0,8	0,4	0,25

Таблица 5.6. Предельные значения параметров ИС серий *SN74*

Параметр	<i>TTL</i>	<i>S</i>	<i>LS</i>	<i>ALS</i>	<i>AS</i>	<i>F</i>
Напряжение питания, В	7,0					
Отрицат. напряж. питания, В	-0,5					
Положительное входное напряжение, В	5,5	5,5	7,0	7,0	7,0	7,0
Отрицательное входное напряжение, В	-0,5	-0,5	-0,5	-0,5	-0,5	-1,2
Положит. входной ток, мА	1	1	0,1	*	*	*
Отрицат. входной ток, мА	-12	-18	-18	-30	-30	-30
Положительное выходное напряжение, В	$V_{CC}$					
Отрицательное выходное напряжение, В	-0,5					
Температурный диапазон, °С	-65 ... +150					
Примечание. * — Благодаря использованию на входах <i>p-n-p</i> -транзисторов положительный входной ток не протекает.						



Таблица 5.7. Рекомендуемые условия эксплуатации ИС серий SN74

Параметр	TTL	S	LS	ALS	AS	F
Допуск по напряжению питания, В	$\pm 5\%$	$\pm 5\%$	$\pm 5\%$	$\pm 10\%$	$\pm 10\%$	$\pm 10\%$
$V_{IL\ max}$ , В	0,8					
$V_{IH\ min}$ , В	2,0					
Крутизна фронтов входных сигналов, нс/В	100	50	50	15	8	8
Температурный диапазон, °С	0...+70					

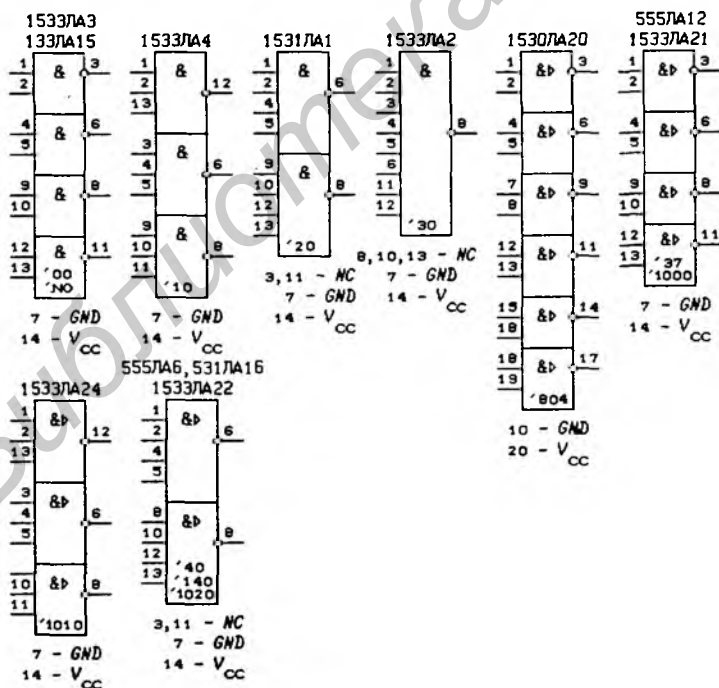


Рис. 5.9

Все параметры ИС, определяющие их помехоустойчивость, указаны в табл. 5.5.

При включении питания, коротких замыканиях и других повреждениях устройства, построенного на ИС, могут нарушиться нормальные условия его эксплуатации. В табл. 5.6 указаны предельные значения параметров ИС, не выводящие их из строя [27]. Рекомендуемые условия эксплуатации ИС приведены в табл. 5.7 [27].

**Логические элементы.** Условные графические обозначения основных логических элементов — повторителя (буфера), НЕ (инвертора), И, И-НЕ, ИЛИ, ИЛИ-НЕ, сумма по модулю два, И-ИЛИ-НЕ — и выполняемые ими функции были приведены на рис. 1.6. Такие же обозначения используются и для перечисленных ЛЭ с большим числом входов.

На рис. 5.9 показаны ЛЭ И-НЕ (*NAND Gates*), выпускаемые отечественной промышленностью. На рисунках будет указываться ИС только одной серии, хотя ИС, выполняющие те же функции и имеющие то же расположение выводов, могут выпускаться и в других сериях. Зарубежные аналоги в дальнейшем, как правило, будут указываться внизу условного графического обозначения ИС (например, ИС 1533ЛА3 имеет аналог *SN74ALS00*, что отмечено знаками '00, а ИС 133ЛА15 не имеет аналога — 'no). Мощные выходы буферов и драйверов помечаются знаком "P". Вывод корпуса обозначен аббревиатурой *GND* (*Ground* — корпус, земля), а неиспользуемые выводы — через *NC* (*No Connection*).

Логические элементы ИЛИ-НЕ (*NOR Gates*) и НЕ (*NOT Gates*) отечественного производства изображены на рис. 5.10. Интегральная схема 155ЛЕ3 (два 4-входовых ЛЭ ИЛИ-НЕ со стробированием) выполняет функцию

$$y = \overline{(x_4 \vee x_3 \vee x_2 \vee x_1)} \cdot E,$$

где *E* — стробирующий сигнал, (*E* — *Enable* — разрешение). Некоторые ЛЭ ИЛИ-НЕ и И-ИЛИ-НЕ (например, 155ЛЕ2; *EXP* — *Expandable*) имеют дополнительные входы *C* (*Collector*) и *E* (*Emitter*) для подключения расширителей (*Expander*) по ИЛИ. Использование таких ЛЭ будет рассмотрено далее при описании ЛЭ И-ИЛИ-НЕ.

На рис. 5.11 приведены ЛЭ И (*AND Gates*), ИЛИ (*OR Gates*), повторители (*Buffers, Drivers* — буферы, драйверы), сумма по модулю два (*XOR* — *Exclusive OR Gates* — исключаящее ИЛИ) и мажоритарный элемент (*Majority Logic Gate*) отечественного производства. Одноименные ЛЭ различаются числом входов

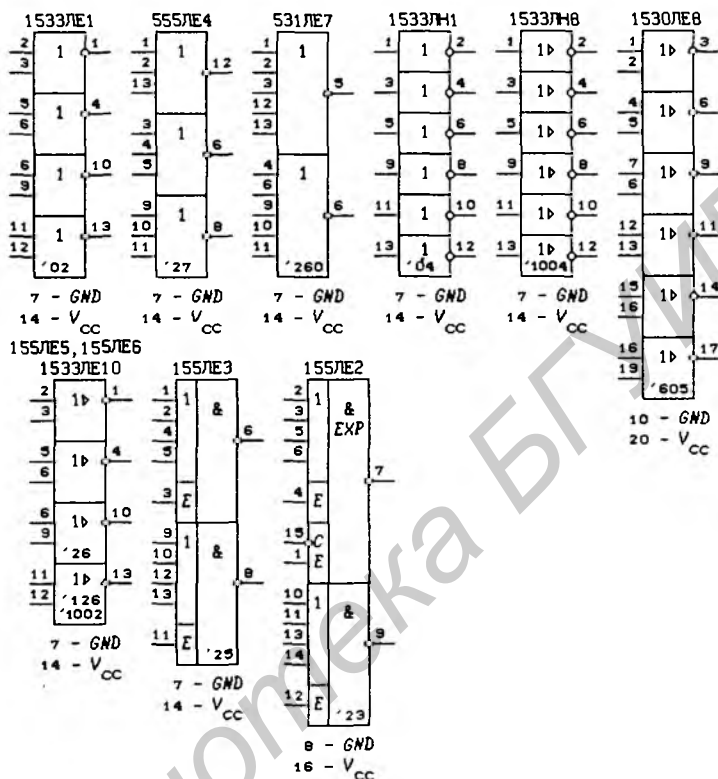


Рис. 5.10

и электрическими параметрами. Эквивалентные графические обозначения ЛЭ сумма по модулю два показаны на рис. 5.12,а.

**Мажоритарным элементом (МЭ)** называется логический элемент, имеющий нечетное число входов  $m$ , выход которого принимает значение логической единицы только в тех случаях, когда более чем на половину входов поданы сигналы логической единицы. Трехвходовой МЭ с прямым выходом выполняет функцию

$$y = x_3x_2 \vee x_3x_1 \vee x_2x_1,$$

а с инверсным выходом — функцию

$$y = \overline{x_3x_2 \vee x_3x_1 \vee x_2x_1} = \overline{x_3}\overline{x_2} \vee \overline{x_3}\overline{x_1} \vee \overline{x_2}\overline{x_1}.$$

На рис. 5.12,б показаны две эквивалентные формы МЭ с инверсными выходами, соответствующие двум вышеприведенным формам представления функции (ИС 533ЛПЗ).

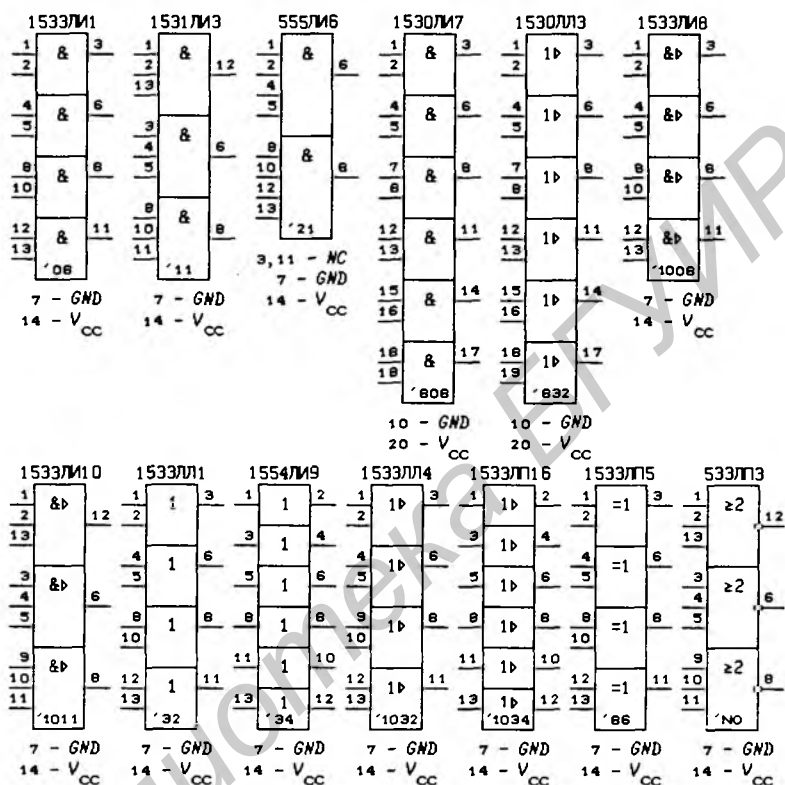


Рис. 5.11

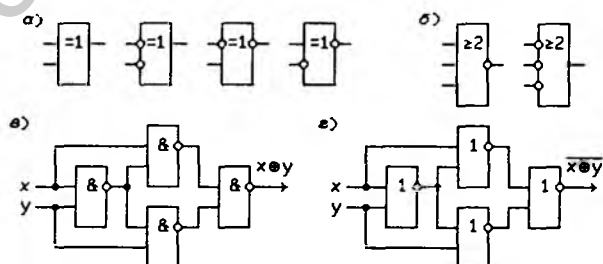


Рис. 5.12

На основании закона двойственности многие ЛЭ могут быть представлены в двух эквивалентных формах (рис. 1.18). Одна из возможных реализаций операции  $x \oplus y$  приведена на рис. 5.12,в:

$$\overline{\overline{xy} \cdot x \cdot \overline{xy}} \cdot y = x \oplus y.$$

Схема на рис. 5.12,г, реализующая операцию  $\overline{x \oplus y}$  (*XNOR* — *Exclusive NOR*), получена из предыдущей схемы на основании закона двойственности (см. § 1.14).

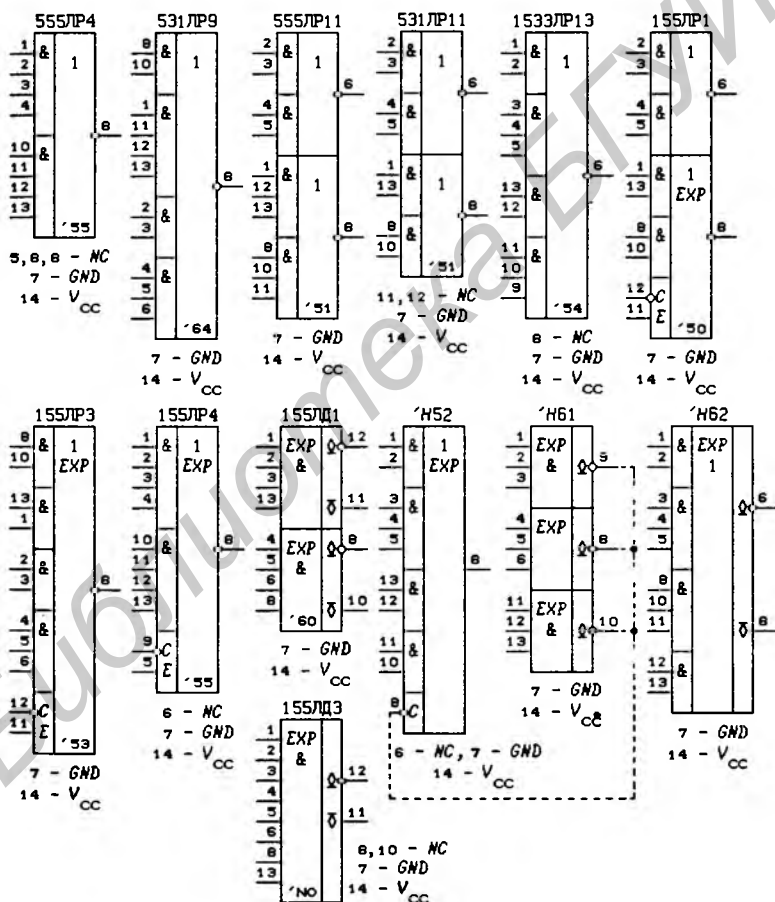


Рис. 5.13

Выпускаемые различными изготовителями ЛЭ И-ИЛИ-НЕ и расширители по ИЛИ представлены на рис. 5.13. Индивиду-

альные названия ЛЭ И-ИЛИ-НЕ содержат описание числа входов, связанных операцией конъюнкции, например, ИС 531ЛР9 называется ЛЭ 2-4-2-ЗИ-ИЛИ-НЕ.

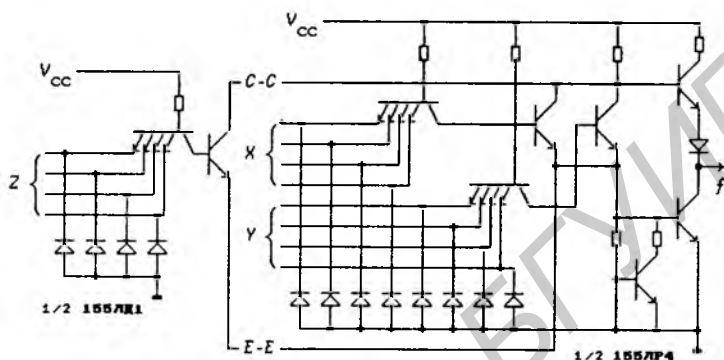


Рис. 5.14

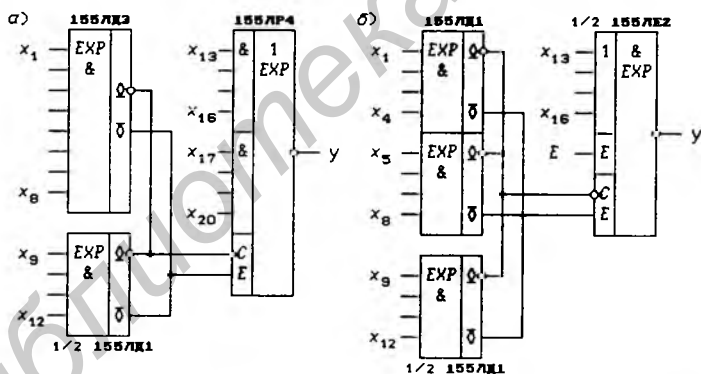


Рис. 5.15

Некоторые ЛЭ И-ИЛИ-НЕ имеют дополнительные входы *C* (*Collector*) и *E* (*Emitter*) или только вход *C*, используемые для подключения расширителей по ИЛИ 155ЛД1, 155ЛД3 и др. Типовая схема ЛЭ И-ИЛИ-НЕ и расширителя по ИЛИ и способ их соединения показаны на рис. 5.14. К выводам *C* и *E* подсоединены коллектор и эмиттер предварительного усилителя ЛЭ И-ИЛИ-НЕ, а выходами ИС 155ЛД1 и 155ЛД2 являются открытый коллектор (обозначается знаком " $\emptyset$ " — см. рис. 5.13) и открытый эмиттер (обозначается знаком " $\nabla$ "), т. е. коллектор и эмиттер транзистора, не подключенные к нагрузкам. Расшири-

тель 74Н61 используется совместно с ЛЭ И-ИЛИ-НЕ 74Н52 — подключение расширителя к ЛЭ выполняется с помощью только одной связи, показанной на рис. 5.13 штриховой линией.

На рис. 5.15,а изображена схема подключения ИС 155ЛД1 и 155ЛД3 к ИС 155ЛР4 для выполнения функции

$$y = x_{20}x_{19}x_{18}x_{17} \vee x_{16}x_{15}x_{14}x_{13} \vee x_{12}x_{11}x_{10}x_9 \vee x_8x_7x_6x_5x_4x_3x_2x_1.$$

Схема логического элемента ИЛИ-НЕ 155ЛЕ2 с расширением по ИЛИ представлена на рис. 5.15,б:

$$y = (x_{16} \vee x_{15} \vee x_{14} \vee x_{13}) \cdot E \vee x_{12}x_{11}x_{10}x_9 \vee x_8x_7x_6x_5 \vee x_4x_3x_2x_1.$$

В табл. 5.8 приведены максимальные значения основных статических и динамических параметров ЛЭ ( $I_{CCCL}/I_{CCN}$  — токи потребления при низких и высоких уровнях выходных сигналов). Как правило, разработчикам электронной аппаратуры достаточно знания этих параметров для правильного выбора ИС, подробные же таблицы параметров, приведенные, например, в справочниках [28 – 35], используются при необходимости более точных оценок задержек в цепях передачи сигналов и учета различий входов по потребляемому току.

На рис. 5.16 приведены некоторые ЛЭ фирмы TI, не имеющие отечественных аналогов:

74LS31 — шесть элементов задержки с временем задержки, мало зависимым от температуры и напряжения питания ( $t_{PLH} = 32$  нс,  $t_{PHL} = 23$  нс,  $t_{pd} = 27,5$  нс — для инверторов,  $t_{PLH} = 45$  нс,  $t_{PHL} = 48$  нс,  $t_{pd} = 46,5$  нс — для повторителя и  $t_{PLH} = t_{PHL} = t_{pd} = 6$  нс — для ЛЭ И-НЕ); все элементы задержки имеют на входах  $p$ - $n$ - $p$ -транзисторы для снижения величины входного тока;

7487 — ИС, реализующая все четыре функции  $F_i = x_i, \bar{x}_i, 0$  и 1, одной переменной ( $A_i = x_i, i = 0, 1, 2, 3$ );

74S135 — две пары ЛЭ XOR/XNOR ( $P$  — Polarity), выполняющих функции

$$F_i = A_i \oplus B_i \oplus P = \begin{cases} A_i \oplus B_i & \text{при } P = 0, \\ \overline{A_i \oplus B_i} & \text{при } P = 1, i = 1, 2; \end{cases}$$

74265 — четыре ЛЭ с комплементарными (прямым и инверсным) выходами, относительная задержка сигналов на которых не превышает 0,5 нс (формирователи противофазных сигналов с совпадающими во времени фронтами) и др.

Перечень отечественных ИС, выполняемых по ТТЛ технологиям, приведен в табл. П1.1, а зарубежных ИС — в табл. П1.4. Эти таблицы позволяют производить быстрый поиск необходимых ИС по их функциональному назначению, а также об-

Таблица 5.8. Максимальные значения параметров ЛЭ

ИС	SN74	$t_{PHL}/t_{PLH}$ , нс	$I_{CCL}/I_{CCH}$ , мА	$I_{OL}/I_{OH}$ , мА	Функция
155ЛА1	20	15/22	11/4	16/0,4	4И-НЕ×2
531ЛА1	S20	4,5/5	18/8	20/1	
555ЛА1	LS20	15/15	2,8/0,8	8/0,4	
1531ЛА1	F20	3,8/3,9	5,1/1,4	20/1	
1533ЛА1	ALS20	12/12	1,5/0,4	8/0,4	
155ЛА2	30	15/22	6/2	16/0,4	8И-НЕ
531ЛА2	S30	7/8	10/5	20/1	
555ЛА2	LS30	20/15	1,8/0,48	8/0,4	
1531ЛА2	F30	5/5,5	7/1,5	20/1	
1533ЛА2	ALS30	12/12	0,9/0,36	8/0,4	
155ЛА3	00	15/22	22/8	16/0,4	2И-НЕ×4
531ЛА3	S00	8/7	36/16	20/1	
555ЛА3	LS00	15/15	4/1,6	8/0,4	
1531ЛА3	F00	3,6/3,9	10,2/2,8	20/1	
1533ЛА3	ALS00	12/12	3/0,85	8/0,4	
155ЛА4	10	15/22	16,5/6	16/0,4	3И-НЕ×3
531ЛА4	S10	5/4,5	27/12	20/1	
555ЛА4	LS10	15/15	3/1,2	8/0,4	
1531ЛА4	F10	3,7/3,9	7,7/2,1	20/1	
1533ЛА4	ALS10	10/11	2,2/0,6	8/0,4	
155ЛА6	40	15/22	27/8	48/1,2	4И-НЕ×2
555ЛА6	LS40	24/24	6/1,8	24/1,2	
155ЛА12	37	15/22	35/10,5	48/1,2	2И-НЕ×4
531ЛА12	S37	6,5/6,5	80/36	60/3	
555ЛА12	LS37	24/24	12/3,5	24/1,2	
531ЛА16	S140	6,5/6,5	44/18	60/40	4И-НЕ×2
1530ЛА20	AS140	3,4/3,8	50/27	20/1	2И-НЕ×6
155ЛЕ1	02	15/22	25/11	16/0,4	2И-ИЛИ- -НЕ×4
531ЛЕ1	S02	5,5/5,5	45/29	20/1	
555ЛЕ1	LS02	15/15	6/2,2	8/0,4	
1531ЛЕ1	F02	3,5/4,8	13/5,6	20/1	
1533ЛЕ1	ALS02	10/12	4/1,5	8/0,4	



Продолжение табл. 5.8

ИС	SN74	$t_{PHL}/t_{PLH}$ , нс	$I_{CCL}/I_{CCH}$ , мА	$I_{OL}/I_{OH}$ , мА	Функция
155ЛЕ2	23	15/22	15/9	16/0,8	4ИЛИ-НЕ×2
155ЛЕ3	25	15/22	19/16	16/0,8	4ИЛИ-НЕ×2
155ЛЕ4	27	11/15	26/16	16/0,4	3ИЛИ-НЕ×3
555ЛЕ4	LS27	15/15	3,3/1,5	8/0,4	3ИЛИ-НЕ×3
155ЛЕ5	28	12/9	57/21	48/2,4	2ИЛИ-НЕ×4
155ЛЕ6	128	12/9	57/21	48/2,4	2ИЛИ-НЕ×4
531ЛЕ7	S260	6/5,5	45/29	20/1	5ИЛИ-НЕ×2
155ЛИ1	08	19/27	33/21	16/0,8	2И×4
531ЛИ1	S08	7,5/7	57/32	20/1	
555ЛИ1	LS08	20/15	5,7/3,4	8/0,4	
1531ЛИ1	F08	5/5,5	12,9/8,3	20/1	
1533ЛИ1	ALS08	10/14	4/2,4	8/0,4	
531ЛИ3	S11	7,5/7	42/24	20/1	3И×3
555ЛИ3	LS11	20/15	5,1/2,6	8/0,4	
1531ЛИ3	F11	5/5,5	9,7/6,2	20/1	
1533ЛИ3	ALS11	10/13	2,5/1,3	8/0,4	
155ЛЛ1	32	15/22	40/19	16/0,8	2ИЛИ×4
531ЛЛ1	S32	7/7	68/32	20/1	
555ЛЛ1	LS32	22/22	8,2/4	8/0,4	
1531ЛЛ1	F32	5/5,5	15,5/8,3	20/1	
1533ЛЛ1	ALS32	14/12	5/2,3	8/0,4	
155ЛН1	04	15/22	33/12	16/0,4	НЕ×6
531ЛН1	S04	5/4,5	54/24	20/1	
555ЛН1	LS04	15/15	5,4/2,4	8/0,4	
1531ЛН1	F04	3,5/4,8	15,3/4,2	20/1	
1533ЛН1	ALS04	12/12	3,8/1,1	8/0,4	
155ЛП5	86	22/30	50/50	16/0,8	XOR×4
531ЛП5	S86	10/10,5	75/75	20/1	
555ЛП5	LS86	22/30	10/10	8/0,4	
1533ЛП5	ALS86	22/27	7/7	8/0,4	

Окончание табл. 5.8

ИС	SN74	$t_{PHL}/t_{PLH}$ , нс	$I_{CCL}/I_{CCH}$ , мА	$I_{OL}/I_{OH}$ , мА	Функция
155ЛР1	50	15/22	14/8	16/0,4	И-ИЛИ-НЕ
155ЛР3	53	15/22	9,5/8	16/0,4	И-ИЛИ-НЕ
155ЛР4	H55	15/22	14/8	16/0,4	И-ИЛИ-НЕ
555ЛР4	LS55	20/20	0,7/0,4	8/0,4	И-ИЛИ-НЕ
531ЛР9	S64	2,7/5,5	16/12,5	20/1	И-ИЛИ-НЕ
531ЛР11	S51	2,7/5,5	22/17,8	20/1	И-ИЛИ-НЕ
555ЛР11	LS51	20/20	1,6/1,1	8/0,4	И-ИЛИ-НЕ
555ЛР13	LS54	20/20	2/0,9	8/0,4	И-ИЛИ-НЕ
1533ЛР13	ALS54	20/20	1,6/1,25	8/0,4	И-ИЛИ-НЕ
155ЛД1	60	—	4/2,5	—	EXP-4И×2
155ЛД3	—	—	4/2,5	—	EXP-8И

легчают установление функционального назначения ИС по их названию или номеру. Основные статические и динамические параметры рассмотренных в монографии зарубежных ИС приведены в табл. П2.1 и П2.2 [27, 36, 37]. Полезный справочный материал можно найти также в [38].

Интегральные схемы различных серий, имеющие одинаковые названия (например, ЛАЗ, ЛИ1 и т. д.), как правило, имеют одинаковое функциональное назначение и расположение выводов. Указанное правило позволяет использовать ИС новых серий при модернизации старых разработок. Однако, имеются и исключения из этого правила, например, ИС 555ЛР11 и 531ЛР11 (см. рис. 5.13) имеют разное число входов у одного из ЛЭ И-ИЛИ-НЕ. В дальнейшем встретятся еще подобные примеры. Конечно, не следовало бы для ИС, имеющих различное функциональное назначение, использовать одинаковые обозначения.

**Классификация ИС по степени интеграции.** Для количественной оценки сложности ИС используются понятия малой, средней, большой и сверхбольшой степени интеграции. Соответственно этому ИС подразделяются на МИС (до 100 компонентов), СИС (101 – 1000 компонентов), БИС (1001 – 10000 компонентов) и СБИС (более 10000 компонентов). По-английски перечисленные степени интеграции называются:

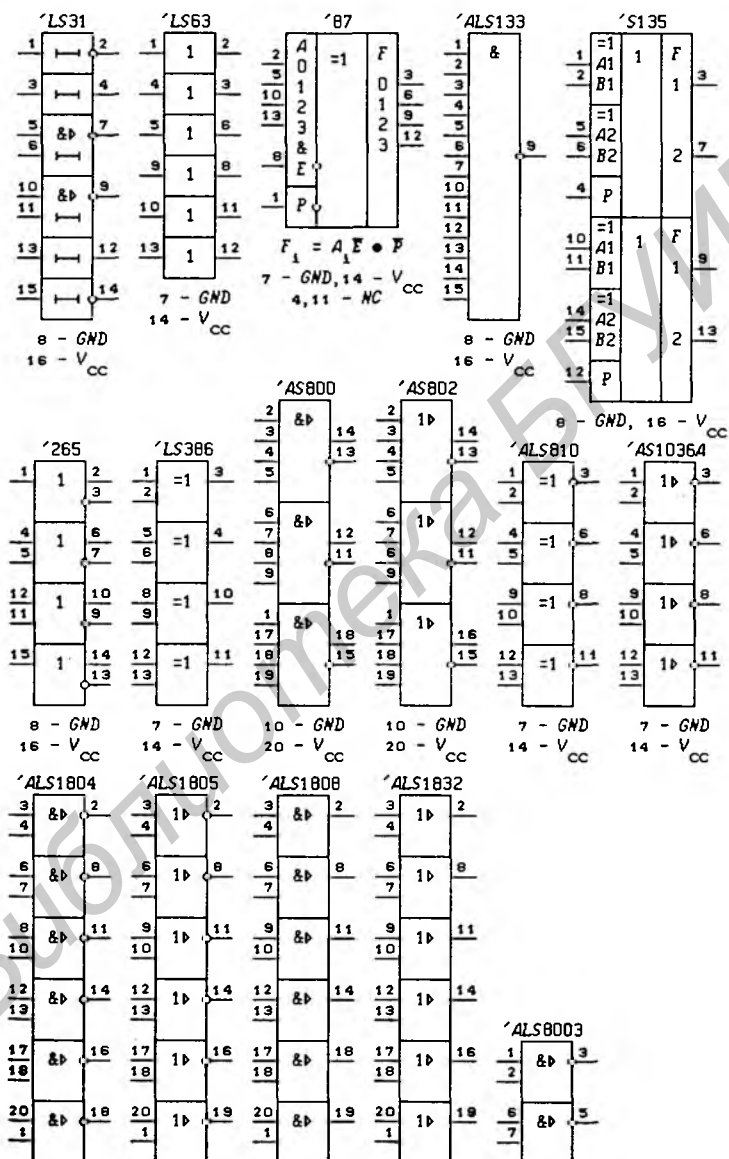


Рис. 5.16

SSI — *Small-scale integration* (малая степень интеграции),  
 MSI — *Medium-scale integration* (средняя степень интеграции),  
 LSI — *Large-scale integration* (большая степень интеграции),  
 VLSI — *Very-large-scale integration* (сверхбольшая степень интеграции).

Деление ИС на классы по числу компонентов, в них содержащихся, достаточно условно и может со временем изменяться.

## 5.2. Интегральные схемы КМОП серий

Для проектирования цифровых ИС кроме биполярных  $n$ - $p$ - $n$ - и  $p$ - $n$ - $p$ -транзисторов используются также униполярные полевые  $n$ - и  $p$ -канальные транзисторы (рис. 5.17,а), которые называются МОП-транзисторами (*MOS-transistors*; *MOS* — *Metal-Oxide-Semiconductor* — металл-окисел-полупроводник). В общем случае полевой транзистор имеет четыре электрода: исток  $S$  (*Source*), сток  $D$  (*Drain*), затвор  $G$  (*Gate*) и подложка  $SS$  (*Substrate*). Вывод затвора в изображении полевых транзисторов смещается ближе к истоковому выводу. Изображение канала с обогащением штриховой линией символизирует отсутствие проводимости между стоком и истоком при нулевом напряжении затвор-исток. На рис. 5.17,а символами “+” и “-” обозначены полярности напряжений на электродах для нормального режима работы полевого транзистора. Подложка  $SS$  обычно подключается к истоку или к одному из полюсов источника питания.

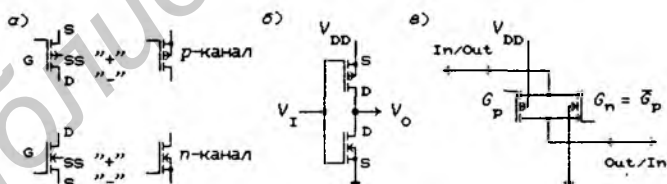


Рис. 5.17

На рис. 5.17,б показана схема включения пары комплементарных транзисторов (транзисторов с разными типами каналов), представляющая собой электронный ключ — инвертор (ЛЭ НЕ). Особенностью данного ключа является отсутствие тока через транзисторы в статическом состоянии, так как при любом значении входного сигнала один из последовательно включенных транзисторов закрыт. Ключ потребляет ток только при его переключении на интервале времени, в течение которого изменяется входной сигнал. На этом интервале оба транзистора

открыты, так как входной сигнал имеет значения  $0 < V_I < V_{DD}$ , что приводит к значениям разностей напряжений между затворами и истоками  $n$ - и  $p$ -канальных транзисторов, значительно отличающимися от нулевых. Наибольший ток протекает при  $V_I = V_{DD}/2$ .

Полевые транзисторы позволяют построить не только цифровые, но и аналоговые ключи для коммутации двуполярных аналоговых сигналов, что невозможно сделать на биполярных транзисторах. На рис. 5.17,в показан основной элемент такого аналогового ключа (вместо потенциала земли для коммутации двуполярных сигналов следует подать отрицательное напряжение  $V_{EE}$ ). При значениях  $G_p = V_{DD}$  и  $G_n = V_{EE}$  оба транзистора закрыты (сопротивление  $R_{OFF}$  закрытого ключа составляет сотни МОм) — ключ разомкнут, а при  $G_p = V_{EE}$  и  $G_n = V_{DD}$  открывается один из транзисторов в зависимости от полярности коммутируемого входного напряжения  $V_{EE} < V_I < V_{DD}$ . В этом случае сопротивление между полюсами ключа  $In/Out$  и  $Out/In$  составляет от единиц до сотен Ом в зависимости от типа ключа (сопротивление  $R_{ON}$  открытого ключа). Чем меньше зависимость величины  $R_{ON}$  от напряжения коммутируемого сигнала, тем выше линейность ключа. При проектировании аналоговых ключей принимают меры по улучшению их линейности. Вход  $In/Out$  и выход  $Out/In$  у аналогового ключа неразличимы — входом будет тот полюс ключа, на который подан коммутируемый сигнал.

Разработаны три основные технологии изготовления ИС на полевых транзисторах:

$n$ -МОП технология (*n-MOS technology*),

$p$ -МОП технология (*p-MOS technology*),

КМОП технология (*CMOS technology*; *CMOS — Complementary MOS*).

Все эти технологии постоянно совершенствуются с целью увеличения быстродействия и степени интеграций элементов на кристалле. К настоящему времени разработано несколько десятков этих технологий.

**Схемотехника КМОП ИС.** Первые КМОП ИС серии *CD4000* были разработаны фирмой *RCA* в 1968 г. [26], затем была выпущена серия *CD4000A*, вытесненная впоследствии (1976 г.) серией *CD4000B* с улучшенными характеристиками. Данные серии ИС выпускают многие зарубежные фирмы, например, *Motorola* (ИС серии *MC14000B*), *National Semiconductor* (ИС серии *CD4000B*), *Phillips Components* (ИС серии *HEF4000B*), *SGS-Ates* (ИС серий *HCC4000B/HCF4000B*) и др. Общим не-

достатком ИС всех этих серий является их низкое быстродействие (время задержки сигналов  $t_{pd}$  достигает сотен нс) и малые значения выходных токов.

В 1981 г. фирмами *Motorola* и *National Semiconductor* были разработаны ИС серий 54НС/74НС (НС — *High speed CMOS*), близкие по физическим параметрам к сериям 54LS/74LS. В частности, быстродействие этих КМОП и ТТЛ серий одинаково (среднее время задержки вентиля  $t_{pd} = 10$  нс). Еще большее быстродействие было достигнуто в КМОП сериях 54АС/74АС (АС — *Advanced CMOS*), разработанных в 1985 г. фирмой *Texas Instruments Inc.* ( $t_{pd} = 3,5$  нс). Положительные свойства как ТТЛ ИС, так и КМОП ИС были реализованы фирмой *TI* в ИС серии *VCT* (1987 г.), изготовляемых по *BiCMOS*-технологии (*Bipolar CMOS TTL Compatible input* — технология с размещением биполярных и КМОП транзисторов на одном кристалле с уровнями входных и выходных сигналов ИС, совместимых с ТТЛ-уровнями) [27].

В табл. 5.9 приведено соответствие отечественных и зарубежных серий КМОП ИС. Напряжение питания у КМОП ИС можно изменять в широких пределах — чем выше напряжение питания, тем больше быстродействие ИС. По выполняемым функциям и (или) нумерации выводов ИС серий 4000 в большинстве своем отличаются от ТТЛ ИС аналогичного функционального назначения. Функциональный ряд ИС серий 54НС/74НС включает в себя часть ИС как ТТЛ серий 54/74, так и КМОП серий 4000 (ИС с одинаковыми номерами во всех этих сериях имеют одинаковое функциональное назначение и нумерацию выводов).

На рис. 5.18,а показаны цепи диодной защиты входов и выходов ЛЭ от электростатического напряжения у ИС серии *CD4000A*, а на рис. 5.18,б — у ИС серии *CD4000B*. Такую защиту входов и выводов имеют все цифровые ИС, кроме преобразователей уровней напряжений *CD4049UB* (561ЛН2) и *CD4050B* (561ПУ4), у которых используется другой вариант защиты входов (рис. 5.19). При первом варианте защиты входов уровни входных сигналов не должны превышать напряжения питания  $V_{DD}$  из-за открывания диода, включенного между входом и полюсом  $V_{DD}$ . При втором варианте защиты уровни входных сигналов могут в несколько раз превышать значение  $V_{DD}$ , не выводя ИС из строя (избыточное напряжение гасится на резисторе). В этом случае ИС работает как понижающий преобразователь уровня логической 1. Входная цепь обеспечивает также защиту от отрицательных значений напряжений входных сигналов. В

Таблица 5.9. Соответствие отечественных и зарубежных КМОП серий

Отечественные серии ИС	Зарубежные серии ИС	Фирма	Напряжение питания, В
164, 176	CD4000	RCA	9 и 3...15
564, 561	CD4000A MC14000A	RCA Motorola	3...15
KP1561	CD4000B MC14000B	RCA Motorola	3...18
1564	54HC	National Semiconductor, Motorola	2...6
KP1554 KP1594	74AC 74ACT	Texas Instruments	3...5,5

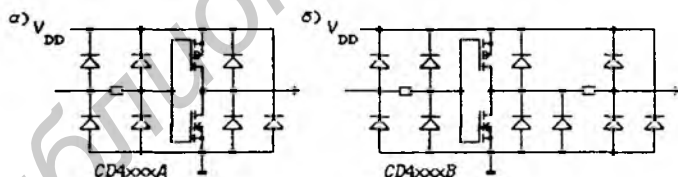


Рис. 5.18

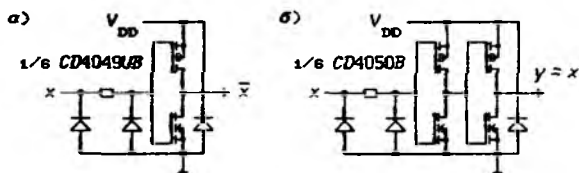


Рис. 5.19

дальнейшем цепи защиты входов и выходов, как правило, показываться не будут.

Различие между сериями *CD4000A* (рис. 5.19,а) и *CD4000B* (рис. 5.19,б) заключается в наличии на выходах ИС последней дополнительных буферов для развязки ИС от внешней среды. Вместо серии *CD4000A* в настоящее время выпускается серия *CD4000UB* с небуферизованными выходами, имеющая аналогичные электрические параметры (*UB* — *Unbuffered*, *B* — *Buffered*). Наличие в серии *CD4000B* дополнительных выходных буферов приводит к увеличению задержек сигналов в ЛЭ, но улучшает переключательные характеристики. Сравнительная характеристика этих серий приведена в табл. 5.10.

Таблица 5.10. Параметры ИС серий *CD4000B* и *CD4000UB*

Параметр	<i>CD4000B</i>	<i>CD4000UB</i>
Выходное сопротивление при $V_{DD} = 5$ В, Ом ( <i>тип</i> )	400	зависит от числа входов
Задержка распространения, измеренная на уровне 50% от $V_{DD}$ , нс	150 ( $V_{DD} = 5$ В)	60 ( $V_{DD} = 5$ В)
	65 ( $V_{DD} = 10$ В)	30 ( $V_{DD} = 10$ В)
	50 ( $V_{DD} = 15$ В)	25 ( $V_{DD} = 15$ В)
Коэффициент усиления по переменному току, <i>дБ</i>	68	28 ( $V_{DD} = 5$ В)
		23 ( $V_{DD} = 10$ В)
		18 ( $V_{DD} = 15$ В)
Ширина полосы пропускания, кГц	230 ( $V_{DD} = 5$ В)	710 ( $V_{DD} = 5$ В)
	280 ( $V_{DD} = 10$ В)	885 ( $V_{DD} = 10$ В)
	295 ( $V_{DD} = 15$ В)	2800 ( $V_{DD} = 15$ В)
Входная емкость, пФ ( <i>тип</i> ) пФ ( <i>max</i> )	1 – 2	2 ÷ 3
	2 – 4	5 – 10
Допустимая величина помех, В	1 ( $V_{DD} = 5$ В)	0,5 ( $V_{DD} = 5$ В)
	2 ( $V_{DD} = 10$ В)	1 ( $V_{DD} = 10$ В)
	2,5 ( $V_{DD} = 15$ В)	1 ( $V_{DD} = 15$ В)

Реализация аналогового ключа *MC14016B* показана на рис. 5.20. При значении сигнала  $OE = 1$  ( $OE$  — *Output Enable*) ключ открыт, а при  $OE = 0$  — закрыт. В закрытом состоянии ключ характеризуется большим выходным импедансом и принято говорить, что выход находится в *Z*-состоянии. Вместо потенциа-



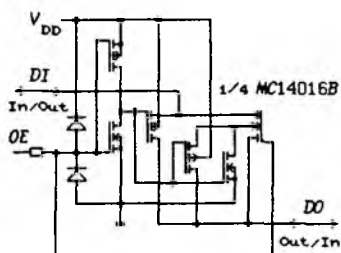


Рис. 5.20

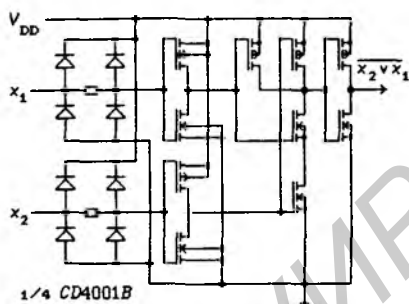


Рис. 5.21

ла земли можно подать отрицательное напряжение  $V_{EE}$ , но при этом должно выполняться условие  $V_{DD} - V_{EE} \leq 15$  В.

Схема двухвходового ЛЭ ИЛИ-НЕ  $CD4001B$  представлена на рис. 5.21. Выходной каскад на двух комплементарных транзисторах является буферным каскадом, так как он изолирует все внутренние связи от выхода ЛЭ. Различие между небуферированной ( $UB$ ) и буферированной ( $B$ ) сериями наглядно видно из рис. 5.22, где представлены ЛЭ  $MC14011UB$  и  $MC14011B$ , выполняющие одинаковые функции 2И-НЕ. Другое схематическое исполнение ЛЭ 2И-НЕ показано на рис. 5.23.

Универсальный набор элементов, состоящий из двух комплементарных пар МОП-транзисторов и инвертора, реализован в ИС  $CD4007UB$  (рис. 5.24). Данный набор позволяет пользователю с помощью внешних соединений выводов ИС получать аналоговые коммутаторы и ЛЭ:

аналоговый двухканальный коммутатор (рис. 5.25) — соединены выводы 2 и 9; 4 и 11; 3 и 6; 8, 10 и 13; 1, 5 и 12;

три инвертора — соединить выводы 2, 11 и 14; 4, 7 и 9; 8 и 13 (выход НЕ со входом 6); 1 и 5 (выход НЕ со входом 3); 10 — вход НЕ, 12 — выход НЕ;

ЗИЛИ-НЕ — соединить выводы 4, 7 и 9; 2 и 13; 1 и 11; 5, 8 и 12 (выход ЛЭ со входами 3, 6 и 10);

ЗИ-НЕ — соединить выводы 2, 11 и 14; 4 и 8; 5 и 9; 1, 12 и 13 (выход ЛЭ со входами 3, 6 и 10);

ЛЭ, реализующий функцию  $f = \overline{x_1(x_2 \vee x_3)}$  — соединить выводы 2 и 14; 4, 8 и 9; 1 и 11; 5, 12 и 13 (выход  $f$ ; 6 —  $x_1$ , 3 —  $x_2$ , 10 —  $x_3$ );

ЛЭ, реализующий функцию  $f = \overline{x_1 x_2 \vee x_3}$  — соединить выводы 2 и 14; 7 и 9; 4 и 8; 1, 11 и 13; 5 и 12 (выход  $f$ ; 6 —  $x_1$ , 3 —  $x_2$ , 10 —  $x_3$ );

инвертор с  $Z$ -состоянием выхода, выполняющий функцию

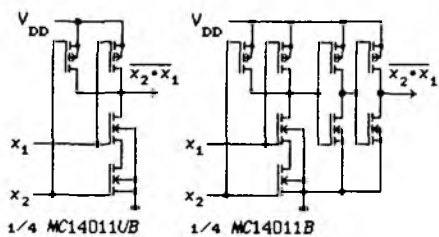


Рис. 5.22

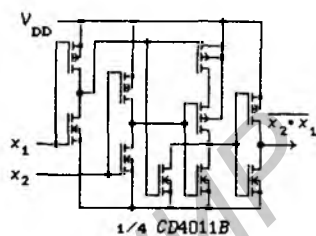


Рис. 5.23

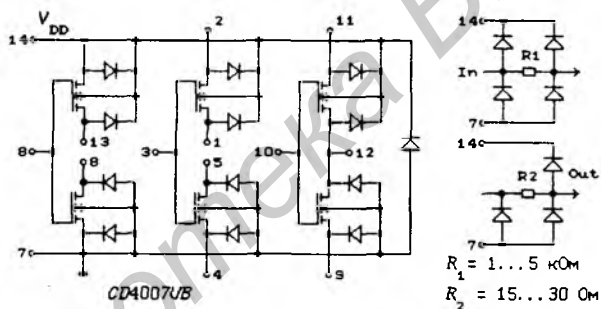


Рис. 5.24

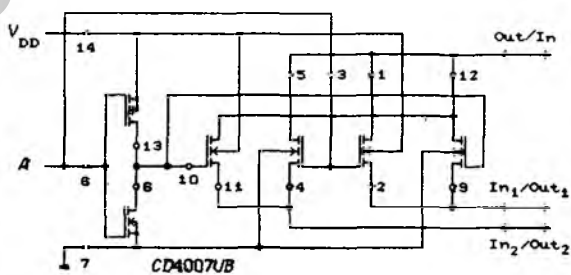


Рис. 5.25

$f = \bar{x}$  при  $\overline{OE} = 0$  и  $Z$ -состояние выхода  $f$  при  $\overline{OE} = 1$  — соединить выводы 8, 11 и 13; 6 и 9 ( $\overline{OE}$ ; 10 —  $x$ , 12 —  $f$ ).

По сравнению с ТТЛ ИС следует отметить следующие достоинства КМОП ИС серий 4000 (серий 561 и 1561):

малая мощность потребления в диапазоне частот до 2 МГц (в статическом режиме мощность потребления составляет 0,02...1 мкВт на вентиль);

большой диапазон напряжения питания (3...15 В) — можно использовать нестабилизированный источник питания;

очень высокое входное сопротивление ( $10^3 \dots 10^6$  МОм);

большая нагрузочная способность ( $n = 50$ ;  $n = 1000$  — на частотах до 10 кГц);

малая зависимость характеристик от температуры.

К недостаткам КМОП ИС серий 4000 (серий 561 и 1561) следует отнести:

повышенное выходное сопротивление (0,5...1 кОм);

большое влияние емкости нагрузки и напряжения питания на время задержки, длительность фронтов и потребляемую мощность;

большие времена задержек и длительности фронтов;

большой разброс всех параметров.

Увеличение мощности потребления с повышением частоты переключения вызвано наличием паразитных емкостей у входов ИС. Зависимость динамической мощности потребления  $P$  от емкости  $C$ , частоты переключения  $f$  и напряжения питания  $V_{DD}$  определяется формулой:

$$P = 0,5 \cdot C \cdot V_{DD}^2 \cdot f.$$

Графики зависимостей рассеиваемой мощности  $P$  от частоты  $f$  для КМОП и ТТЛ ИС пересекаются на некоторой частоте, поскольку у ТТЛ ИС динамическая мощность очень слабо зависит от частоты переключения. На предельно допустимых частотах мощность потребления КМОП ИС оказывается такого же порядка, что и у ТТЛ ИС.

В статическом режиме (без перегрузки) у КМОП ИС уровни выходных сигналов значительно отличаются от уровней ТТЛ ИС:  $V_{OL} = 0$  В и  $V_{OH} = V_{DD}$  у КМОП ИС в отличие от типовых значений  $V_{OL} = 0,2$  В и  $V_{OH} = 3,4$  В у ТТЛ ИС. Требования к уровням входных сигналов также значительно различаются:  $V_{IL} \leq 0,2 \cdot V_{DD}$  и  $V_{IH} \geq 0,8 \cdot V_{DD}$  у КМОП ИС в отличие от  $V_{IL} \leq 0,8$  В и  $V_{IH} \geq 2,0$  В у ТТЛ ИС. Соответственно различаются пороги переключения:  $V_{DD}/2$  для КМОП ИС и 1,2 В для ТТЛ ИС. Это вызывает определенные трудности при использовании в одном устройстве ТТЛ и КМОП ИС — уровень  $V_{OHTTL} <$

$V_{IH\text{CMOS}}$  при  $V_{DD} = 5$  В. Способы согласования уровней будут рассмотрены в § 5.6.

В сериях *SN54/SN74* выпускаются КМОП ИС двух типов: серии *54НС/74НС* и *54АС/74АС*, не согласованные по входам с ТТЛ ИС, и серии *54НСТ/74НСТ* и *54АСТ/74АСТ*, согласованные по входам с ТТЛ ИС (не требующие дополнительного преобразования уровней). Эти серии различаются выполнением входных и выходных цепей ИС, показанных на рис. 5.26, а для ИС серий *54НС/74НС*, на рис. 5.26, б — для ИС серий *54НСТ/74НСТ*, на рис. 5.27 — для ИС серий *54АС/74АС* и на рис. 5.28 — для ИС серий *54АСТ/74АСТ*. Пороги переключения у ИС серий *54НСТ/74НСТ* и *54АСТ/74АСТ* находятся между 1,3...1,45 В, а у ИС серий *54НС/74НС* и *54АС/74АС* порог переключения равен  $V_{CC}/2$  при требовании к уровням входных сигналов, задаваемом неравенствами  $V_{IL} \leq 0,3 \cdot V_{CC}$  и  $V_{IH} \geq 0,7 \cdot V_{CC}$ .

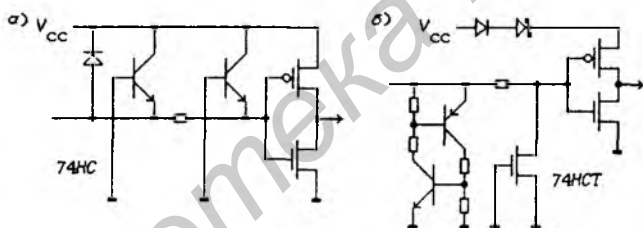


Рис. 5.26

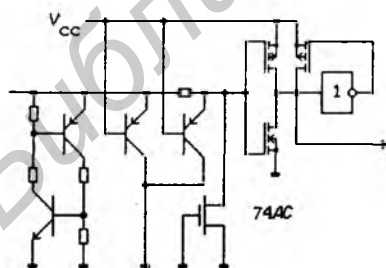


Рис. 5.27

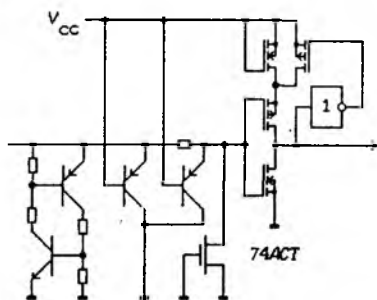


Рис. 5.28

Помехоустойчивость ИС серий *SN54/SN74* приведена в табл. 5.11, из которой видно, что она значительно выше, чем у ТТЛ серий (см. табл. 5.5). Предельные значения параметров ИС этих серий указаны в табл. 5.12, а рекомендуемые условия эксплуа-

Таблица 5.11. Помехоустойчивость ИС КМОП серий

Тип ИС	$V_{OH}$ , В	$V_{OL}$ , В	$V_{TH}$ , В	$\Delta V_H$ , В	$\Delta V_L$ , В	$V_{OH}$ , В	$V_{IH}$ , В	$V_{OL}$ , В	$V_{IL}$ , В	$\Delta V_H$ , В	$\Delta V_L$ , В
	<i>typ</i>	<i>typ</i>		<i>typ</i>	<i>typ</i>	<i>min</i>	<i>min</i>	<i>max</i>	<i>max</i>		
НС	3,84	0,33	2,25	1,59	1,92	3,84	3,15	0,33	0,9	0,69	0,57
НСТ	3,84	0,33	1,3	2,54	0,97	3,84	2,0	0,33	0,8	1,84	0,47
АС	3,8	0,44	2,25	1,55	1,81	3,8	3,15	0,44	1,35	0,65	0,91
АСТ	3,8	0,44	1,5	2,39	1,05	3,8	2,0	0,44	0,8	1,8	0,36
ВСТ	3,2	0,35	1,4	1,8	1,05	2,4	2,0	0,5	0,8	0,4	0,3

Таблица 5.12. Предельные значения параметров ИС серий SN74

Параметр	НС	НСТ	АС	АСТ
Напряжение питания, В	7,0		6,0	
Отрицат. напряж. питания, В	-0,5			
Положит. входное напряжение, В	$V_{CC} + 0,5$			
Отрицат. входное напряжение, В	-0,5			
Входной ток, мА ( <i>max</i> )	$\pm 20$			
Температурный диапазон, °С	-65... +150			

Таблица 5.13. Рекомендуемые условия эксплуатации ИС серий SN74

Параметр	НС	НСТ	АС	АСТ
Напряжение питания, В	2 - 6	4,5 - 5,5	3 - 5,5	4,5 - 5,5
$V_{IL \max}$ , В	0,9	0,8	1,35	0,8
$V_{IH \min}$ , В	3,15	2,0	3,15	2,0
Крутизна фронтов входных сигналов, нс/В	110	125	10	10
Температурный диапазон, °С	-40... +85			

тации — в табл. 5.13 [27].

Интегральные схемы КМОП серий, имеющие одинаковые номера (у зарубежных ИС) или одинаковые буквенно-цифровые обозначения (у отечественных ИС раздельно по группам серий 176/561/564/1561 и 1564/1554), выполняют одинаковые функции и совпадают по разводке внешних выводов. В дальнейшем на рисунках для ИС КМОП серий будет указываться название ИС только одной конкретной серии, хотя аналогичные ИС могут быть и в других сериях.

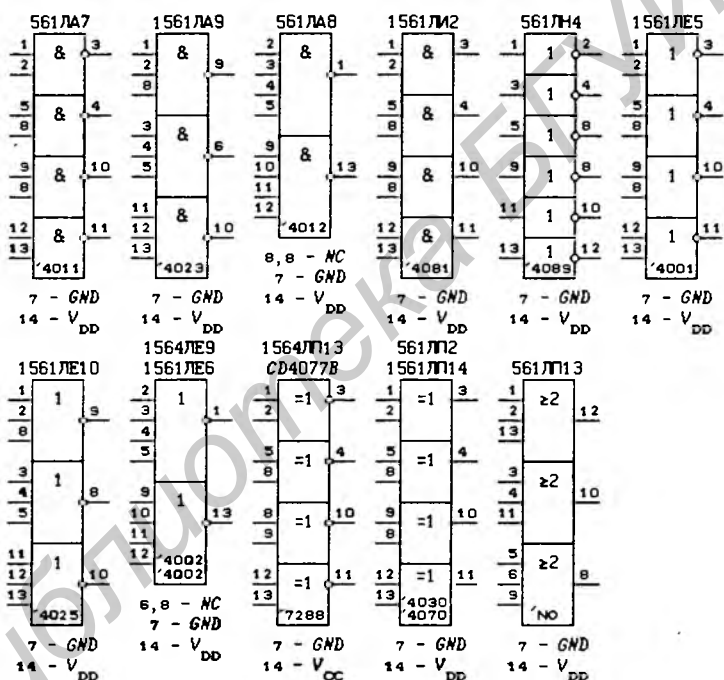


Рис. 5.29

На рис. 5.29 представлены ЛЭ И-НЕ, И, НЕ, ИЛИ-НЕ и сумма по модулю два, выпускаемые отечественной промышленностью. На графических обозначениях указаны номера аналогов зарубежных ИС. Логические элементы серии 176 приведены на рис. 5.30. Применение ИС 176ЛП1 было рассмотрено выше при описании ее зарубежного аналога CD4007 (COP — комплементарные пары транзисторов, G — затвор, DP и DN — стоки p-канального и n-канального транзисторов, SP и SN — истоки

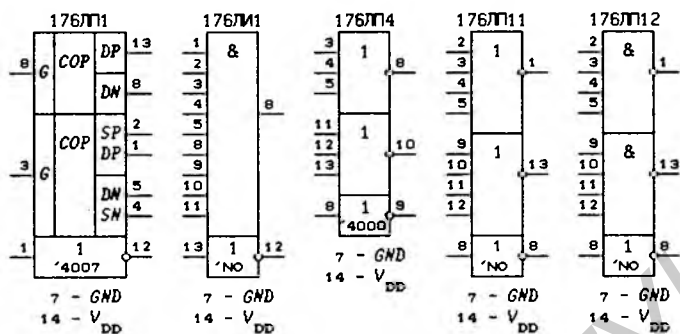


Рис. 5.30

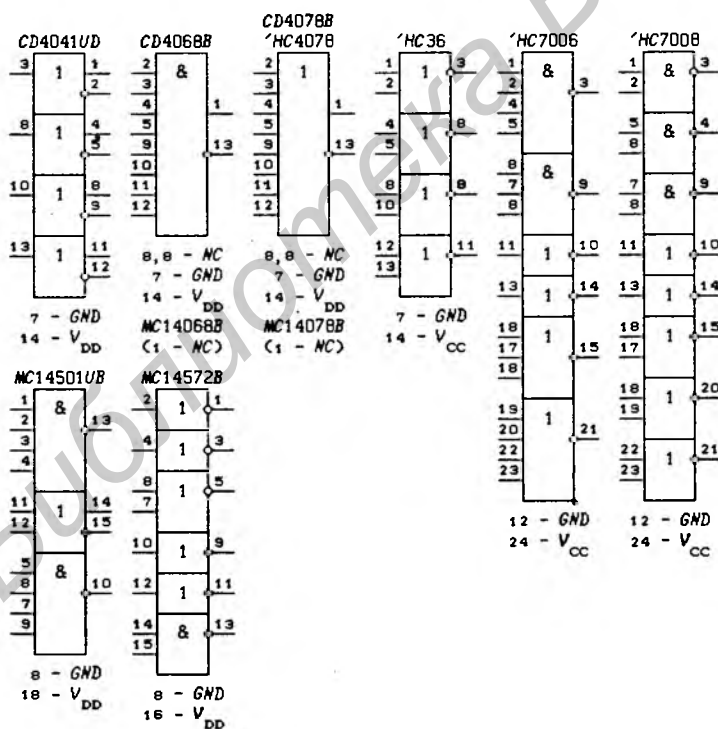


Рис. 5.31

$p$ -канального и  $n$ -канального транзисторов). Зарубежные ЛЭ, не имеющие в настоящее время отечественных аналогов, показаны на рис. 5.31 и 5.32.

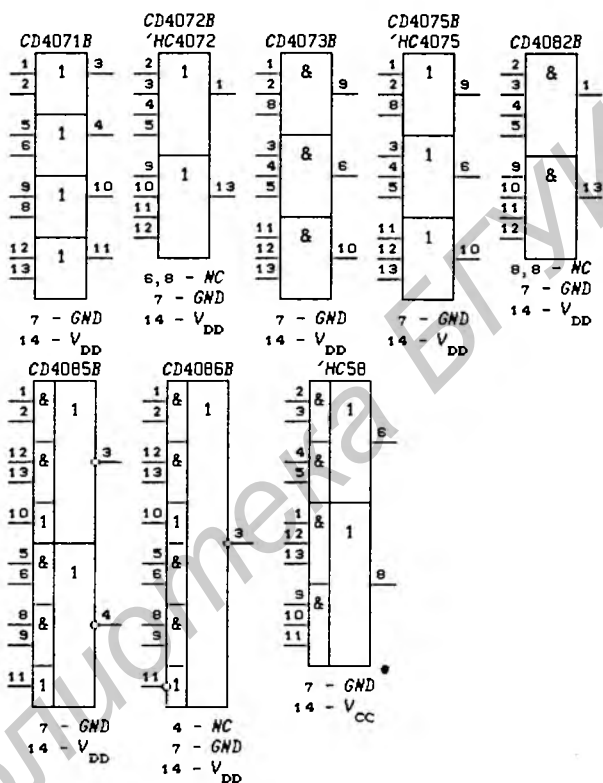


Рис. 5.32

Параметры ИС КМОП серии 74НС приведены в табл. П2.1 и П2.2 [27, 39], а в табл. П2.3 — параметры ИС серий 4000 [40, 41], которые в первую очередь следует учитывать при проектировании цифровых и микропроцессорных устройств. Параметры отечественных ИС серий 176, 561 и 1561 можно найти в справочниках [35, 42, 43], а ИС серии 1554 — в [34]. Полезный справочный материал по ИС КМОП серий имеется в [44].

**Интегральные схемы серий 54АС11000/74АС11000.** Для уменьшения уровня помех у быстродействующих КМОП ИС, возникающих при переключении ЛЭ, предпочтительнее использовать центральное расположение выводов питания на



кристалле, причем выходы ИС следует располагать на той стороне, где находится общий вывод питания (*GND*). Фирма *TI* выпустила серии ИС *SN54AC11*×××/*SN74AC11*××× и *SN54ACT11*×××/*SN74ACT11*×××, где число 11 указывает на центральное расположение выводов питания ИС, а числа ××× — порядковый номер ИС, как и в остальных сериях *SN54/SN74*. На рис. 5.33 приведены ЛЭ этих серий.

**Интегральные схемы серий *SN54BCT/SN74BCT*.** Как указывалось выше, ИС данных серий изготавливаются по *BiMOS* технологии. Входные цепи ИС выполняются по схеме, приведенной на рис. 5.34,а, что делает входы этих ИС совместимыми с ТТЛ-уровнями входных сигналов.

В микропроцессорных системах в большом количестве используются шинные драйверы и приемопередатчики, причем в каждый момент времени в активном состоянии находится приемопередатчик или драйвер только одного внешнего устройства, а остальные — в *Z*-состоянии. Драйверы и приемопередатчики, выполняемые по ТТЛ технологиям, в *Z*-состоянии выходов потребляют ток того же порядка, что и в активном состоянии выходов, хотя не выполняют большую часть времени полезной работы.

Основная цель разработки *BiMOS* ИС и заключалась в резком снижении потребляемого тока в *Z*-состоянии выходов ИС, предназначенных для проектирования внешних устройств микропроцессорных систем. На рис. 5.34,б показана схема ЛЭ с *Z*-состоянием выхода, выполненного по *BiMOS* технологии (*Input Circuit* — входная цепь, показанная на рис. 5.34,а).

**Неиспользуемые входы ИС.** При проектировании цифровых устройств на ИС могут использоваться не все их входы. Исходя из логики работы разрабатываемого устройства, на эти входы следует подать либо логический уровень 0, либо уровень 1. Логический уровень 0 как в ТТЛ, так и в КМОП ИС подается подключением неиспользуемого входа к корпусу (0 В). Логический уровень 1 подается на неиспользуемые входы подключением их к источнику напряжения питания *V<sub>CC</sub>* (ТТЛ ИС) или *V<sub>DD</sub>* (КМОП ИС), однако входы ТТЛ ИС серий 54/74, 54L/74L, 54H/74H и 54S/74S, в которых используются многоэмиттерные транзисторы, рекомендуется подключать к источнику питания через токоограничивающий резистор для защиты от скачков напряжения, возникающих, например, при включении питания.

Способы подачи на входы ИС констант 0 и 1 изображены на рис. 5.35,а (логический уровень 1 можно подавать с выходов ЛЭ, если некоторые из них остались в устройстве неиспользованными). Величина резистора определяется из соотношения

$$R_{\max} = (V_{CC} - V_{IH \min})/n \cdot I_{IH},$$

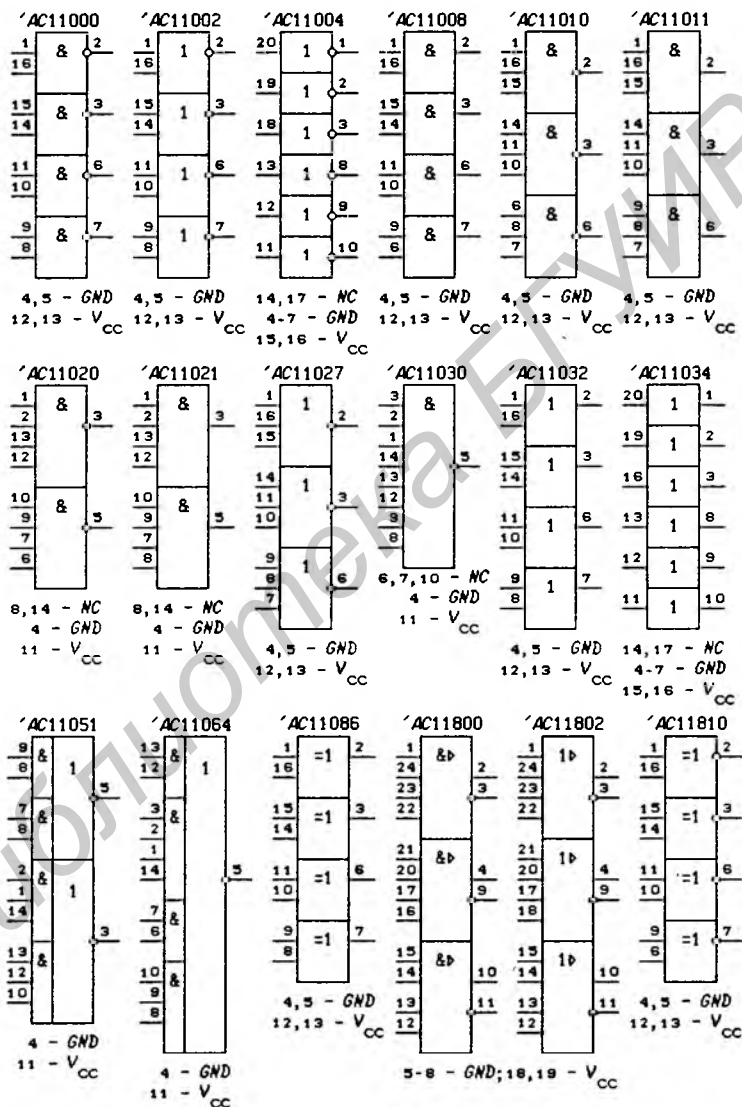


Рис. 5.33

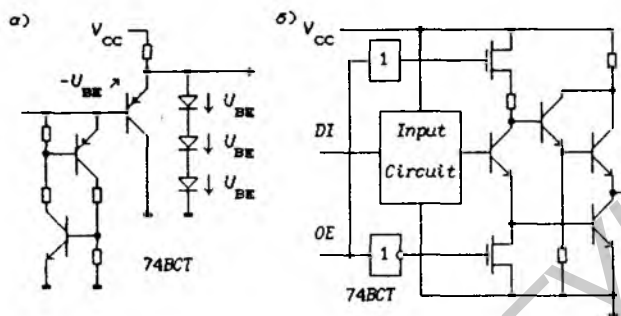


Рис. 5.34

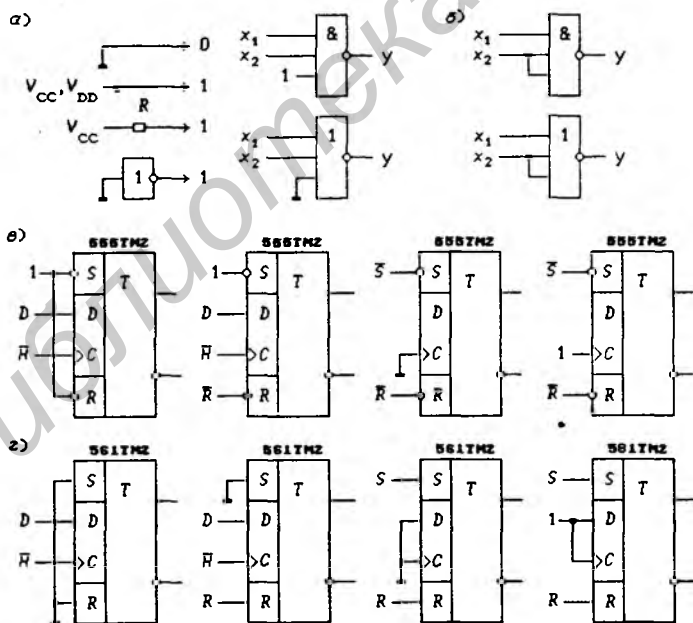


Рис. 5.35

где  $n$  — число подключенных к резистору входов ЛЭ.

У многовходовых ЛЭ И, ИЛИ, И-НЕ и ИЛИ-НЕ неиспользуемые входы можно подключать к используемым (рис. 5.35, б). Если какой-либо вход ИС, выполненной по ТТЛ-технологии, не подключен ни к корпусу, ни к источнику питания, то она будет работать так, как будто на этот вход подан логический уровень 1, но надежность работы будет низка (импульсные помехи, вызванные переключением соседних входов и выходов, могут привести к непредусмотренному срабатыванию ИС).

На рис. 5.35, в показаны различные варианты включения ТТЛ  $D/R-S$ -триггера при неполном использовании его функциональных возможностей, определяемых функцией переходов

$$Q^+ = S \vee (D \cdot dH \vee Q \cdot \overline{dH}) \cdot \overline{R}.$$

Если тактовый сигнал  $\overline{H} \equiv \text{const}$  (0 или 1), то  $dH \equiv 0$ , и никакие помехи на информационном входе  $D$  не могут вызвать ложного срабатывания асинхронного потенциального  $R-S$ -триггера, описываемого функцией переходов  $Q^+ = S \vee Q \cdot \overline{R}$ . Из этого следует, что в этом случае вход  $D$  можно оставить неподключенным к полюсам источника питания.

Соответствующие варианты включения КМОП  $D/R-S$ -триггера при неполном использовании его функциональных возможностей показаны на рис. 5.35, г — у КМОП ИС не рекомендуется оставлять неподключенным ни одного неиспользованного входа из-за открывания входной комплементарной пары транзисторов, что приводит к протеканию большого сквозного тока и резкому увеличению потребления мощности в статическом режиме.

### 5.3. Триггеры Шмитта

Схемы, имеющие разные уровни включения и выключения (пороги срабатывания), называются *триггерами Шмитта*. Интегральные триггеры Шмитта выполняют, кроме того, функцию ЛЭ НЕ, И-НЕ, ИЛИ-НЕ (инвертирующие триггеры Шмитта) или И, ИЛИ (неинвертирующие триггеры Шмитта). Инвертирующий триггер Шмитта SN74LS132, на входе которого включен ЛЭ 2И, а на выходе — ЛЭ НЕ, изображен на рис. 5.36. Разные уровни срабатывания в этой схеме обеспечиваются усилителем с обратной связью по току, выполненным на транзисторах  $VT1$  и  $VT2$ .

На рис. 5.37, а показаны временные диаграммы формирования неинвертирующим триггером Шмитта выходного сигнала  $V_O$  с крутыми фронтами из медленно меняющегося входного напряжения  $V_I$ . Выходное напряжение триггера  $V_O$  скачком изменяется с 0 на 1 при достижении входным напряжением  $V_I$  верхнего порога  $V_P$  и скачком изменяется с 1 на 0 при пере-

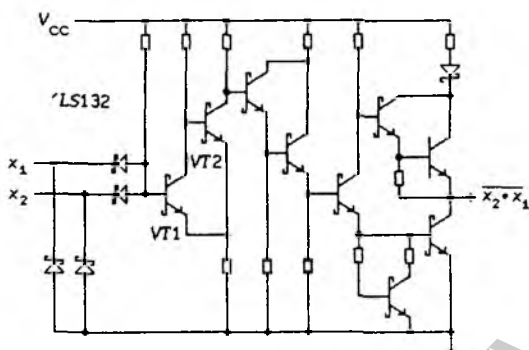


Рис. 5.36

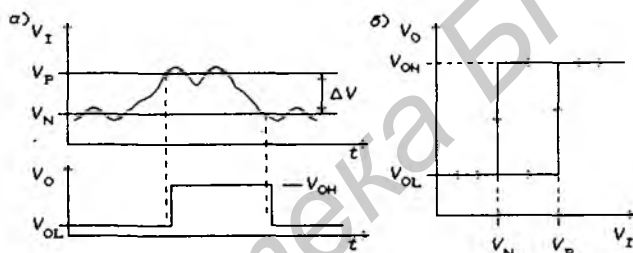


Рис. 5.37

сечении входным напряжением нижнего уровня  $V_N$ , т. е. триггеры Шмитта имеют два устойчивых состояния, но в отличие от триггеров, рассмотренных в § 3.3, они имеют один вход и могут управляться как цифровым, так и аналоговым сигналом (под цифровыми сигналами понимаем сигналы, имеющие фронты малой длительности, а под аналоговыми — сколь угодно медленно изменяющиеся сигналы). На рис. 5.37,б показана передаточная характеристика (петля гистерезиса) триггера Шмитта. Разность уровней  $\Delta V = V_P - V_N$  называется *шириной петли гистерезиса*.

Триггеры Шмитта часто используются для формирования прямоугольного напряжения из синусоидального, а также для фильтрации помех в линиях связи, величина которых не превышает значения  $\Delta V$ . В частности, для увеличения помехозащищенности ИС на некоторых их входах устанавливаются встроенные триггеры Шмитта.

На рис. 5.38 представлены триггеры Шмитта как отечественного, так и зарубежного производства. Если триггер Шмитта

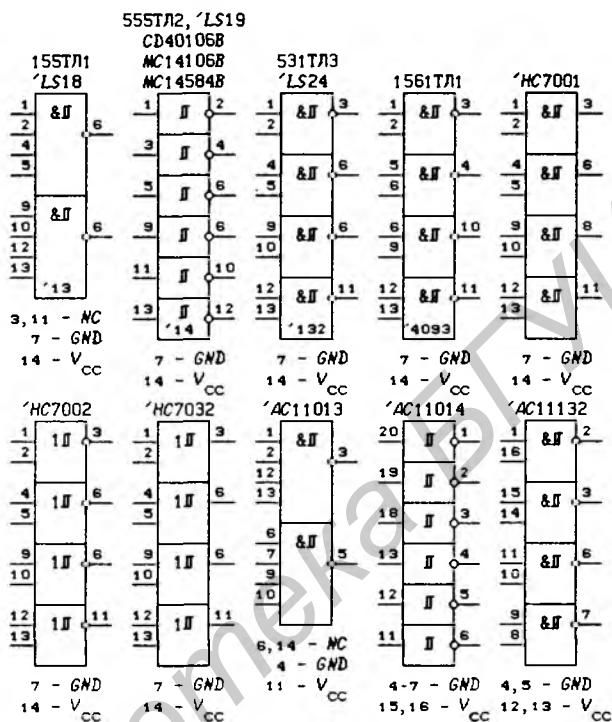


Рис. 5.38

Таблица 5.14. Основные параметры триггеров Шмитта ТТЛ серий

ИС	SN74	Уровни срабатывания, В		$t_{pd}$ , нс	$I_{CCL}/I_{CCH}$ , мА	Функция
		$V_P$	$V_N$			
155ТЛ1	13	1,5	1,1	27	32/23	4И-ТШ-НЕ×2
155ТЛ2	14	1,5	1,1	28	60/36	ТШ-НЕ×6
555ТЛ2	LS14	1,66	0,86	27	6/3,5	ТШ-НЕ×6
155ТЛ3	132	1,5	1,1	28	40/24	2И-ТШ-НЕ×4
531ТЛ3	S132	1,77	1,22	13	68/44	2И-ТШ-НЕ×4

имеет входную логику И или ИЛИ, то сигнал, подаваемый на вход триггера, формируется как конъюнкция или дизъюнкция нескольких сигналов. В табл. 5.14 приведены основные параметры некоторых триггеров Шмитта [28 – 30].

Триггер Шмитта  $A$  ( $B$ ) имеет прямой  $A$  ( $B$ ) и инверсный  $\overline{DO}_A$  ( $\overline{DO}_B$ ) выходы, причем инверсный выход находится в  $Z$ -состоянии при  $OE = 0$  (рис. 5.39, б). В состав ИС входит фазовый детектор, выполняющий функцию  $F = A \oplus B$ , т. е. ИС может использоваться в качестве чувствительного элемента в системах фазовой автоподстройки частоты.

У триггеров Шмитта, изготовляемых по КМОП-технологии, пороги срабатывания и ширина петли гистерезиса зависят от напряжения питания. Так, триггеры Шмитта  $CD4093$  (564ТЛ1) характеризуются типовыми значениями величин [40]:

$$\begin{aligned} V_P &= 2,9 \text{ В}, V_N = 1,9 \text{ В при } V_{DD} = 5 \text{ В}; \\ V_P &= 5,9 \text{ В}, V_N = 3,9 \text{ В при } V_{DD} = 10 \text{ В}; \\ V_P &= 8,8 \text{ В}, V_N = 5,8 \text{ В при } V_{DD} = 15 \text{ В}. \end{aligned}$$

Интегральная схема  $MC14583B$  (рис. 5.39, а) содержит два триггера Шмитта —  $A$  и  $B$ , которые имеют входы  $RPA$  ( $RPB$ ),  $RNA$  ( $RNB$ ) и  $RA$  ( $RB$ ) управления порогами срабатывания  $V_P$  и  $V_N$ . Пороги  $V_P$  и  $V_N$  можно изменять независимо двумя резисторами  $R_1$  и  $R_2$  или одним резистором  $R$  оба порога одновременно. При  $R_1 = R_2 = 5 \text{ кОм}$  данные триггеры характеризуются значениями величин:

$$\begin{aligned} V_P &= 3,3 \text{ В}, V_N = 1,7 \text{ В при } V_{DD} = 5 \text{ В}; \\ V_P &= 5,7 \text{ В}, V_N = 4,3 \text{ В при } V_{DD} = 10 \text{ В}; \\ V_P &= 8,2 \text{ В}, V_N = 6,8 \text{ В при } V_{DD} = 15 \text{ В}. \end{aligned}$$

Кроме указанных выше применений триггеры Шмитта могут использоваться для построения генераторов, схем расширения импульсов и др. На рис. 5.40, а показана типовая схема автогенератора на триггере Шмитта. Частота выходного сигнала генератора  $Q$  определяется постоянной времени  $RC$ -цепи. Работу этого генератора поясняют временные диаграммы на рис. 5.40, б. Заряд и разряд конденсатора  $C$  может происходить только до напряжений, определяемых пороговыми уровнями  $V_P$  и  $V_N$ . При достижении напряжением на конденсаторе  $V_C$  одного из этих уровней происходит скачкообразное изменение выходного сигнала генератора  $Q$ . Максимальная величина сопротивления резистора  $R$  зависит от входного тока триггера Шмитта  $I_{IL}$  (так, для ИС 555ТЛ2 рекомендуются значения  $R \leq 1 \text{ кОм}$ ). Частота генерируемых импульсов  $f \cong 0,7/RC$  [25].

В схеме генератора с времязадающей  $R_1 R_2 C$ -цепью, приведенной на рис. 5.40, в, резистор  $R_2$  служит для регулирования скважности выходного сигнала (возможно установить скважность 2). Стабильность

частоты генераторов на триггерах Шмитта определяется стабильностью пороговых напряжений  $V_P$  и  $V_N$  и достаточна для многих практических применений. Времязадающую  $RC$ -цепь из схемы генератора можно исключить для получения максимальной частоты генерируемого сигнала. Так, частота генерации в схеме, изображенной на рис. 5.41, составляет 36 МГц (на  $D$ -триггере собран делитель частоты на 2 для получения сигналов со скважностью 2).

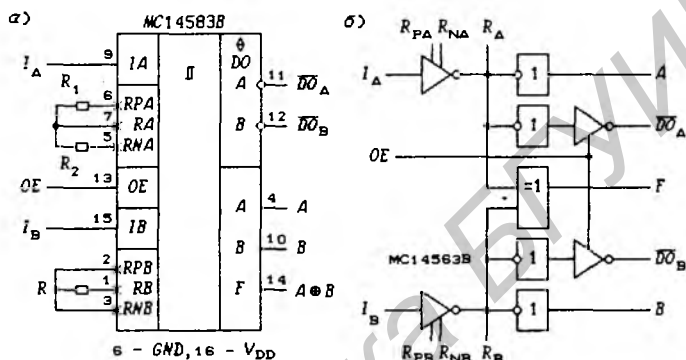


Рис. 5.39

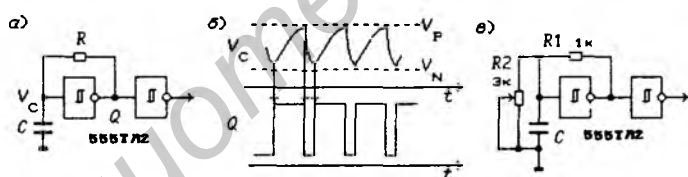


Рис. 5.40

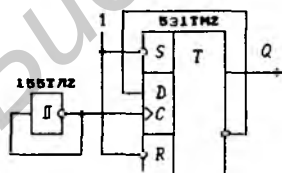


Рис. 5.41

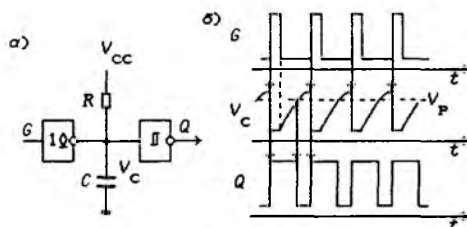


Рис. 5.42

На рис. 5.42,а показана схема расширителя импульсов. Значение входного сигнала  $G = 1$  вызывает быстрый разряд конденсатора  $C$  благодаря малому выходному сопротивлению ЛЭ НЕ с открытым коллекторным выходом при низком уровне его выходного напряжения и устанавливает значение выходного сигнала триггера Шмитта



$Q = 1$ . На интервале значения сигнала  $G = 0$  происходит заряд конденсатора  $C$ . Как только напряжение  $V_C$  достигнет порогового напряжения  $V_P$  (рис. 5.42, б), срабатывает триггер Шмитта, и его выходной сигнал изменяется с 1 на 0. Длительность выходного сигнала  $Q = 1$  определяется времязадающей  $RC$ -цепью.

#### 5.4. Логические элементы с открытым коллекторным выходом

Физические параметры и функциональные возможности ЛЭ зависят от выполнения их выходного каскада (усилителя тока). Использование мощных или (и) высоковольтных транзисторов в выходных каскадах ЛЭ предопределяет область их применения.

**Классификация выходных каскадов ЛЭ.** В ТТЛ ИС наиболее часто используются пять типов выходных каскадов:

1. На рис. 5.43, а показан ЛЭ с каскадным, или стандартным, выходом (*totem-pole output*), выполняющий функцию  $f(\nu)$ : напряжения  $V_A$  и  $V_B$  всегда изменяются в противофазе (если  $V_A = L$  — низкий уровень, то  $V_B = H$  — высокий уровень, и наоборот; здесь  $L$  и  $H$  означают величины напряжений, закрывающих и открывающих соответствующие транзисторы). Такой ЛЭ обеспечивает большой выходной втекающий ток  $I_{OL}$  (открыт нижний транзистор) и значительно меньший по величине выходной вытекающий ток  $I_{OH}$  (открыт верхний транзистор), что обусловлено, в частности, наличием диода и ограничивающего ток резистора  $R$  (при коротком замыкании выхода ЛЭ на корпус он не выходит из строя).

Описанный выходной каскад в разных сериях может иметь различные модификации (другие значения  $R$ , или вместо верхнего транзистора и диода может использоваться составной транзистор). Логические элементы со стандартным выходом имеют нагрузочную способность  $n \geq 10$  (см. табл. 5.4). Такой же выходной каскад имеют ЛЭ с повышенной нагрузочной способностью.

2. На рис. 5.43, б изображен ЛЭ с открытым эмиттерным выходом, выполняющий функцию  $f(\nu)$ : коллектор подсоединен к полюсу  $V_{CC}$ , эмиттер выходного транзистора не подключен к нагрузке внутри ИС, а подсоединен к отдельному внешнему выводу ИС ( $R_L$  — внешняя нагрузка). В данном выходном каскаде используются, как правило, мощные транзисторы, рассчитанные на большой ток нагрузки. Такие выходные каскады имеют некоторые интерфейсные ИС (например, передатчики для линий связи 559ИП4, 1102АП2 и др.). Нагрузка  $R_L$  к этим ЛЭ под-

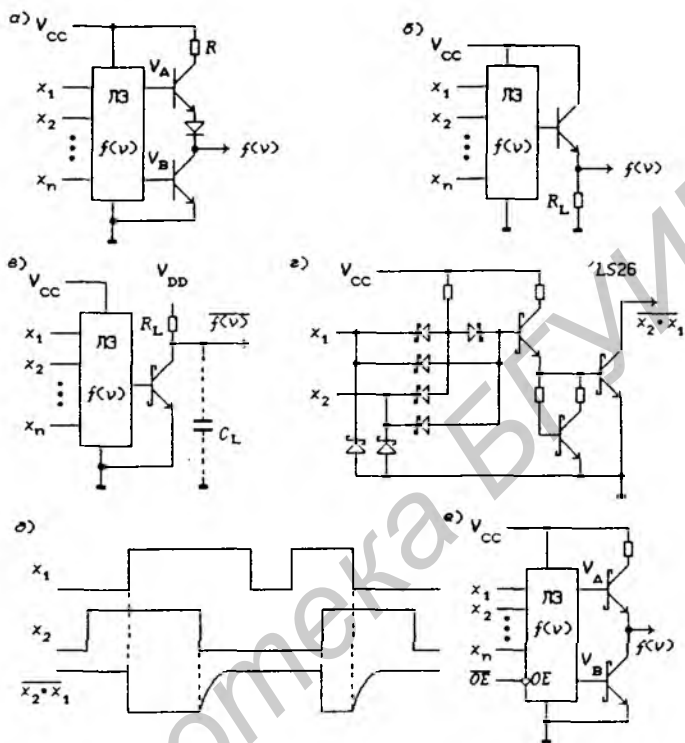


Рис. 5.43

ключается между выводами эмиттера и корпуса, т.е. выходной каскад представляет собой эмиттерный повторитель, обеспечивающий в отличие от каскада со стандартным выходом большой выходной ток  $I_{OH}$  (*Source current* — вытекающий ток). При низком уровне выходного напряжения  $V_{OL}$  ток через транзистор отсутствует, и выходной каскад имеет большое выходное сопротивление, определяемое величиной  $R_L$ .

3. На рис. 5.43,б показан ЛЭ с открытым коллекторным выходом, выполняющий функцию  $\overline{f(v)}$ : эмиттер подсоединен к корпусу, коллектор выходного транзистора не подключен к нагрузке внутри ИС, а подключен к отдельному внешнему выводу ИС ( $R_L$  — внешняя нагрузка). Схема ЛЭ 2И-НЕ с открытым коллекторным выходом изображена на рис. 5.43,г (1/4 ИС SN74LS26).

Выходные транзисторы изготавливаются на разные токи на-

грузки и разные допустимые напряжения питания: +5, +15, +30, +35 В и др. Выходы с открытым коллектором транзистора должны быть подключены с помощью внешнего резистора  $R_L$  к соответствующему источнику питания  $V_{CC} = 5$  В или  $V_{DD} > 5$  В. Если выходной транзистор открыт (на базу поступает высокий уровень напряжения  $H$ ), то на выходе устанавливается низкий уровень напряжения  $V_{OL}$ . Если же транзистор закрыт (на базу поступает низкий уровень напряжения  $L$ ), то на выходе устанавливается высокий уровень напряжения  $V_{OH} = V_{DD}$ , значительно превышающий уровень логической 1 в ЛЭ со стандартным выходом.

Если используются мощные выходные транзисторы, то выходной каскад обеспечивает большой выходной ток  $I_{OL}$  (*Sink current* — втекающий ток). Чем больше ток  $I_{OL}$  при  $V_{OL} = 0,4$  В, тем меньше выходное сопротивление каскада при низком уровне выходного напряжения. При высоком уровне выходного напряжения  $V_{OH}$  ток через транзистор отсутствует, и выходной каскад имеет большое выходное сопротивление. В этом случае выходное сопротивление каскада определяется внешней нагрузкой  $R_L$ . На рис. 5.43, д показаны временные диаграммы, поясняющие работу ЛЭ 2И–НЕ с открытым коллекторным выходом — из-за различия выходных сопротивлений при низком  $V_{OL}$  и высоком  $V_{OH}$  уровнях выходных напряжений отрицательный и положительный фронты выходного сигнала имеют разную длительность. Длительность положительного фронта определяется постоянной времени нагрузки  $\tau = R_L C_L$  (см. рис. 5.43, в) и во много десятков раз больше длительности отрицательного фронта при больших емкостных нагрузках  $C_L$ .

4. Выходные каскады, представляющие собой изолированные транзисторы (коллектор, эмиттер и база мощных выходных транзисторов подключены только к внешним выводам ИС), используются в интерфейсных ЛЭ и позволяют более гибко выбирать схему их подключения как к ЛЭ, так и к нагрузке, в зависимости от решаемой задачи. Логические элементы с изолированными транзисторами используются, например, в передатчиках данных 155ЛП7, 1102АП5, 1102АП10 по линиям связи (выходные транзисторы обеспечивают ток 300 мА).

5. На рис. 5.43, е показан ЛЭ с тремя состояниями выхода, выполняющий функцию  $f(\nu)$ : ЛЭ имеет управляющий вход  $\overline{OE}$  (*Output Enable* — разрешение выхода), одно из значений сигнала на котором переводит оба выходных транзистора в закрытое состояние (табл. 5.15). При значении  $\overline{OE} = 0$  ЛЭ с тремя состояниями выхода работает так же, как и ЛЭ со стандартным выходом. В табл. 5.15 обозначено:  $L$  (*Low*) — низкий уровень

Таблица 5.15. Логический элемент с Z-состоянием выхода

$\overline{OE}$	$V_A$	$V_B$	Выход
0	L	H	0
0	H	L	1
1	L	L	Z

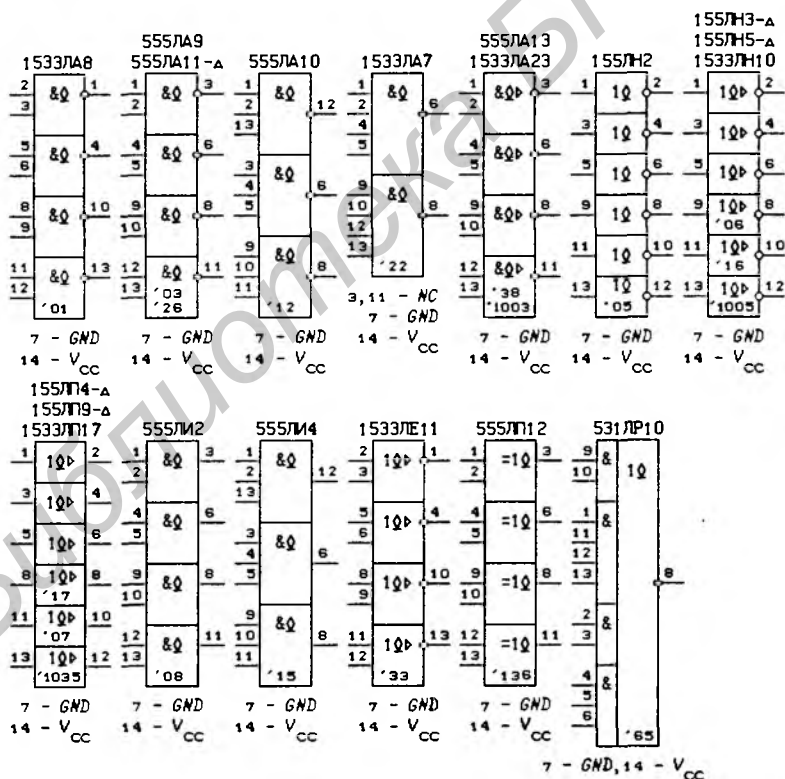


Рис. 5.44

Таблица 5.16. Основные параметры ЛЭ с открытым коллекторным выходом ТТЛ-серий

ИС	SN74	$V_{OH}$ , В	$t_{pd}$ , нс ( $C_L = 15\text{пФ}$ )	$P$ , мВт	$I_{OL}$ , мА	Функция
155ЛА7	22	15	22	20	16	4И-НЕ×2
531ЛА7	S22	5	5	35	22	
555ЛА7	LS22	5	16	4	8	
1533ЛА7	ALS22	5	20	2,5	8	
155ЛА8	01	15	22	40	16	2И-НЕ×4
555ЛА8	LS01	5	16	8	8	
1533ЛА8	LS01	5	16	5,2	8	
531ЛА9	S03	5	5	70	20	2И-НЕ×4
555ЛА9	LS03	5	16	8	8	
1533ЛА9	ALS03	5	16	5	8	
155ЛА10	12	15	22	30	16	3И-НЕ×3
555ЛА10	LS12	5	16	6	8	
155ЛА11	26	15	13,5	40	16	2И-НЕ×4
155ЛА13	38	15	12,5 (45пФ)	98	48	2И-НЕ×4
531ЛА13	S38	5	6,5 (50пФ)	164	60	
555ЛА13	LS38	5	19 (45пФ)	17,2	24	
555ЛИ2	LS09	5	20	17,2	8	2И×4
555ЛИ4	LS15	5	20	12,9	8	3И×3
155ЛН2	05	15	24	60	16	НЕ×6
531ЛН2	S05	5	5	105	20	
555ЛН2	LS05	5	16	12	8	
1533ЛН2	ALS05	5	14	7,5	8	
155ЛН3	06	30	12,5	156	40	НЕ×6
155ЛН5	16	15	12,5	156	40	НЕ×6
155ЛП4	17	15	13	126	40	Повтор.×6
155ЛП9	07	30	13	126	40	Повтор.×6
555ЛП12	LS136	5	18	30	8	ХОР×4
531ЛП10	S65	5	5,5	29	20	И-ИЛИ-НЕ

сигнала,  $H$  (*High*) — высокий уровень сигнала,  $Z$  — высокоимпедансное состояние выхода (от единиц до сотен МОм). При значении  $\overline{OE} = 1$  напряжения  $V_A$  и  $V_B$  на базах транзисторов принимают низкий (закрывающий) уровень, что делает невозможным протекание выходных токов через транзисторы. Для реальных ЛЭ  $Z$ -состояние выхода характеризуется током утечки порядка 20...40 мкА.

**Логические элементы с открытым коллекторным выходом.** На рис. 5.44 приведены ЛЭ с открытым коллекторным выходом, выпускаемые отечественной промышленностью. Открытый коллекторный выход (*open-collector output*) обозначен знаком “ $\nabla$ ”, а мощные выходы — знаком “ $\triangleright$ ”. Использование в выходных каскадах высоковольтных транзисторов указано знаком “ $\Delta$ ”, добавленным к названию ИС (например, 555ЛА11- $\Delta$ ).

В табл. 5.16 приведены максимальные значения основных параметров ЛЭ с открытым коллекторным выходом [28 – 30, 32]. Выпускаемые зарубежными фирмами ЛЭ с открытым коллекторным выходом, не имеющие отечественных аналогов, показаны на рис. 5.45.

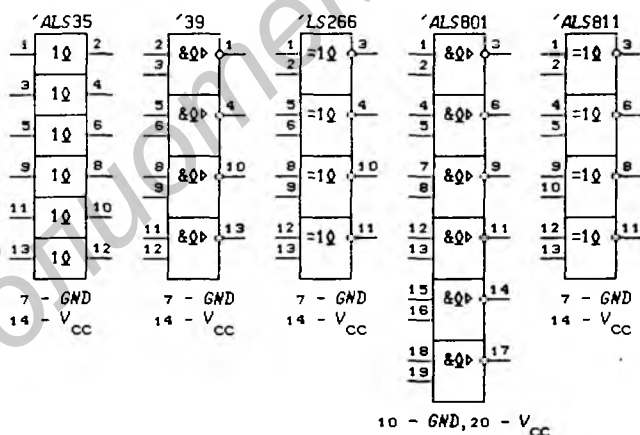


Рис. 5.45

**Применения ЛЭ с открытым коллекторным выходом.** Наиболее важным свойством ЛЭ с открытым коллекторным выходом является возможность реализации с их помощью логических операций, называемых “монтажное ИЛИ” и “монтажное И”.

На рис. 5.46 показана схема, состоящая из  $m$  ЛЭ, каждый из которых с учетом инвертирования сигнала в выходном кас-

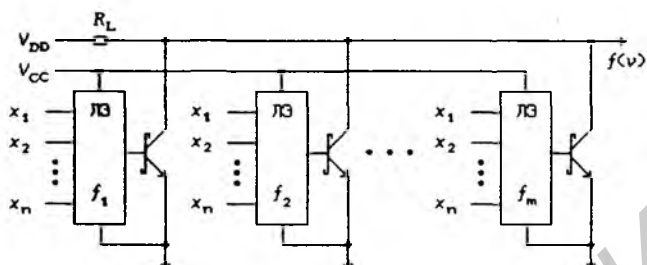


Рис. 5.46

каде выполняет функцию  $\overline{f(\nu)}$ , где  $\nu = (x_n, \dots, x_1)$ . Из рис. 5.46 видно, что выходной сигнал схемы принимает значение логического нуля в тех случаях, когда выходной сигнал хотя бы одного ЛЭ равен нулю. Выходное напряжение может принять уровень логической единицы только в том случае, если все выходные транзисторы закрыты. Таким образом, простое подсоединение коллекторов выходных транзисторов нескольких ЛЭ к общей нагрузке  $R_L$  реализует функцию “монтажное ИЛИ” для нулевых выходных логических уровней и функцию “монтажное И” для единичных выходных логических уровней. В общем виде схема на рис. 5.46 описывается функцией

$$f(\nu) = \bigvee_{i=1}^m \overline{f_i(\nu)} = \prod_{i=1}^m \overline{f_i(\nu)}. \quad (5.1)$$

На рис. 5.47,а некоторая функция  $f(\nu)$  четырех переменных задана диаграммой Вейча, из которой следует, что

$$f(\nu) = \overline{\overline{x_4 x_2} \vee x_4 x_2 \vee x_3 x_1} = \overline{x_4 \oplus x_2} \vee x_3 x_1.$$

Этой функции соответствует схема на рис. 5.47,б, выполненная на ЛЭ с открытым коллекторным выходом.

В ЛЭ И–ИЛИ–НЕ с открытым коллекторным выходом расширение по ИЛИ реализуется без использования специальных расширителей (155ЛД1 и 155ЛД3). На рис. 5.48 показана схема, выполняющая на основании (5.1) функцию

$$f(\nu) = \bigvee_{i=1}^8 \prod_j x_{ij},$$

где  $x_{ij}$  — входные сигналы схемы.

Логические элементы с открытым коллекторным выходом используют также для повышения уровня логической единицы выходных сигналов, в частности, для согласования выхо-

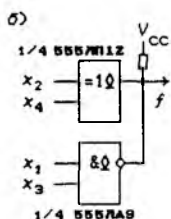
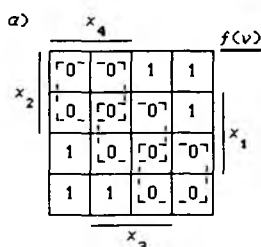


Рис. 5.47

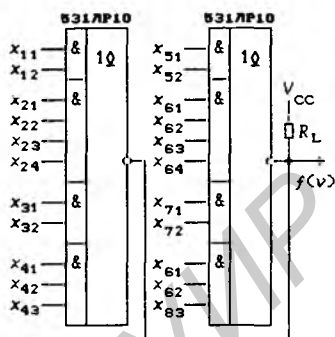


Рис. 5.48

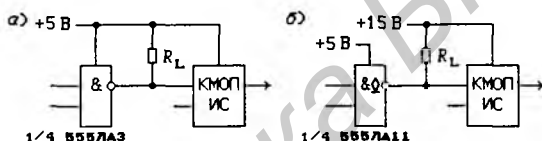


Рис. 5.49

дов ТТЛ ИС со входами КМОП ИС при напряжении питания последних  $V_{DD} > +5$  В. Если ТТЛ и КМОП ИС имеют одинаковое напряжение питания (+5 В), то можно использовать ТТЛ ЛЭ со стандартным выходом, но для надежности переключения КМОП ЛЭ рекомендуется подключать резистор  $R_L$  к положительному полюсу источника питания, как показано на рис. 5.49,а (уровень логической единицы на выходе ТТЛ ЛЭ повышается до +5 В). На рис. 5.49,б показана схема согласования уровней при напряжении питания КМОП ЛЭ  $V_{DD} = +15$  В. В этом случае должен использоваться ЛЭ, выходной каскад которого выполнен на высоковольтном транзисторе. Понятно, что все выходы ТТЛ ИС должны быть согласованы с КМОП уровнями при подключении их ко входам ИС КМОП серий.

**Интерфейсные ЛЭ с открытым коллекторным выходом.** Для управления устройствами, потребляющими большой ток или требующими для срабатывания высокого напряжения, фирмой TI разработаны интерфейсные ТТЛ серии SN55/SN75, содержащие, в частности, передатчики и приемники для линий связи. К указанным устройствам относятся лампы накаливания, реле, линии передачи данных длиной до нескольких километров и др.

На рис. 5.50 показаны интерфейсные ЛЭ с открытым кол-



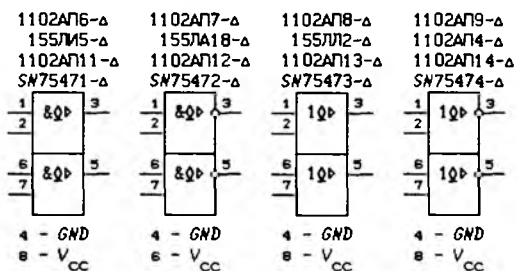


Рис. 5.50

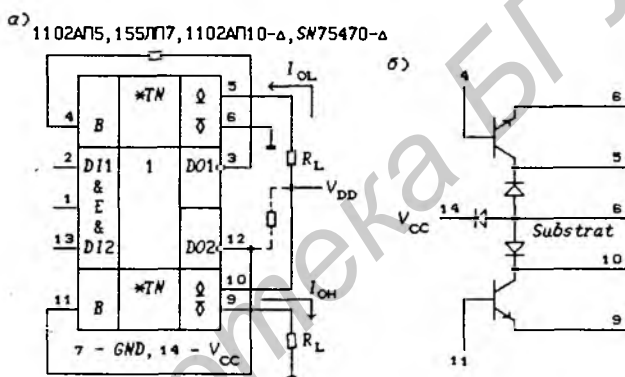


Рис. 5.51

лекторным выходом. В их выходных каскадах используются высоковольтные мощные транзисторы, рассчитанные на выходной ток  $I_{OL} = 300$  мА при  $V_{OL} \leq 0,7$  В. Данные ЛЭ пригодны для управления всеми вышеперечисленными устройствами.

Интерфейсные ИС с выходными каскадами в виде изолированных мощных транзисторов и способы их подключения к маломощным выходам ЛЭ и нагрузке  $R_L$  представлены на рис. 5.51,а (\*TN — Transistor, символ “\*” означает нелогический элемент; DI<sub>i</sub> — Data Input, DO<sub>j</sub> — Data Output — маломощные выходы ЛЭ, E — Enable). Коллекторы изолированных транзисторов TN тремя диодами связаны с подложкой (Substrat) и выводом питания  $V_{CC}$  (рис. 5.51,б). Благодаря выводу 8 (подложка) напряжение питания транзистора можно взять отрицательным относительно корпуса (вывода 7). Чтобы максимально уменьшить взаимное влияние между ЛЭ и выходными транзи-

сторами, вывод подложки следует подключать к наиболее отрицательной точке схемы [26] (диоды в этом случае будут закрыты). Параметры некоторых интерфейсных ИС приведены в табл. 5.17 (мощные выходные транзисторы у ИС SN75470 работают при напряжении на коллекторе  $V_{OH} \leq 40$  В).

Таблица 5.17. Мощные логические элементы с открытым коллекторным выходом

$I_{OL} = 300$ мА, $V_{OL} = 0,7$ В								Функция
$V_{OH} = 15$ В $t_{pd} = 15$ нс		$V_{OH} = 30$ В $t_{pd} = 21$ нс		$V_{OH} = 35$ В $t_{pd} = 33$ нс		70 В 33 нс		
1102АП5	75430	155ЛП7	75450	1102АП10	75460	75470	2И-НЕ	
1102АП6	75431	155ЛИ5	75451	1102АП11	75461	75471	2И	
1102АП7	75432	155ЛА18	75452	1102АП12	75462	75472	2И-НЕ	
1102АП8	75433	155ЛЛ2	75453	1102АП13	75463	75473	2ИЛИ	
1102АП9	75434	1102АП4	75454	1102АП14	75464	75474	2ИЛИ-НЕ	

На рис. 5.51,а показаны два варианта подключения выходных транзисторов к внешней нагрузке  $R_L$ : верхний транзистор включен по схеме с открытым коллектором (обеспечивается большой выходной втекающий ток  $I_{OL}$ ), а нижний — по схеме с открытым эмиттером (обеспечивается большой выходной вытекающий ток  $I_{OH}$ ). На маломощных выходах ЛЭ 3 и 12 реализуются функции  $\overline{DO}_j = \overline{DI}_j E$  ( $j = 1$  и  $2$ ). Так как выходной каскад с открытым коллектором инвертирует сигнал  $\overline{DO}_1$ , то верхний ЛЭ выполняет функцию 2И.

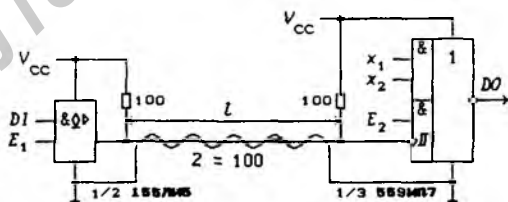


Рис. 5.52

Схема передачи данных по несимметричной линии связи (кабель или витая пара с волновым сопротивлением  $Z = 100$  Ом), включающая передатчик (1/2 155ЛИ5) и приемник (1/3 559ИП7), показана на рис. 5.52:  $E_1$  — разрешение передачи,  $E_2$  — разрешение приема,  $x_2$  и  $x_1$  — управление приемом. На входе приемника стоит триггер Шмитта с пороговыми уровнями

$V_N \leq 0,8 \text{ В}$  и  $V_P \geq 2 \text{ В}$ , которые определяют чувствительность приемника. Триггер Шмитта делает приемник нечувствительным к помехам в диапазоне напряжений  $0,8 \dots 2 \text{ В}$ . Скорость передачи данных по линии связи зависит от ее длины  $l$  (табл. 5.18).

Таблица 5.18. Скорость передачи по линии связи

Длина линии $l$ , м	Скорость передачи, Мбит/с
3	45
30	40
120	20
450	2
750	0,1

**Шинные драйверы с открытым коллекторным выходом.** Любой ЛЭ с повышенной нагрузочной способностью (усилитель тока) называется *буфером* или *драйвером* (*Buffer*, *Driver*). Управляемые (стробируемые) многоразрядные драйверы с открытым коллекторным выходом или с  $Z$ -состоянием выхода, используемые для подключения внешних устройств к системной шине данных микропроцессорной системы с помощью операции “монтажное ИЛИ”, называются *шинными формирователями*, или *шинными драйверами* (*Bus Driver*). Шинные драйверы с открытым коллекторным выходом представлены на рис. 5.53, а их структурные схемы — на рис. 5.54 ( $E$  — Enable — разрешение передачи данных). Эти драйверы описываются функциями

$$\overline{DO}_i = \overline{DI}_i E, \quad DO_i = DO_i \vee \overline{E}, \quad i = 0, 1, 2, 3.$$

В микропроцессорных системах чаще используется двунаправленная передача данных между внешней средой (устройства ввода-вывода, память) и микропроцессором. В этом случае используются шинные приемопередатчики с одной или двумя шинами двунаправленной передачи данных, которые также можно построить на ЛЭ с открытым коллекторным выходом или  $Z$ -состоянием выходов. На рис. 5.55 изображены структурные схемы одного разряда приемопередатчиков трех типов:

1)  $DI \rightarrow \overline{DB}$  при  $T = 0$  (ввод данных в микроЭВМ;  $DO = 1$ ),  
 $\overline{DB} \rightarrow DO$  при  $T = 1$  (вывод данных из микроЭВМ) — приемопередатчик с одной двунаправленной линией передачи данных

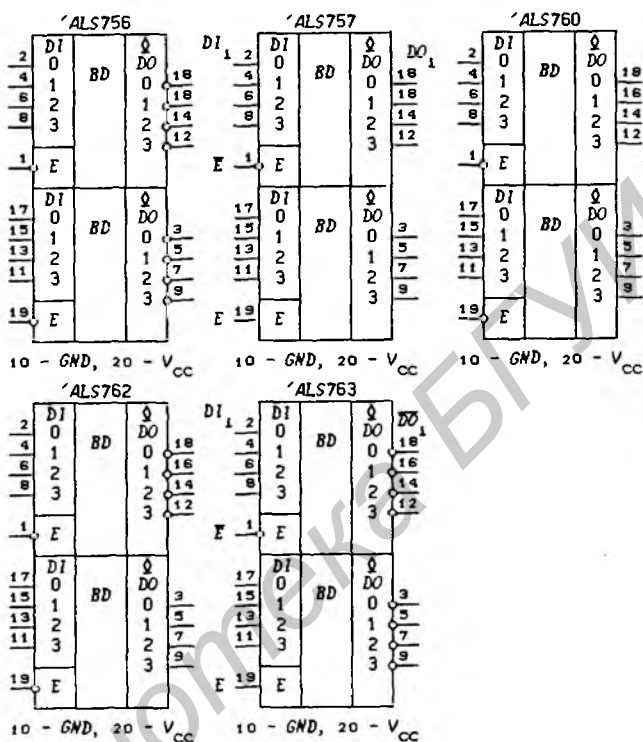


Рис. 5.53

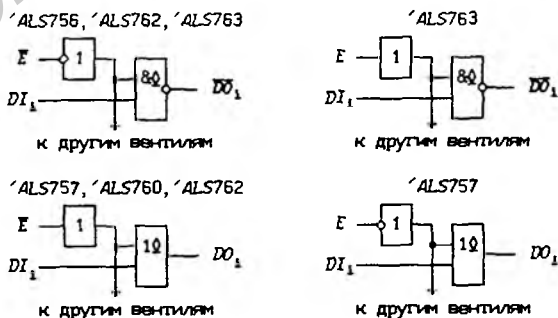


Рис. 5.54

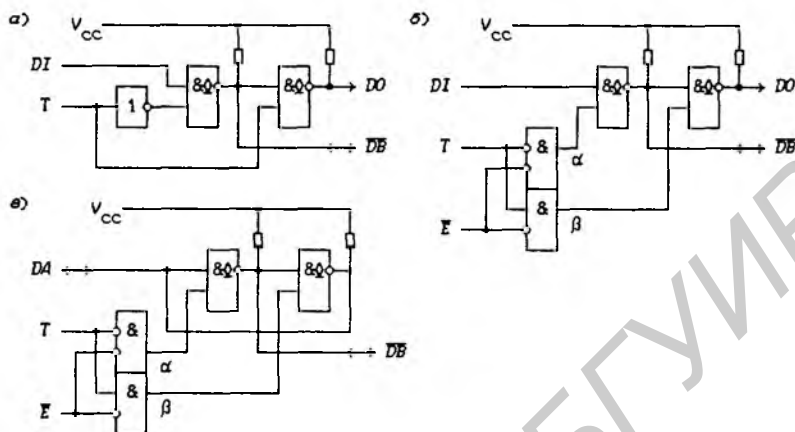


Рис. 5.55

(рис. 5.55,а; *DI* — *Data Input* — вводимые в микроЭВМ данные, *DO* — *Data Output* — выводимые из микроЭВМ данные, *DB* — *Data Bidirectional* — двунаправленная линия данных, подключаемая к шине данных микроЭВМ, *T* — *Transmit* — разрешение передачи данных от микроЭВМ на внешние устройства);

2)  $DI \rightarrow \overline{DB}$  при  $\alpha = \overline{T} \cdot E = 1$  ( $DO = 1$ ),  $\overline{DB} \rightarrow DO$  при  $\beta = T \cdot E = 1$  — приемопередатчик с одной двунаправленной линией передачи данных (рис. 5.55,б; *E* — *Enable* — сигнал включения приемопередатчика); при значении сигнала управления  $\overline{E} = 1$  выходы  $DO = 1$  и  $\overline{DB} = 1$ ;

3)  $DA \rightarrow \overline{DB}$  при  $\alpha = \overline{T} \cdot E = 1$  ( $DO = 1$ ),  $\overline{DB} \rightarrow DA$  при  $\beta = T \cdot E = 1$  — приемопередатчик с двумя двунаправленными линиями передачи данных (рис. 5.55,в); при значении сигнала управления  $\overline{E} = 1$  выходы  $DA = 1$  и  $\overline{DB} = 1$ .

В первых двух приемопередатчиках для формирования сигналов *DO* можно использовать и ЛЭ И-НЕ со стандартным выходом. Более подробно приемопередатчики с открытым коллекторным выходом будут рассмотрены в § 5.9.

**Логические элементы с открытым стоковым выходом.** В КМОП сериях для реализации операции “монтажное ИЛИ” и “монтажное И” вместо ЛЭ с открытым коллекторным выходом выпускаются ЛЭ с открытым стоковым выходом (*open-drain output*). Схема ЛЭ 2И-НЕ с таким выходом показана на рис. 5.56,а (функциональным аналогом ИС *CD40107B* является отечественная ИС 564ЛА10). Выходные каскады ИС

564ЛА10 обеспечивают ток  $I_{OL} = 32$  мА при выходном напряжении низкого уровня  $V_{OL} \leq 0,4$  В. Резисторы  $R_L = 3,3$  кОм, подключенные к выходам ЛЭ (рис. 5.56,б), позволяют получить ток  $I_{OH} \cong 0,8$  мА при  $V_{OH} = 2,4$  В и  $V_{CC} = +5$  В. При значениях  $R_L = 150$  Ом ИС 564ЛА10 можно использовать в качестве передатчика симметричной линии связи с волновым сопротивлением  $Z = 130$  Ом (ЛЭ должны работать на линию связи в противофазе).

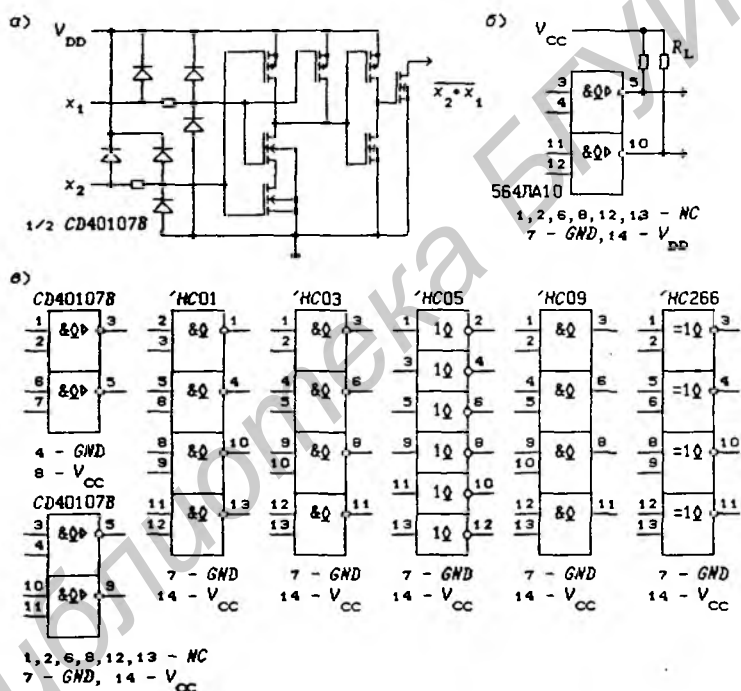


Рис. 5.56

На рис. 5.56,в приведены ЛЭ с открытым стоковым выходом серий  $CD4000$  и  $54HC/74HC$ , выпускаемые зарубежными фирмами. Выходные каскады приведенных ИС серий  $54HC/74HC$  обеспечивают ток  $I_{OL} = 4$  мА при выходном напряжении низкого уровня  $V_{OL} \leq 0,26$  В.

**Типовые цоколевки ИС.** Многие ЛЭ, выполняющие различные функции, но имеющие одинаковое число входов, можно объединить в группы, характеризующиеся одинаковой нумерацией их входов и выходов. На рис. 5.57 показано расположение выводов таких групп

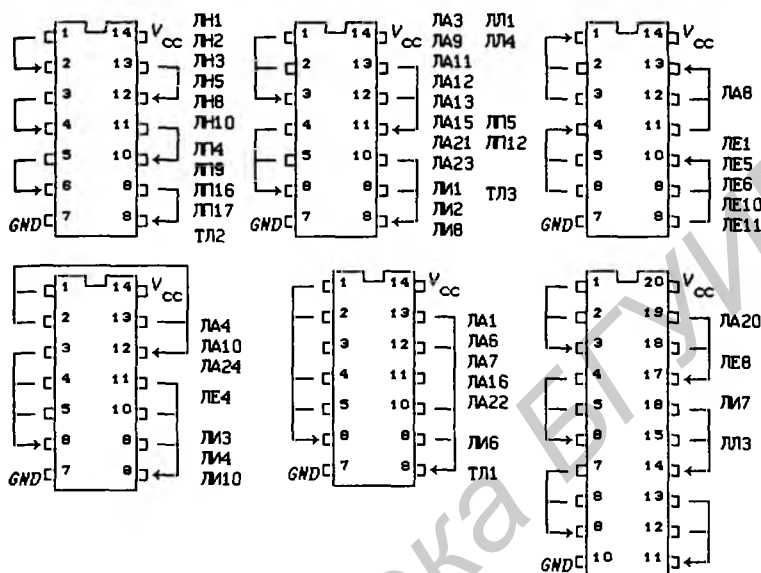


Рис. 5.57

Таблица 5.19. Расположение выводов питания

Число выводов ИС	Номер вывода	
	GND	V <sub>CC</sub>
8	4	8
14	7	14
16	8	16
18	9	18
20	10	20
22	11	22
24	12	24
28	14	28

отечественных ЛЭ ТТЛ серий типа  $SN54/SN74$ : каждая сплошная линия, соединяющая внешние контакты ИС, соответствует одному ЛЭ, а стрелка указывает выход ЛЭ. Такой способ разметки выводов позволяет в компактной форме представить цоколевки многих ЛЭ независимо от выполняемой ими функции, переход же к условному графическому обозначению достаточно просто осуществляется по их функциональному назначению.

Стандартное расположение выводов питания ИС, изготавливаемых по ТТЛ и КМОП технологиям, приведено в табл. 5.19. Однако следует помнить, что некоторые ИС имеют центральное расположение выводов, которое считается стандартным для ИС серий  $54AC11/74AC11$  и  $54ACT11/74ACT11$ .

### 5.5. Логические элементы с тремя состояниями выхода

Принцип работы ЛЭ с тремя состояниями выхода (*Three-State Output*) был рассмотрен в § 5.4. Например, схема драйвера  $74LS126$  с тремя состояниями выхода (рис. 5.58) может выдавать значения сигнала  $DO = 0, 1$  и  $Z$ , где  $Z$  означает высокоимпедансное состояние ( $Z$ -состояние) выхода при  $\overline{OE} = 0$  ( $\overline{OE}$  — *Output Enable*). В  $Z$ -состоянии выход  $DO$  имеет неопределенное значение, называемое *плавающим потенциалом* (*floating potential*). При переключении ЛЭ плавающий потенциал может принимать значения от  $V_{OL}$  до  $V_{OH}$  в зависимости от заряда-разряда емкости нагрузки  $C_L$  или паразитных емкостей. Логические элементы с тремя состояниями выхода используются для реализации операции “монтажное ИЛИ” и имеют, как правило, повышенную нагрузочную способность.

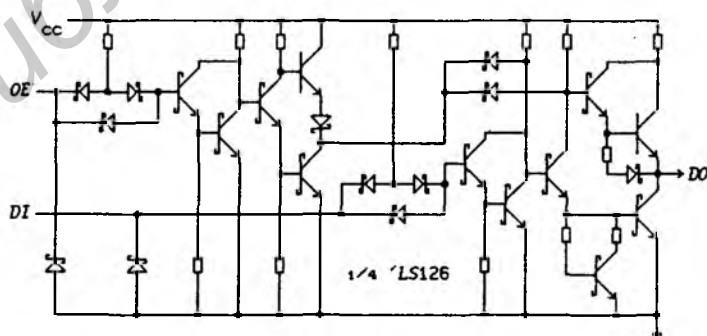


Рис. 5.58



Логические элементы с тремя состояниями выхода. На рис. 5.59,а показана реализация операции “монтажное ИЛИ” на ЛЭ 531ЛА17 (символом “ $\diamond$ ” обозначаются выходы, имеющие Z-состояние, символом “ $\triangleright$ ” — мощный выход). В отличие от реализации этой операции на ЛЭ с открытым коллекторным выходом здесь следует учитывать существенное ограничение — в любой момент времени может быть включен только один ЛЭ, а выходы всех остальных ЛЭ должны находиться в Z-состоянии. Это ограничение связано с тем, что при противофазном активном состоянии выходов двух ЛЭ выходной ток ЛЭ с уровнем выходного сигнала  $V_{OH}$  протекал бы через выходной каскад ЛЭ с уровнем выходного сигнала  $V_{OL}$ , только частично поступая в полезную внешнюю нагрузку. В такой ситуации возможен разогрев ИС и выход ее из строя. На рис. 5.59,а указанное ограничение учтено включением ЛЭ НЕ, что обеспечивает подачу сигнала  $\overline{OE}_i = 0$  только на один из ЛЭ с тремя состояниями выхода. Каждый ЛЭ в отдельности выполняет функцию

$$y_1 = \begin{cases} \overline{x_4 x_3 x_2 x_1}, & \text{если } \overline{OE}_1 = 0, \\ Z\text{-состояние,} & \text{если } \overline{OE}_1 = 1; \end{cases}$$

$$y_2 = \begin{cases} \overline{x_6 x_7 x_6 x_5}, & \text{если } \overline{OE}_2 = 0, \\ Z\text{-состояние,} & \text{если } \overline{OE}_2 = 1. \end{cases}$$

Вся же схема описывается мультиплексной функцией

$$y = \overline{x_4 x_3 x_2 x_1} \cdot \overline{x_9} \vee \overline{x_6 x_7 x_6 x_5} \cdot x_9,$$

реализованной с помощью операции “монтажное ИЛИ”.

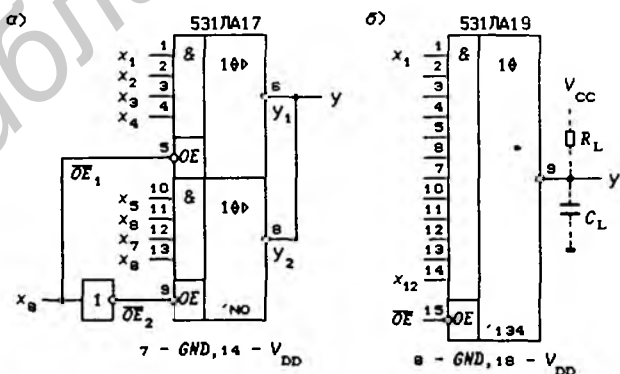


Рис. 5.59

Третье состояние выхода можно исключить подключением резистора  $R_L$  между выходом и полюсом питания  $V_{CC}$  (рис. 5.59,б), что дает возможность использовать управляющий сигнал  $\overline{OE}$  в качестве логической переменной переключающей функции, выполняемой ЛЭ. Так, ИС 531ЛА19 на рис. 5.59,б при наличии резистора  $R_L$  описывается функцией

$$y = OE \cdot \prod_{p=1}^{12} x_p.$$

В КМОП-сериях также выпускаются ЛЭ с тремя состояниями выхода (рис. 5.60):

$CD4048B$  — многофункциональный ЛЭ, описываемый переключающей функцией

$$F = \begin{cases} P_2 \oplus E(P_1 \oplus \prod_{p=0}^3 \overline{P_0 \oplus A_p})(P_1 \oplus \prod_{p=0}^3 \overline{P_0 \oplus B_p}) \text{ при } OE = 1, \\ Z\text{-состояние при } \overline{OE} = 0; \end{cases}$$

$MC14506UB$  — два стробируемых ЛЭ И-ИЛИ-НЕ, выполняющих функции

$$F_j = \begin{cases} \overline{x_{j1}x_{j2} \vee x_{j3}x_{j4}} \cdot E_j E \text{ при } \overline{OE} = 0, j = 1 \text{ и } 2, \\ Z\text{-состояние при } \overline{OE} = 1. \end{cases}$$

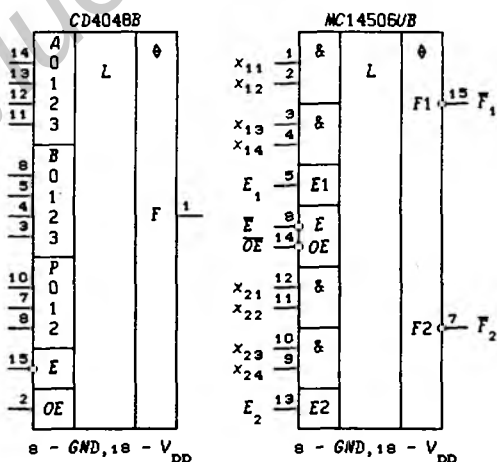


Рис. 5.60

В дальнейшем для компактности вентили (повторители и ЛЭ НЕ) с Z-состоянием выхода на структурных схемах будут обозначаться треугольниками, как показано на рис. 5.61, а. Принципиальная схема ИС CD4048B показана на рис. 5.61, б. Входы  $P_2$ ,  $P_1$  и  $P_0$  используются для селекции выполняемой ИС функции (табл. 5.20;  $OE = 1$ ), а вход  $E$  — для расширения функции  $F$  по ИЛИ. На этот вход для увеличения числа аргументов до 16 подается сигнал с выхода  $F$  такой же ИС.

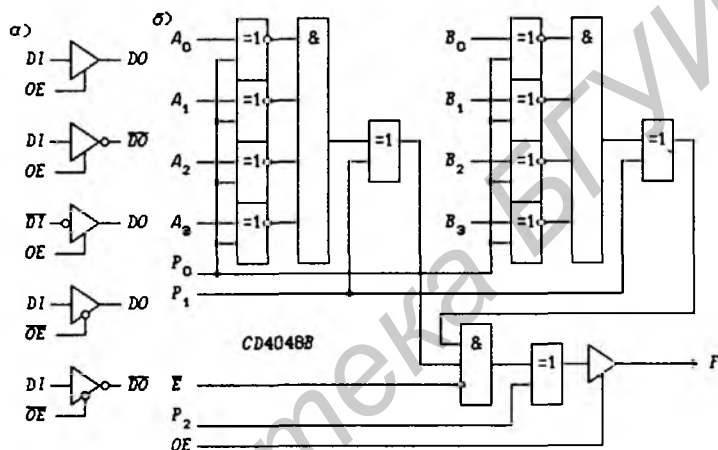


Рис. 5.61

**Шинные драйверы с Z-состоянием выхода.** Такие драйверы широко применяются в микропроцессорных системах для подключения микропроцессора, памяти и внешних устройств к системным шинам адреса, данных и управления с помощью операции "монтажное ИЛИ". На рис. 5.62 представлены ИС:

555ЛП8, 74425 — четыре линейных драйвера для буферирования независимых линий с инверсным сигналом управления  $OE$  ( $LD$  — Line Driver,  $DI$  — Data Input,  $DO$  — Data Output);

74LS126, 74426 — четыре линейных драйвера для буферирования независимых линий с прямым сигналом управления  $OE$ ;

155ЛН6 — 6-разрядный шинный драйвер ( $BD$  — Bus Driver) с инверсными выходами;

155ЛП10 — 6-разрядный шинный драйвер с прямыми выходами;

155ЛП11, 561ЛН3, 571ХЛ5 — 4- и 2-разрядные шинные

Таблица 5.20. Многофункциональный ЛЭ CD4048В

$P_2P_1P_0$	Функция $F$
0 0 0	$E \cdot A_3 \vee A_2 \vee A_1 \vee A_0 \vee B_3 \vee B_2 \vee B_1 \vee B_0$
0 0 1	$E \cdot A_3 A_2 A_1 A_0 B_3 B_2 B_1 B_0$
0 1 0	$E \cdot (A_3 \vee A_2 \vee A_1 \vee A_0)(B_3 \vee B_2 \vee B_1 \vee B_0)$
0 1 1	$E \cdot (\bar{A}_3 \vee \bar{A}_2 \vee \bar{A}_1 \vee \bar{A}_0)(\bar{B}_3 \vee \bar{B}_2 \vee \bar{B}_1 \vee \bar{B}_0)$
1 0 0	$\bar{E} \vee A_3 \vee A_2 \vee A_1 \vee A_0 \vee B_3 \vee B_2 \vee B_1 \vee B_0$
1 0 1	$\bar{E} \cdot A_3 A_2 A_1 A_0 B_3 B_2 B_1 B_0$
1 1 0	$\bar{E} \cdot (A_3 \vee A_2 \vee A_1 \vee A_0)(B_3 \vee B_2 \vee B_1 \vee B_0)$
1 1 1	$\bar{E} \vee A_3 A_2 A_1 A_0 \vee B_3 B_2 B_1 B_0$

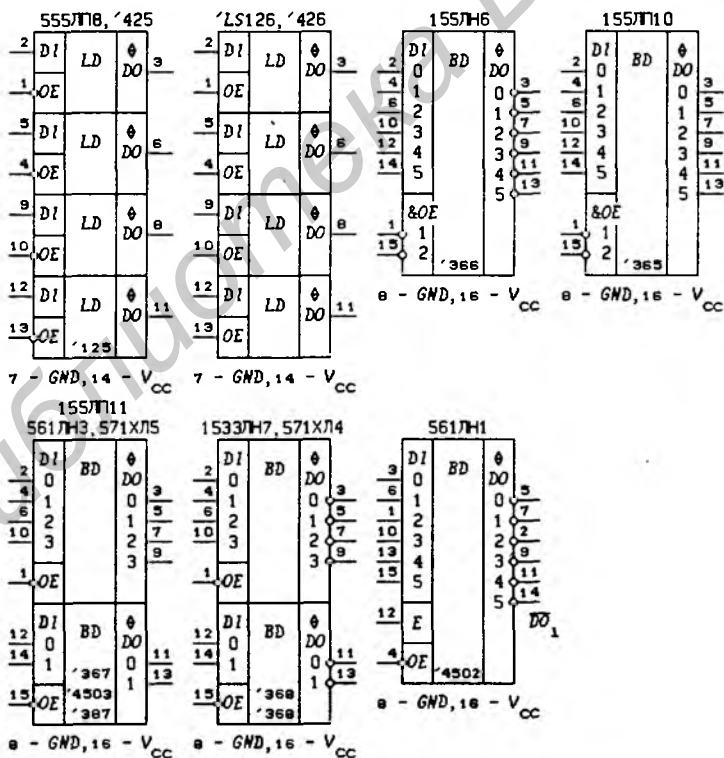


Рис. 5.62

драйверы с прямыми выходами;

1533ЛН7, 571ХЛ4 — 4- и 2-разрядные шинные драйверы с инверсными выходами;

561ЛН1 — 6-разрядный шинный драйвер с инверсными выходами, выполняющий функции

$$\overline{DO}_j = \begin{cases} \overline{DI}_j \vee \overline{E}, & \text{если } \overline{OE} = 0, \\ Z\text{-состояние}, & \text{если } \overline{OE} = 1, \end{cases}$$

где  $j = 0, 1, \dots, 5$ ;  $DI_j$  (*Data Input*) — входные информационные сигналы;  $E$  (*Enable*) — стробирующий сигнал;  $\overline{DO}_j$  (*Data Output*) — выходные сигналы;  $\overline{OE}$  (*Output Enable*) — сигнал разрешения выхода.

Все перечисленные ИС, кроме 561ЛН1, описываются функциями

$$DO_j = \begin{cases} DI_j, & \text{при } OE = 1, \\ Z\text{-состояние}, & \text{при } OE = 0, \end{cases} \quad (5.2)$$

где  $j$  — номер разряда драйвера,  $OE = OE_1 OE_2$  для ИС 155ЛН6 и 155ЛП10. Драйвер 561ЛН1 обеспечивает выходные токи  $I_{OL} = 5,3$  мА и  $I_{OH} = 0,5$  мА.

На рис. 5.63 показаны ИС:

1533АП3, 1804ВТ2, 74ALS1240, 74ALS2240, 74ALS468А, 74НС4305, 74АС11240 — два 4-разрядных шинных драйвера с инверсными выходами и сигналами управления  $\overline{OE}$ ;

1533АП4, 74ВСТ2241, 74ALS1241, 74АС11241 — два 4-разрядных шинных драйвера с прямыми выходами и сигналами управления  $\overline{OE}$  и  $OE$ ;

1533АП5, 1804ВТ3, 74ALS1244А, 74ALS2244А, 74ALS467А, 74НС4306, 74АС11244 — два 4-разрядных шинных драйвера с прямыми выходами и сигналами управления  $\overline{OE}$ ;

74ALS230 — два 4-разрядных шинных драйвера с прямыми и инверсными выходами и сигналами управления  $\overline{OE}$ ;

74ALS231 — два 4-разрядных шинных драйвера с инверсными выходами и сигналами управления  $\overline{OE}$  и  $OE$ .

Выпускаются также 8- и 10-разрядные шинные драйверы с сигналами управления  $OE = OE_1 OE_2$ , представленные на рис. 5.64. Эти драйверы также описываются функцией (5.2). Драйверы 74ALS746 и 74ALS747 имеют на информационных входах внутренние резисторы  $R = 20$  кОм, подключенные к питанию  $V_{CC}$  (знак "⊕" указывает задание высокого уровня сигнала на входах). Такие входы можно подключать к механическим переключателям, разомкнутому состоянию которых соответствует

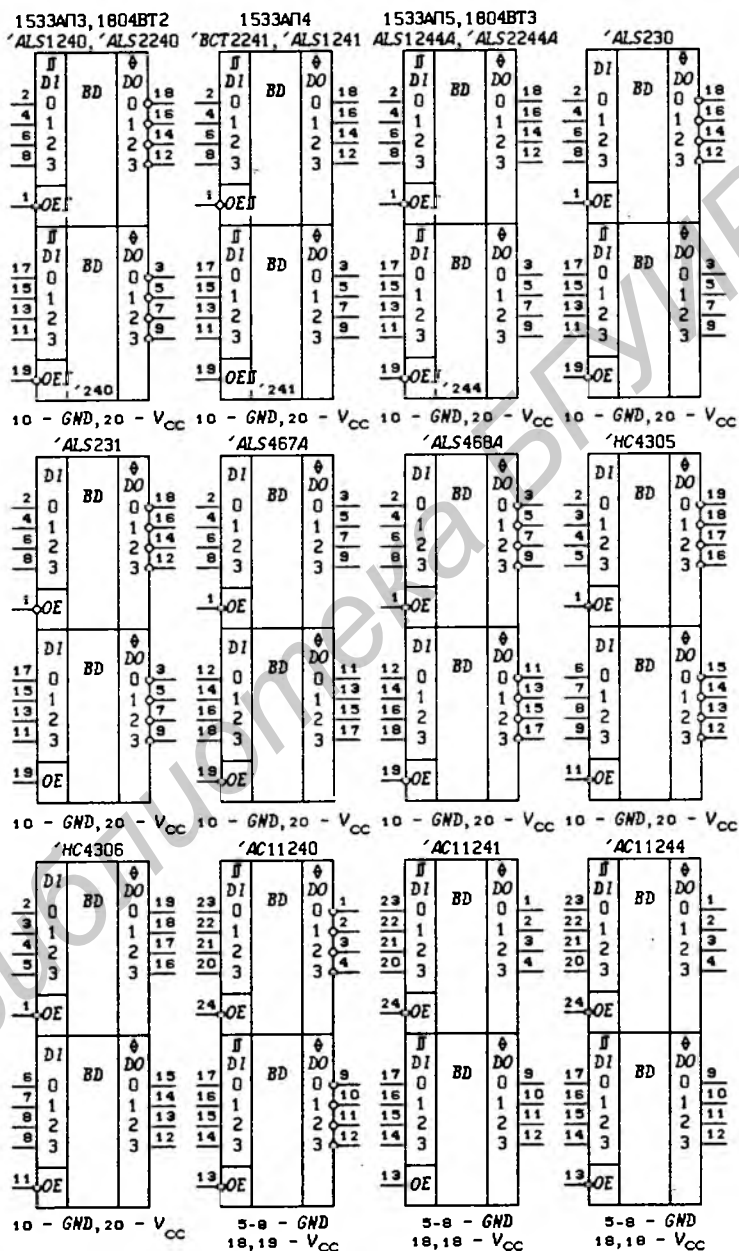


Рис. 5.63

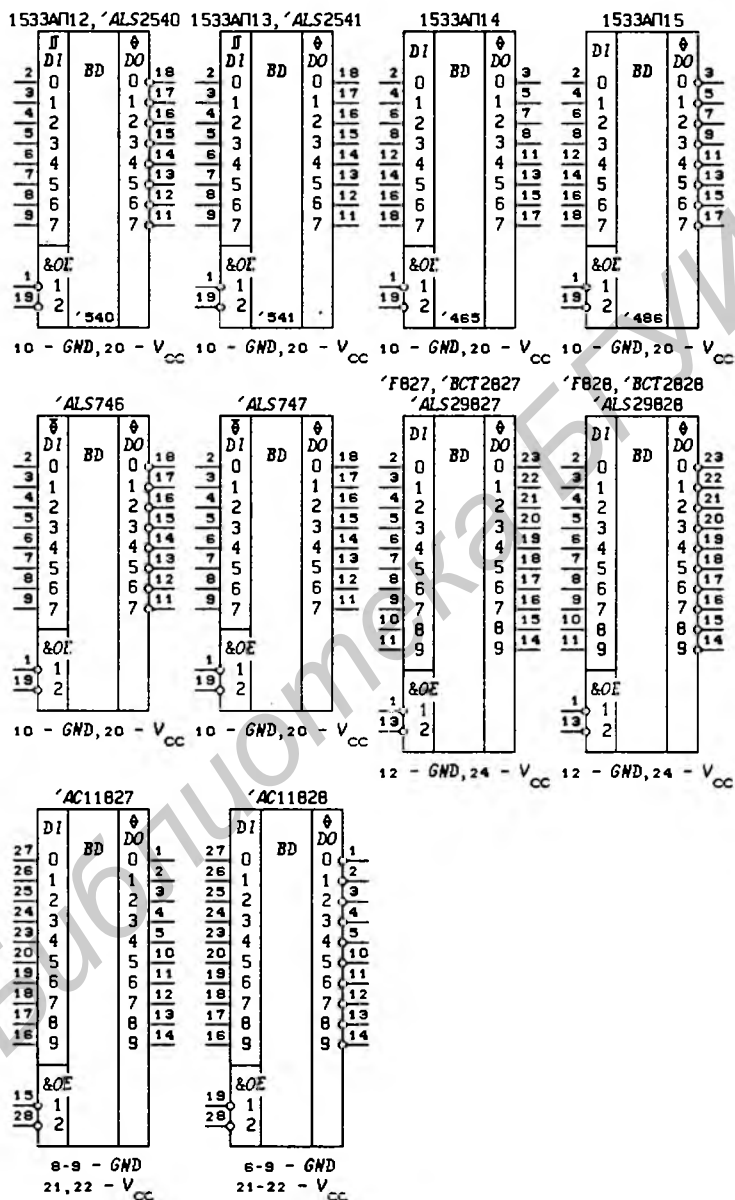


Рис. 5.64

подача на драйверы уровня сигнала логической 1, что позволяет не ставить внешние резисторы.

Структурные схемы драйверов различных типов изображены на рис. 5.65. Шинные драйверы  $74ALS1 \times \times \times$  характеризуются ультранизким потреблением мощности, а шинные драйверы  $74ALS2 \times \times \times$  и  $74VCT2 \times \times \times$  с демпфирующими резисторами 25 Ом (*MOS Drivers*) предназначены для работы с *n*-МОП памятью. В табл. 5.21 приведены основные параметры некоторых драйверов с *Z*-состоянием выходов.

Таблица 5.21. Основные параметры драйверов с тремя состояниями выхода

ИС	SN74	$I_{OL}/V_{OL}$ ,	$I_{OH}/V_{OH}$ ,	$t_{pd}$ , нс ( $C_L = 50$ пФ)	$I_{SS}$ , мА
		мА/В	мА/В		
555АП3	LS240	24/0,5	-15/2,0	10,5	22
531АП3	S240	64/0,5	-15/2,0	4,5	90
1533АП3	ALS240	24/0,5	-12/2,0	6	8,5
555АП4	LS241	24/0,5	-15/2,0	12	22
531АП4	S241	64/0,5	-15/2,0	6	108
1533АП4	ALS241	24/0,5	-15/2,0	10	28
555АП5	LS244	24/0,5	-15/2,0	10	22
1533АП5	ALS244	24/0,5	-15/2,0	10	25
555АП12	LS540	24/0,5	-15/2,0	15	24
555АП13	LS541	24/0,5	-15/2,0	16	30
1533АП14	ALS465	24/0,5	-15/2,0	12	19
1533АП15	ALS466	24/0,5	-15/2,0	10	16
1804ВТ2	Am2964	12/0,8	-	35	100
1804ВТ3	Am2965	12/0,8	-	35	120
155ЛН6	366А	32/0,5	-5, 2/2, 4	11	59
1533ЛН7	ALS368А	24/0,5	-15/2, 4	15	13
155ЛП8	125	16/0,5	-5, 2/2, 4	10	32
555ЛП8	LS125А	24/0,5	-2, 6/2, 4	8	11
155ЛП10	365А	32/0,5	-5, 2/2, 4	12	65
155ЛП11	367А	32/0,5	-5, 6/2, 4	12	65
571ХЛ4А	LS368А	24/0,5	-2, 6/2, 4	9,5	12
571ХЛ5А	LS367А	24/0,5	-2, 6/2, 4	9,5	14

На основе ЛЭ с *Z*-состоянием выхода можно построить приемопередатчики с двунаправленной передачей данных. На рис. 5.66 изображены структурные схемы одного разряда приемопередатчиков трех типов:

- 1)  $DI \rightarrow \overline{DB}$  при  $T = 0$  (ввод данных в микроЭВМ; вы-



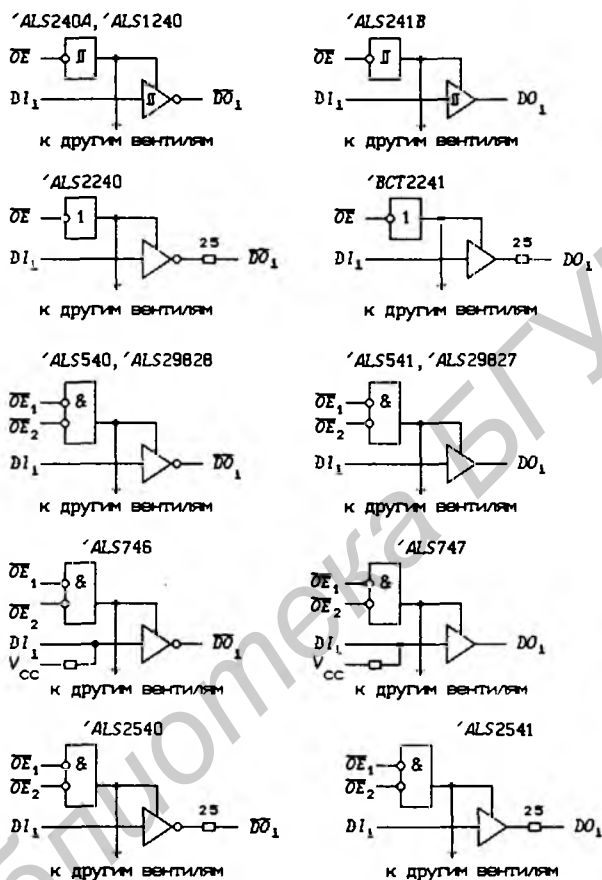


Рис. 5.65

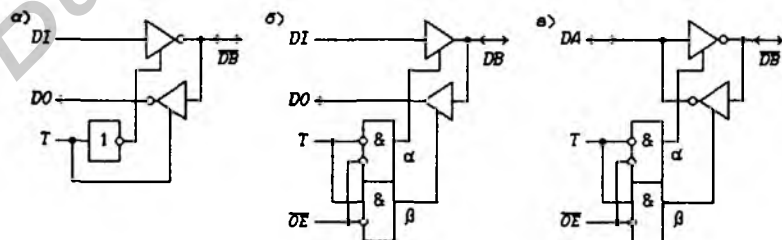


Рис. 5.66

ход  $DO$  в  $Z$ -состоянии),  $\overline{DB} \rightarrow DO$  при  $T = 1$  (вывод данных из микроЭВМ) — приемопередатчик с одной двунаправленной линией передачи данных (рис. 5.66,а;  $DI$  — *Data Input* — вводимые в микроЭВМ данные,  $DO$  — *Data Output* — выводимые из микроЭВМ данные,  $DB$  — *Data Bidirectional* — двунаправленная линия данных, подключаемая к шине данных микроЭВМ,  $T$  — *Transmit* — разрешение передачи данных от микроЭВМ на устройства ввода-вывода);

2)  $DI \rightarrow DB$  при  $\alpha = \overline{T} \cdot OE = 1$  (ввод данных в микроЭВМ; выход  $DO$  в  $Z$ -состоянии),  $DB \rightarrow DO$  при  $\beta = T \cdot OE = 1$  (вывод данных из микроЭВМ) — приемопередатчик с одной двунаправленной линией передачи данных (рис. 5.66,б;  $OE$  — *Output Enable* — сигнал включения приемопередатчика); при значении сигнала управления  $\overline{OE} = 1$  выходы  $DO$  и  $DB$  находятся в  $Z$ -состоянии;

3)  $DA \rightarrow \overline{DB}$  при  $\alpha = \overline{T} \cdot OE = 1$ ,  $\overline{DB} \rightarrow DA$  при  $\beta = T \cdot OE = 1$  — приемопередатчик с двумя двунаправленными линиями передачи данных (рис. 5.66,в); при значении сигнала управления  $\overline{OE} = 1$  выходы  $DA$  и  $\overline{DB}$  находятся в  $Z$ -состоянии.

Подробнее приемопередатчики с  $Z$ -состоянием выхода рассмотрены в § 5.9. В приемопередатчиках для передачи в одном направлении можно использовать вентили с открытым коллекторным выходом, а в другом — вентили с  $Z$ -состоянием выхода.

**Основные правила графического изображения ИС.** Следует сделать некоторые замечания к обозначениям ИС, выполняемым в соответствии с требованиями ГОСТ 2.743-82 [12]:

1. Все входы и выходы, имеющие определенное функциональное назначение, должны обозначаться латинскими буквами, взятыми из английских слов, отражающих данное функциональное назначение.

2. Буквенные обозначения, указанные в левом и правом дополнительных полях, должны быть без инверсий. Инверсные входные и выходные сигналы обозначаются знаком инверсии (кружок), указывающим активный уровень входных и выходных сигналов управления, имеющих определенное функциональное назначение. Например, если знак инверсии стоит у входа управления  $OE$ , то с внешней стороны этот вход следует обозначать через  $\overline{OE}$ , а это означает, что активным уровнем, которому соответствует выполнение функции, указанной в аббревиатуре  $OE$ , является низкий уровень (логический нуль).

Для грамотного графического выполнения схем следует неукоснительно соблюдать эти требования. Важность соблюдения данных требований очевидна также и при аналитическом описании функций, выполняемых ИС, поскольку можно будет дать аналитическую зависимость между входными и выходными сигналами, исключив из рассмотрения инвертирование их на входах и выходах. Наглядным примером такого описания может служить соотношение (5.2).

## 5.6. Преобразователи уровней напряжения и тока

Преобразователи уровней используются для согласования входных и выходных сигналов по напряжению и току при использовании в одном устройстве ТТЛ и КМОП ИС. Преобразование уровней напряжения требуется также в устройствах, построенных на КМОП ИС, если в нескольких частях устройства используется разное напряжение питания.

**Передаточные характеристики.** Зависимость выходного напряжения  $V_O$  от входного  $V_I$  называется *передаточной характеристикой ЛЭ*. Типовая передаточная характеристика ненагруженного ТТЛ ЛЭ показана на рис. 5.67,а. Описывается она следующими значениями параметров:

- $V_{IL} \leq 0,8 \text{ В}$  — уровень логического 0 входного напряжения,
- $V_{IH} \geq 2,4 \text{ В}$  — уровень логической 1 входного напряжения,
- $V_{OL} \leq 0,4 \text{ В}$  — уровень логического 0 выходного напряжения,
- $V_{OH} \geq 2,8 \text{ В}$  — уровень логической 1 выходного напряжения,
- $V_{TH} = 1,2 \text{ В}$  — пороговое напряжение переключения.

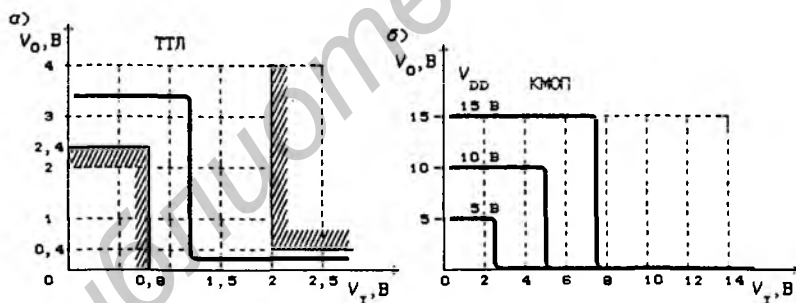


Рис. 5.67

Такие значения основных параметров имеют ИС всех ТТЛ-серий  $SN54/SN74$ , изготавливаемых по разным технологиям (небольшие различия имеются лишь в значении параметра  $V_{TH}$ ).

Передаточные характеристики ненагруженных КМОП ЛЭ серий  $CD4000$  при напряжениях питания  $V_{DD} = 5, 10$  и  $15 \text{ В}$  показаны на рис. 5.67,б. Описываются они следующими значениями параметров:

- $V_{IL} \leq 0,2 \cdot V_{DD}$  — уровень логического 0 входного напряжения,
- $V_{IH} \geq 0,8 \cdot V_{DD}$  — уровень логической 1 входного напряжения,

$V_{OL} = 0 \text{ В}$  — уровень логического 0 выходного напряжения,  
 $V_{OH} = V_{DD}$  — уровень логической 1 выходного напряжения,  
 $V_{TH} = V_{DD}/2$  — пороговое напряжение переключения.

Сравнение уровней входных и выходных сигналов ТТЛ и КМОП ИС наглядно представлено с помощью диаграмм на рис. 5.68 при значении  $V_{DD} = +5 \text{ В}$ . Из этих диаграмм видна несогласованность уровней логических 1 выходных сигналов ТТЛ ИС и входных сигналов КМОП ИС. Согласование этих уровней напряжения при управлении КМОП ИС от ТТЛ ИС было рассмотрено в § 5.2 (при  $V_{DD} \geq +5 \text{ В}$  используются ЛЭ с открытым коллекторным выходом, выходные каскады которых выполнены на высоковольтных транзисторах).

**Преобразователи уровней напряжения.** Большинство КМОП ИС серий *CD4000* имеют малые выходные токи — выходы не могут быть нагружены даже на один вход ТТЛ ИС серии 155. Для согласования уровней напряжений и токов при управлении ТТЛ ИС от КМОП ИС выпускаются два КМОП ЛЭ: 561ЛН2 (*CD4049UB*) и 1561ПУ4 (*CD4050B*), показанные на рис. 5.69. Эти ЛЭ имеют входные цепи (рис. 5.70,а), отличающиеся от входных цепей всех остальных КМОП ЛЭ (рис. 5.70,б). Диоды во входных цепях служат для защиты от электростатического напряжения. Так как во входных цепях ЛЭ 561ЛН2 и 1561ПУ4 отсутствуют диоды защиты, подключенные к источнику питания  $V_{DD}$ , то на их входы можно подавать  $V_{IH} > 5 \text{ В}$  при  $V_{DD} = 5 \text{ В}$ , т. е. эти ЛЭ можно использовать в качестве понижающих преобразователей уровней напряжения, что обеспечивает согласование уровней напряжений при управлении ТТЛ ИС от КМОП ИС. Выходные же токи этих ЛЭ ( $I_{OH} = -6,4 \text{ мА}$  при  $V_{OH} = 2,5 \text{ В}$  и  $I_{OL} = 6,4 \text{ мА}$  при  $V_{OL} = 0,4 \text{ В}$ ) обеспечивают высокую нагрузочную способность, достаточную для подключения к их выходам нескольких входов ТТЛ ИС.

Для согласования КМОП ИС с ТТЛ ИС только по току могут использоваться ЛЭ 564ЛА10 (рис. 5.70,в), имеющие выходной каскад с открытым стоком, который обеспечивает выходной ток  $I_{OL} = 32 \text{ мА}$ , достаточный для подключения 20 входов ИС серии 155. Резисторы, подключенные к выходам ЛЭ (3,3 кОм), гарантируют ток  $I_{OH}$  для 20 входов ИС серии 155.

Быстродействие КМОП ИС существенно зависит от величины напряжения питания  $V_{DD}$ . Например, *D*-триггер *CD4013B* может работать на частоте тактового сигнала 3,5 МГц при  $V_{DD} = 5 \text{ В}$ , 8 МГц при  $V_{DD} = 10 \text{ В}$  и 12 МГц при  $V_{DD} = 15 \text{ В}$ . Поэтому в высокочастотных узлах КМОП-устройств используют повышенные значения напряжений питания. Для согласования отдельных частей устройства, работающих при разных напря-

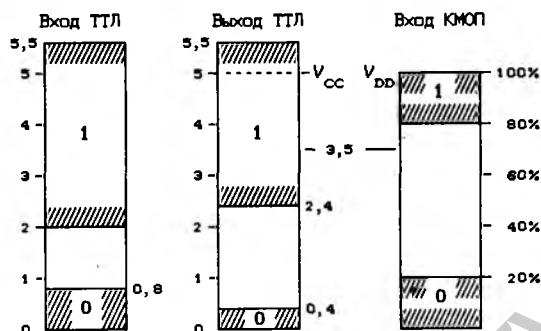


Рис. 5.68

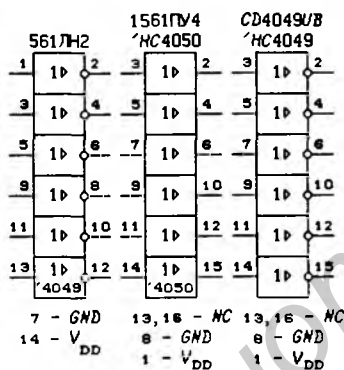


Рис. 5.69

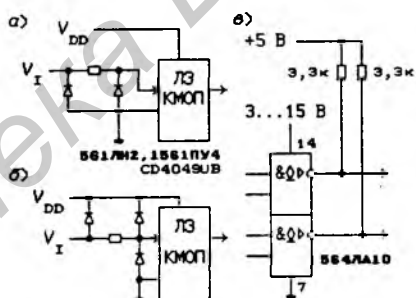


Рис. 5.70

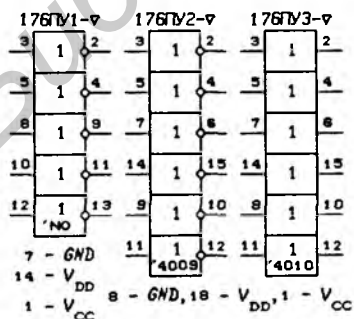


Рис. 5.71

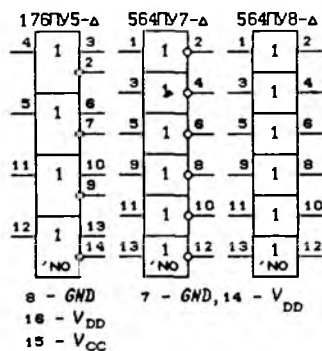


Рис. 5.72

жениях питания, могут потребоваться как понижающие, так и повышающие преобразователи напряжений.

На рис. 5.71 показаны понижающие преобразователи напряжения, а на рис. 5.72 — повышающие преобразователи. Параметры большинства этих преобразователей приведены в [35]. Интегральная схема 176ПУ5 имеет комплементарные выходы. Такие выходы характеризуются задержкой между прямым и инверсным сигналами на порядок меньшей, чем задержка этих сигналов относительно входного сигнала.

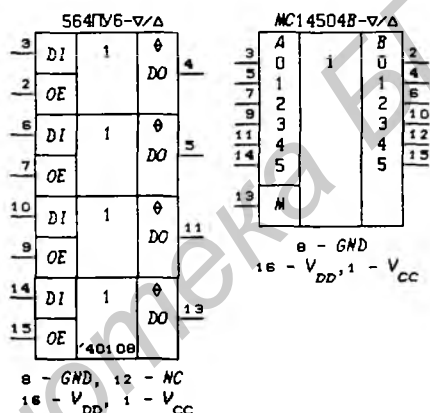


Рис. 5.73

Выпускаются также универсальные преобразователи уровней напряжений, которые можно использовать как для повышения, так и для понижения уровней напряжения. Такие преобразователи показаны на рис. 5.73. Преобразователь 564ПУ6 состоит из четырех независимых преобразователей уровня с тремя состояниями выхода (при  $OE = 1$  преобразователь включен, а при  $OE = 0$  выход  $DO$  находится в  $Z$ -состоянии). Уровень выходных сигналов преобразователей 564ПУ6 и  $MC14504B$  определяет напряжение питания  $V_{DD}$ . Соотношения между напряжениями  $V_{CC}$  и  $V_{DD}$  могут быть самыми разными:  $V_{CC} < V_{DD}$  (для повышающего преобразователя) и  $V_{CC} > V_{DD}$  (для понижающего преобразователя). Входные цепи защиты от электростатического напряжения у ИС  $MC14504B$  соответствуют рис. 5.70, а. Сигнал  $M$  включает режим преобразования ТТЛ  $\rightarrow$  КМОП ( $M = 1 = V_{CC}$ ) или КМОП  $\rightarrow$  КМОП ( $M = 0$ ).

## 5.7. Асинхронные потенциальные триггеры и регистры памяти

Асинхронные потенциальные триггеры независимо от их типа ( $R-S$ ,  $D-L$  и др.) называются *триггерами-защелками* (*Latch*), или *фиксаторами*. Такие триггеры находят широкое применение при проектировании дискретных устройств и микропроцессорных систем.

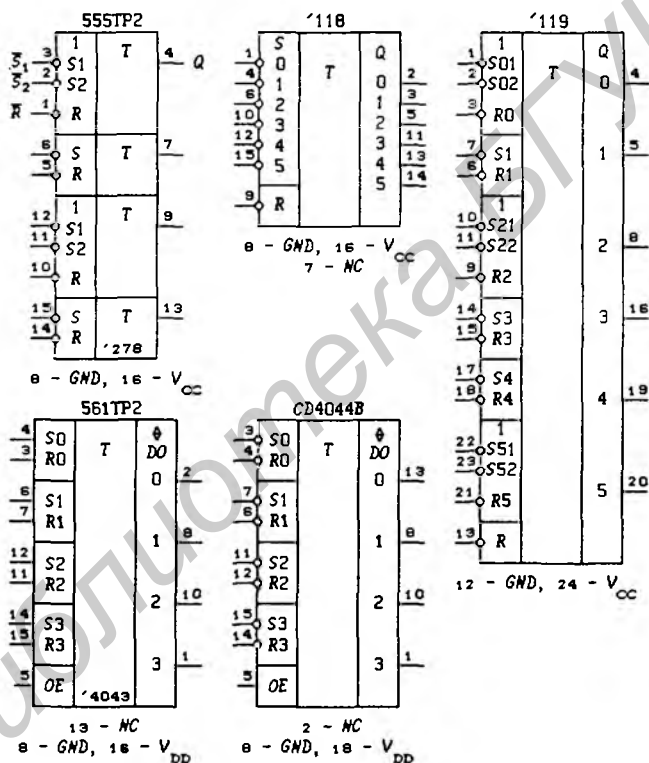


Рис. 5.74

**Триггеры типа  $R-S$ .** Триггеры данного типа описываются функцией переходов

$$Q^+ = S \vee Q \cdot \bar{R}. \quad (5.3)$$

На рис. 5.74 изображены ИС:

555TP2 — четыре  $R-S$ -триггера, описываемые функцией переходов (5.3), два из которых выполнены с входной логикой

$$S = S_1 \vee S_2;$$

74118 — шесть  $R$ - $S$ -триггеров с общим сигналом  $\bar{R}$  установки в состояние  $Q_r = 0$ , описываемых функцией переходов  $Q_r^+ = S_r \vee Q_r \bar{R}$ , где  $r = 0, 1, \dots, 5$ ;

74119 — шесть  $R$ - $S$ -триггеров, описываемых функциями переходов

$$Q_r^+ = \begin{cases} S_{r1} \vee S_{r2} \vee Q_r \bar{R}_r \vee \bar{R}, & r = 0, 2, 5, \\ S_r \vee Q_r \bar{R}_r \vee \bar{R}, & r = 1, 3, 4; \end{cases}$$

561TP2, CD4044B — четыре  $R$ - $S$ -триггера с  $Z$ -состоянием выходов, описываемые функцией переходов  $Q_r^+ = S_r \vee Q_r \bar{R}_r$  и функцией выхода

$$DO_r = \begin{cases} Q_r & \text{при } OE = 1, \quad r = 0, 1, 2, 3, \\ Z\text{-состояние} & \text{при } OE = 0. \end{cases} \quad (5.4)$$

Принципиальная схема одного из триггеров 555TP2 с двумя входами  $S_j$  показана на рис. 5.75, а. Структурные схемы триггеров 561TP2 и CD4044B с  $Z$ -состоянием выходов показаны на рис. 5.75, б. На выходах триггеров  $\bar{Q}_r$  включены вентили с тремя состояниями выхода. Отметим, что управление третьим состоянием выхода в любой ИС всегда осуществляется с помощью такого вентиля.

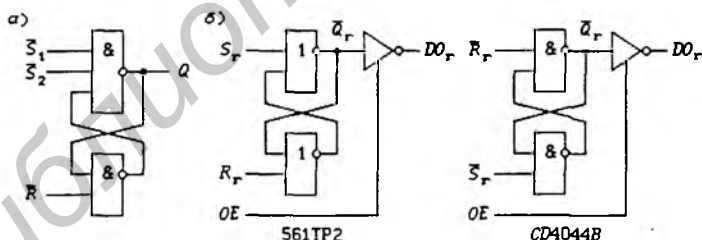


Рис. 5.75

**Триггеры типа  $D$ - $L$ .** Триггеры данного типа описываются функцией переходов

$$Q^+ = D \cdot L \vee Q \cdot \bar{L} \quad (5.5)$$

и называются “прозрачными триггерами”, так как при  $L = 1$  выходной сигнал триггера  $Q^+ = D$  — прямая передача входного сигнала  $D$  на выход  $Q$ . Основное назначение  $D$ - $L$ -триггеров — фиксация информации, подаваемой на вход  $D$ . Действительно, из (5.5) следует, что при переходе сигнала загрузки  $L$  с 1



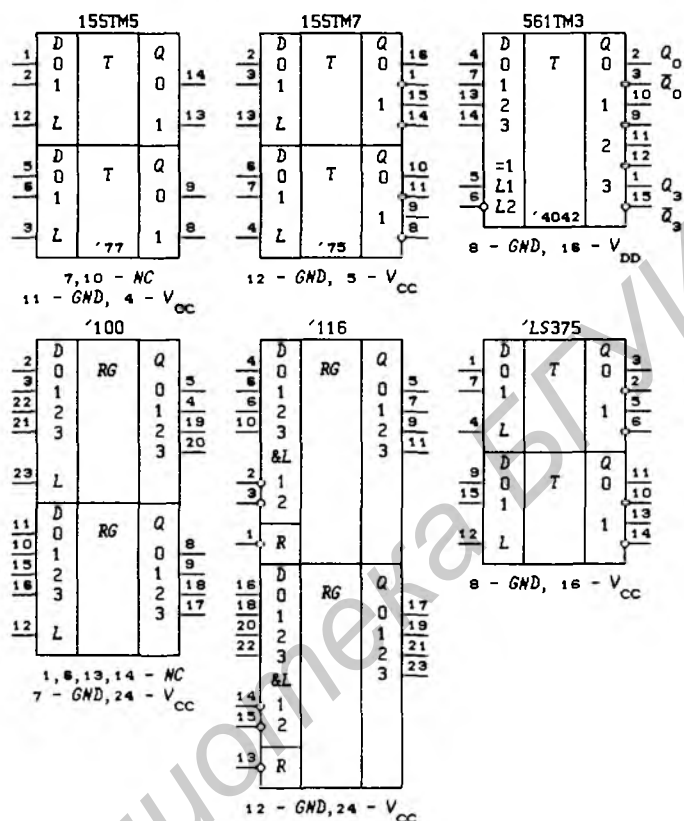


Рис. 5.76

на 0 выходной сигнал триггера  $Q^+ = Q = D$ , где  $Q$  — последнее значение  $D$  до указанного перехода сигнала  $L$ . На рис. 5.76 показаны ИС:

155TM5 — две пары  $D$ - $L$ -триггеров с общими сигналами загрузки  $L$  (*Load* — *загрузка*), описываемые функцией переходов

$$Q_r^+ = D_r L \vee Q_r \bar{L}, \quad r = 0, 1; \quad (5.6)$$

155TM7, 74LS375 — две пары  $D$ - $L$ -триггеров с прямыми и инверсными выходами и общими сигналами загрузки  $L$ , описываемые функцией переходов (5.6);

561TM3 — четыре  $D$ - $L$ -триггера с общим сигналом загрузки  $L = \bar{L}_1 \oplus \bar{L}_2$ , описываемые функцией переходов (5.6) при  $r = 0, 1, 2, 3$ ;

74100 — два 4-разрядных регистра памяти, выполненных на  $D-L$ -триггерах, описываемые функцией переходов (5.6) при  $r = 0, 1, 2, 3$ ;

74116 — два 4-разрядных регистра памяти, выполненных на  $D-L-R$ -триггерах с приоритетом входа  $R$  и входом загрузки  $L = L_1 L_2$ , описываемые функцией переходов

$$Q_r^+ = (D_r L \vee Q_r \bar{L}) \bar{R}, \quad r = 0, 1, 2, 3. \quad (5.7)$$

Деление ИС по функциональному назначению на триггеры и регистры памяти достаточно условно, так как любой триггер, в принципе, можно назвать одноразрядным регистром памяти. У триггеров 561ТМЗ по усмотрению пользователя возможно устанавливать значение активного уровня сигнала загрузки, так как

$$L = \overline{L_1 \oplus L_2} = \bar{L}_1 \oplus L_2 = L_1 \oplus \bar{L}_2 = \begin{cases} \bar{L}_1 & \text{при } L_2 = 0, \\ L_1 & \text{при } L_2 = 1. \end{cases}$$

На рис. 5.77 показаны 8-разрядные регистры памяти с  $Z$ -состоянием выходов, описываемые функциями (5.6) и (5.4) при  $r = 0, 1, \dots, 7$ . Эти регистры памяти имеют мощные выходы ( $\triangleright$ ), поэтому находят широкое применение в микропроцессорных устройствах в качестве фиксаторов разрядов адресной шины и драйверов шины данных (при  $L \equiv 1$  и  $OE = 1$  выходы  $DO_r = D_r$  — режим прямой передачи значений входных сигналов  $D_r$  на выходы  $DO_r$ ).

На рис. 5.78 приведены пары 4-разрядных регистров памяти, выполненных на  $D-L-R$ - и  $D-L-S$ -триггерах с приоритетом входов  $\bar{R}$  и  $\bar{S}$  и описываемых функциями переходов (5.7) или

$$Q_r^+ = S \vee D_r L \vee Q_r \bar{L}, \quad r = 0, 1, 2, 3$$

и функцией выхода (5.4).

На рис. 5.79 показаны ИС:

74F841, 74ALS29841, 74ALS29842, 74AC11841, 74AC11842 — 10-разрядные регистры памяти с  $Z$ -состоянием выходов, описываемые функциями (5.6) и (5.4) при  $r = 0, 1, \dots, 9$ ;

74F843, 74ALS29843, 74ALS29844, 74AC11843, 74AC11844 — 9-разрядные регистры памяти с  $Z$ -состоянием выходов, выполненные на  $D-L-R-S$ -триггерах и описываемые функцией переходов

$$Q_r^+ = S \vee (D_r L \vee Q_r \bar{L}) \bar{R}, \quad (5.8)$$

и функцией выхода (5.4) при  $r = 0, 1, \dots, 8$ ;

74F845, 74ALS29845, 74ALS29846, 74AC11845, 74AC11846 — 8-разрядные регистры памяти с  $Z$ -состоянием выходов, выполненные на  $D-L-R-S$ -триггерах и описываемые функциями (5.8) и (5.4) при  $OE = OE_1 OE_2 OE_3$  и  $r = 0, 1, \dots, 7$ .

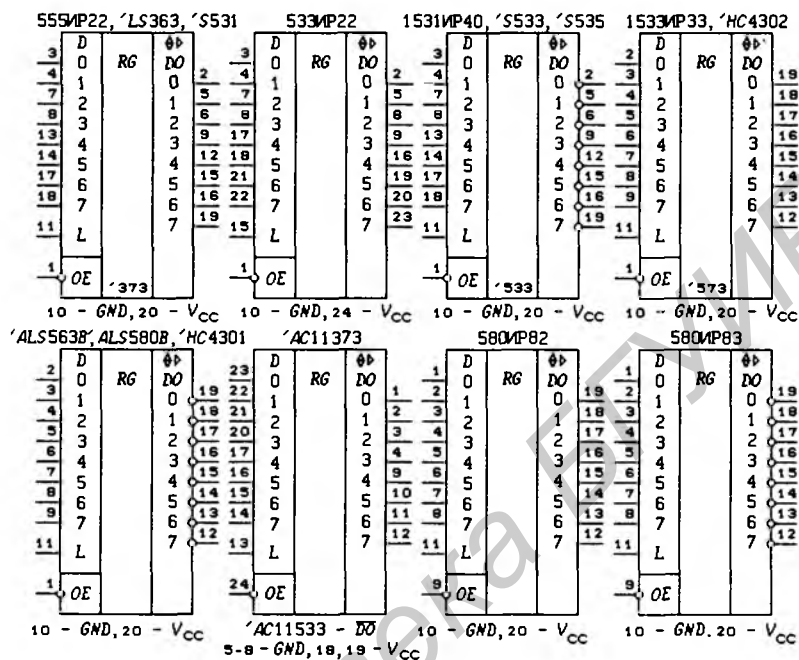


Рис. 5.77

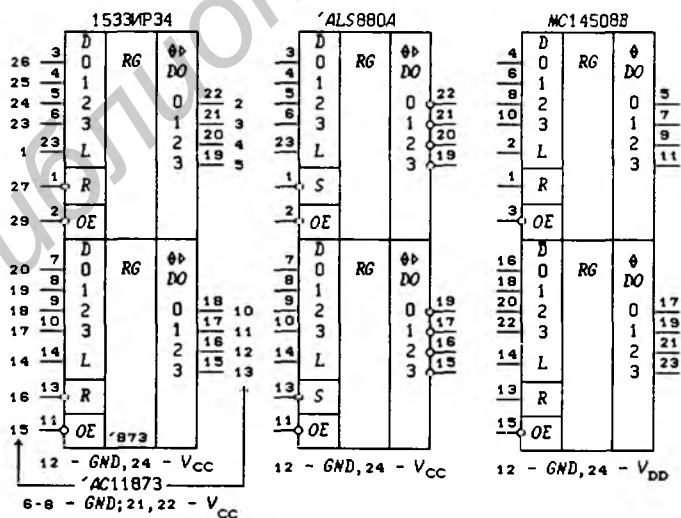


Рис. 5.78

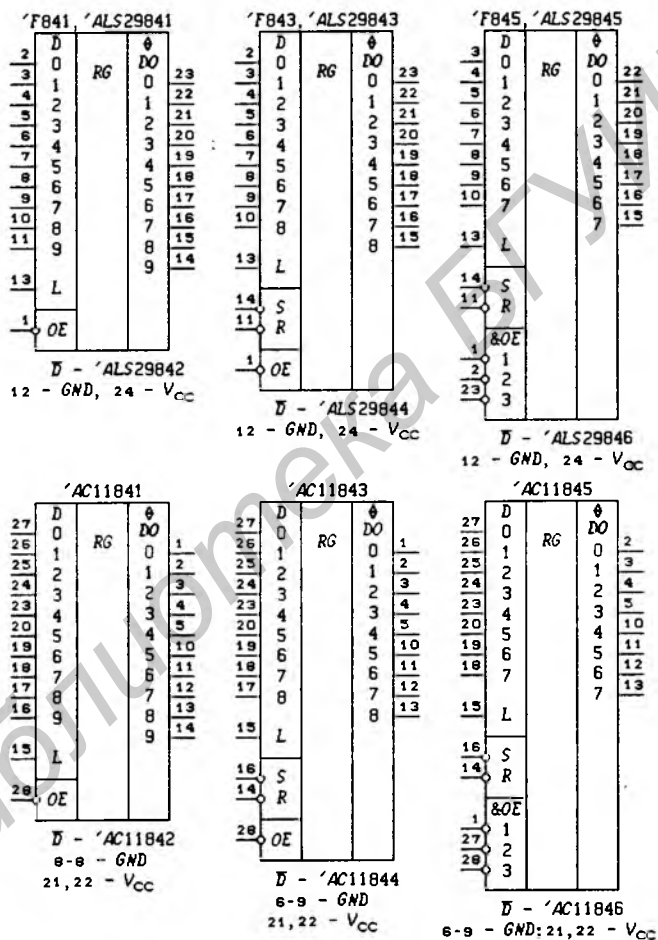


Рис. 5.79

Регистры памяти с четными номерами имеют инверсные входы  $\overline{D}$ , что эквивалентно инверсным выходам  $\overline{DO}$  при прямых входах  $D$ .

Для контроля записанных в регистр памяти данных они дополняются буферами обратного чтения с  $Z$ -состоянием выхода. На рис. 5.80 приведены "прозрачные" регистры памяти с обратным чтением (*Transparent Read-Back Latches*):

74ALS666, 74ALS667 — 8-разрядные регистры памяти с  $Z$ -состоянием выходов, выполненные на  $D-L-R-S$ -триггерах и описываемые функциями (5.8) и (5.4) при  $OE = OE_1OE_2$  и  $r = 0, 1, \dots, 7$ ;

74ALS990, 74ALS991 — 8-разрядные регистры памяти, выполненные на  $D-L$ -триггерах и описываемые функциями (5.6) при  $r = 0, 1, \dots, 7$ ;

74ALS992, 74ALS993 — 9-разрядные регистры памяти с  $Z$ -состоянием выходов, выполненные на  $D-L-R$ -триггерах и описываемые функциями (5.7) и (5.4) при  $r = 0, 1, \dots, 8$ ;

74ALS994, 74ALS995 — 10-разрядные регистры памяти, выполненные на  $D-L$ -триггерах и описываемые функциями (5.6) при  $r = 0, 1, \dots, 9$ .

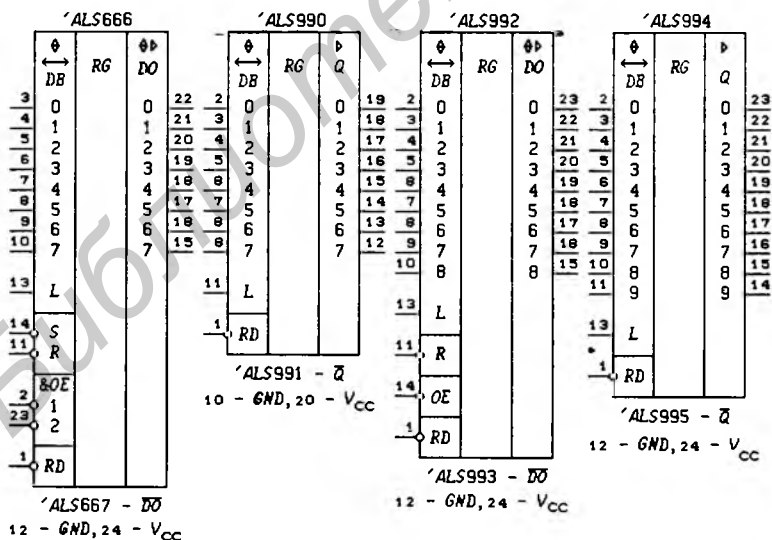


Рис. 5.80

Обратное чтение записанных данных производится сигналом  $\overline{RD}$  (*Read* — чтение). Структурная схема ИС 74ALS990 показана

на на рис. 5.81,а, из которого видно, что при значении  $\overline{RD} = 0$  сигнал  $D_r = Q_r$ . Если даже при этом сигнал загрузки  $L = 1$ , то состояние регистра памяти все-таки не изменяется. Таким образом, выходы ИС  $D_r$  служат как для записи данных в регистр памяти, так и для его чтения, т. е. эти выходы двунаправленные. Структурная схема ИС 74ALS666 с Z-состоянием выходов приведена на рис. 5.81,б — по операциям чтения и записи информации она не отличается от предыдущей ИС. Остальные регистры памяти описываются подобными же структурными схемами.

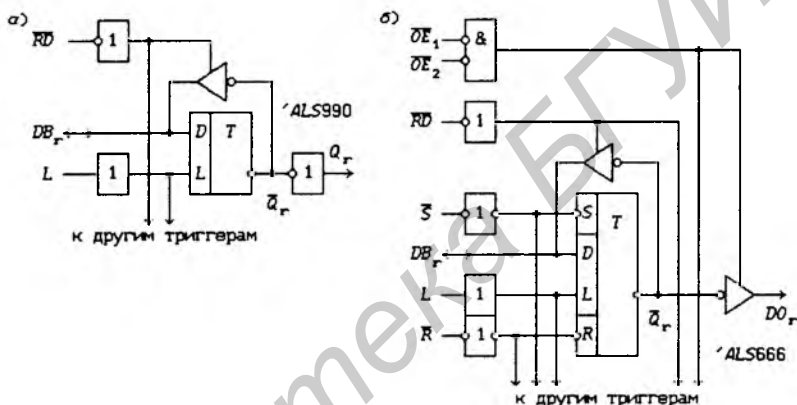


Рис. 5.81

**Применения асинхронных потенциальных регистров памяти.** В большинстве микропроцессоров и однокристальных микро-ЭВМ используется мультиплексная (совмещенная) шина адреса и данных  $AD$ . Разделение шины адреса-данных на шину адреса и шину данных производится с помощью временного мультиплексирования, как показано на рис. 5.82 (для примера взята 16-разрядная шина адреса-данных). Центральный процессор  $CPU$  (*Central Processing Unit*) сопровождает выдачу адресных сигналов подачей активного уровня сигнала  $ALE$  (*Address Latch Enable*) на входы загрузки  $L$  двух 8-разрядных регистров памяти 555ИР22 (фиксаторы адреса). Сигнал  $\overline{OE} = AEN$  (*Address Enable*) служит для отключения микропроцессора от системной шины адреса (*System Address Bus*), например, при использовании контроллера прямого доступа к памяти, выдающего в активном режиме работы значение сигнала  $AEN = 1$ . Для управления 16-разрядным приемопередатчиком (*Transceiver*) используются сигналы:  $\overline{OE} = \overline{DEN} \vee AEN$  ( $DEN$  — *Data Enable*) — включение приемопередатчика и  $T = DT/\overline{R}$  (*Data Transmit/Receive*) — передача/прием данных. При прямом доступе к памяти сигналы  $AEN = 1$ ,

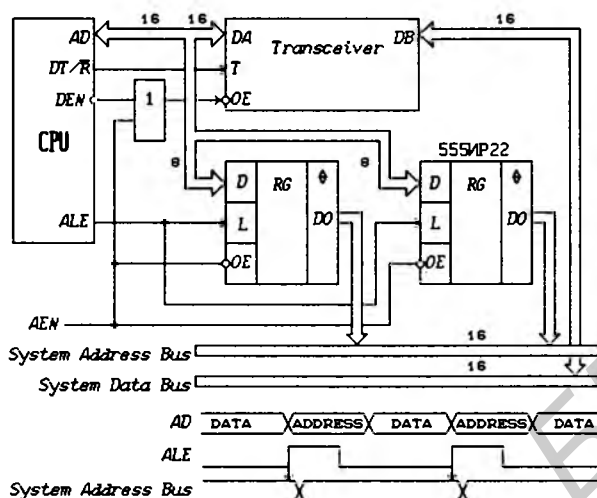


Рис. 5.82

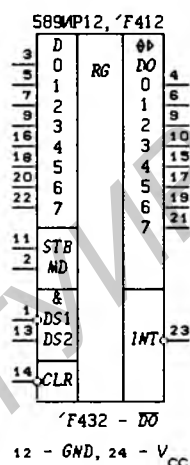


Рис. 5.83

$\overline{OE} = 1$ , и микропроцессор отключается от системной шины данных (System Data Bus).

Для увеличения функциональных возможностей и гибкости использования регистров памяти в них вводится дополнительная управляющая логика. Регистры памяти 589IP12, 74F412, 74F432 (рис. 5.83), построенные на основе  $D-L-R$ -триггеров с приоритетом входа  $L$ , называются *многорежимными буферными регистрами (Multi Mode Buffered Latches)*. Данные ИС предназначены для использования в микропроцессорных системах для выполнения обмена данными между центральным процессором и периферийными устройствами. Структурная схема ИС 589IP12 изображена на рис. 5.84, а и состоит из 8-разрядного регистра памяти  $Q_r$  ( $r = 0, 1, \dots, 7$ ), триггера запроса прерывания  $Q$  и схемы управления режимами работы ( $MUX$  — Multiplexer). Для управления регистром памяти используются сигналы:  $STB$  (Strobe) — строб,  $MD$  (Mode) — режим,  $DS_j$  (Device Select) — выбор кристалла,  $\overline{CLR}$  (Clear) — сброс,  $\overline{INT}$  (Interrupt Request) — запрос прерывания.

Функционирование регистров памяти определяется функцией переходов  $D-L-R$ -триггера (3.25) с приоритетом входа  $L$ :

$$Q_r^+ = D_r L \vee Q_r \overline{L} \vee \overline{CLR}, \quad L = STB \cdot \overline{MD} \vee DS_1 DS_2 MD, \quad (5.9)$$

где  $L$  — мультиплексная функция с адресным сигналом  $A = MD$ , позволяющая организовать загрузку данных от внешнего устройства сигналом  $STB$  при  $MD = 0$  (при операциях ввода) или от микропроцессора сигналом  $DS_1 DS_2 = WR \cdot CS$  при  $MD = 1$  (при операциях вывода). Сигнал записи  $WR$  поступает от микропроцессора, а сиг-

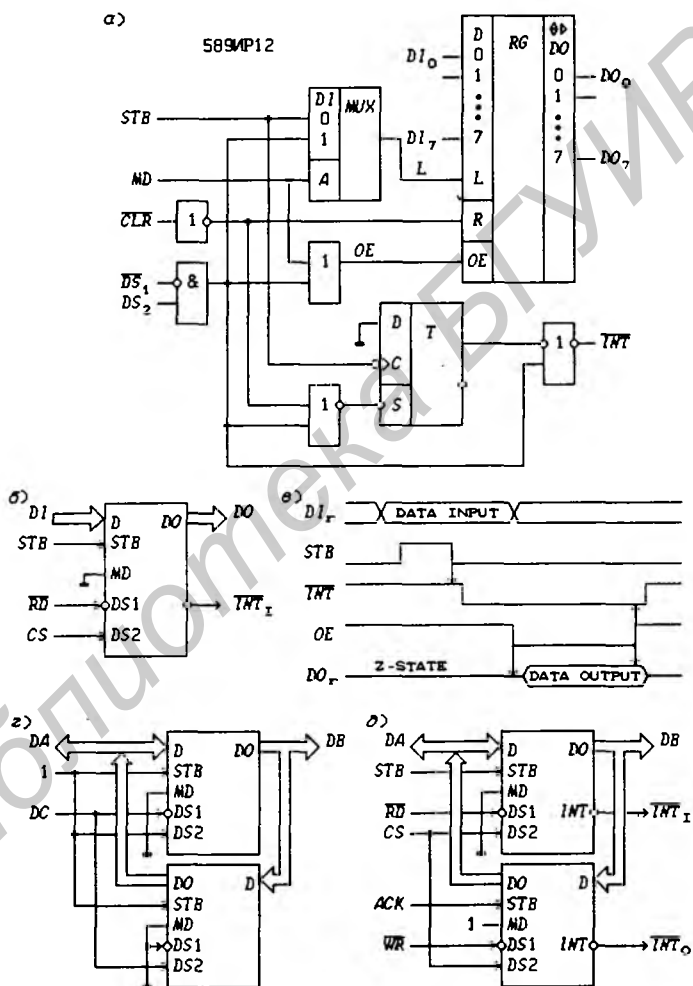


Рис. 5.84



нал  $CS$  — от дешифратора адреса внешнего устройства. Управление выходами  $DO_r$  осуществляется сигналом  $OE = MD \vee DS_1 DS_2$  в соответствии с соотношением

$$DO_r = \begin{cases} Q_r, & \text{если } OE = 1, \\ Z\text{-состояние,} & \text{если } OE = 0. \end{cases}$$

Эффективным методом обмена информацией между микропроцессором и внешними устройствами является метод, основанный на подаче внешними устройствами сигналов запроса прерывания основной программы для обслуживания операций ввода-вывода. Рассматриваемые регистры памяти содержат триггер запроса прерывания  $Q$ , функционирование которого на основании рис. 5.84,а и выражения (4.17) при  $R = 0$  определяется соотношением

$$Q^+ = S \vee Q \cdot \overline{dSTB},$$

где  $S = DS_1 DS_2 \vee CLR$ . Выходной сигнал ИС запроса прерывания  $\overline{INT} = Q \cdot DS_1 DS_2$ . Наличие пяти управляющих сигналов ( $STB$ ,  $MD$ ,  $\overline{DS_1}$ ,  $DS_2$ ,  $\overline{CLR}$ ) позволяет применять многорежимные буферные регистры для решения различных прикладных задач.

При использовании ИС 589ИР12 для ввода данных по прерыванию следует положить  $MD \equiv 0$ ,  $\overline{DS_1} = \overline{RD}$  — сигнал чтения внешнего устройства и  $DS_2 = CS$  — сигнал с дешифратора адреса внешнего устройства (рис. 5.84,б). Тогда сигнал загрузки  $L = STB$ , а  $OE = RD \cdot CS$ . На рис. 5.84,в показаны временные диаграммы, поясняющие ввод данных в центральный процессор по запросу прерывания от периферийного устройства (сигналы  $DI_r$  и  $STB$  формируются периферийным устройством, а сигнал чтения  $\overline{RD}$  и адресный сигнал выбора порта периферийного устройства  $CS$  выдаются центральным процессором при выполнении команды ввода подпрограммы обслуживания прерывания, вызванной сигналом запроса прерывания  $\overline{INT}_I = 0$ ). Выходы порта ввода  $DO_r$  находятся в третьем состоянии, если сигнал чтения  $\overline{RD} = 1$  или адресный сигнал  $CS = 0$ .

На рис. 5.84,г показана структурная схема двунаправленного драйвера (приемопередатчика), реализованная на двух ИС 589ИР12. Из рис. 5.84,г следует, что  $MD \equiv 0$ ,  $STB \equiv 1$ , и в соответствии с (5.9)  $L \equiv 1$ , т. е. в регистрах памяти включен режим “прозрачной” работы. Сигнал  $DC$  (*Direction Control* — управление направлением передачи данных) поступает от центрального процессора для управления операциями ввода-вывода. Действительно, при  $DC = 0$  включена только верхняя ИС, и данные передаются от  $DA$  к  $DB$ , а при  $DC = 1$  включена нижняя ИС, и данные передаются от  $DB$  к  $DA$ .

Приемопередатчик с памятью, позволяющий осуществить ввод и вывод по прерыванию, показан на рис. 5.84,д. Здесь предполагается, что внешнее устройство имеет двунаправленную шину данных и подключено к шине  $DA$  приемопередатчика, а микропроцессор — к шине  $DB$ . На верхнем регистре памяти реализован ввод данных (полностью соответствует рис. 5.84,б), а на нижнем регистре памяти — вывод данных. Сигналы запроса прерываний ввода  $\overline{INT}_I$  и вывода  $\overline{INT}_O$  обыч-

но подаются на контроллер прерываний. Эти сигналы описываются функциями

$$\overline{INT}_I = Q \cdot \overline{RD} \cdot \overline{CS}, \quad Q^+ = RD \cdot CS \vee Q \cdot \overline{dSTB},$$

$$\overline{INT}_O = Q \cdot \overline{WR} \cdot \overline{CS}, \quad Q^+ = WR \cdot CS \vee Q \cdot \overline{dACK},$$

из которых следует, что активные уровни сигналов (0) запроса прерывания устанавливаются изменениями сигналов  $STB$  и  $ACK$  с 1 на 0. Значение сигнала  $ACK = 1$  (*Acknowledge* — подтверждение приема) выдается внешним устройством при приеме каждого очередного байта данных, что сопровождается требованием следующего байта данных сигналом  $\overline{INT}_O = 0$ . Неактивный уровень (1) сигналов запроса прерывания  $\overline{INT}_I$  и  $\overline{INT}_O$  устанавливается при чтении и записи данных со стороны микропроцессора сигналами  $RD \cdot CS = 1$  и  $WR \cdot CS = 1$ .

## 5.8. Синхронные триггеры и регистры памяти

Синхронные триггеры, как правило, имеют и асинхронные потенциальные входы (обычно входы  $R$  и  $S$  установки состояний 0 и 1). Названия типов таких триггеров состояются из названий их синхронных и асинхронных входов, например,  $D$ - $L/R$ - $S$ -триггер означает синхронный  $D$ - $L$ -триггер с асинхронными потенциальными входами  $R$  и  $S$ .

**Триггеры типов  $D/R$ - $S$  и  $D/R$ .** Триггеры типа  $D/R$ - $S$  описываются функцией переходов

$$Q^+ = S \vee (D \cdot dH \vee Q \cdot \overline{dH}) \cdot \overline{R}, \quad (5.10)$$

которая при  $H = const$  ( $dH = 0$ ) превращается в функцию переходов (5.3) асинхронного потенциального  $R$ - $S$ -триггера. Функция переходов  $D/R$ -триггера получается из (5.10) подстановкой неактивного значения сигнала  $S = 0$ :

$$Q^+ = (D \cdot dH \vee Q \cdot \overline{dH}) \cdot \overline{R}. \quad (5.11)$$

На рис. 5.85 приведены ИС:

555TM2, 561TM2, 74AC11074 — два  $D/R$ - $S$ -триггера, описываемые функцией переходов (5.10);

176TM1 — два  $D/R$ -триггера, описываемые функцией переходов (5.11);

74HC7074, 74HC7075, 74HC7076 — два  $D/R$ - $S$ -триггера, описываемых функцией переходов (5.10), и четыре ЛЭ.

На тактовый вход  $C$  (*Clock* — часы) триггеров подается инверсный  $\overline{H}$  тактовый сигнал. Треугольник указывает динамический (импульсный) вход. В соответствии с определением оператора перехода (2.1) у одного из триггеров показан перепад

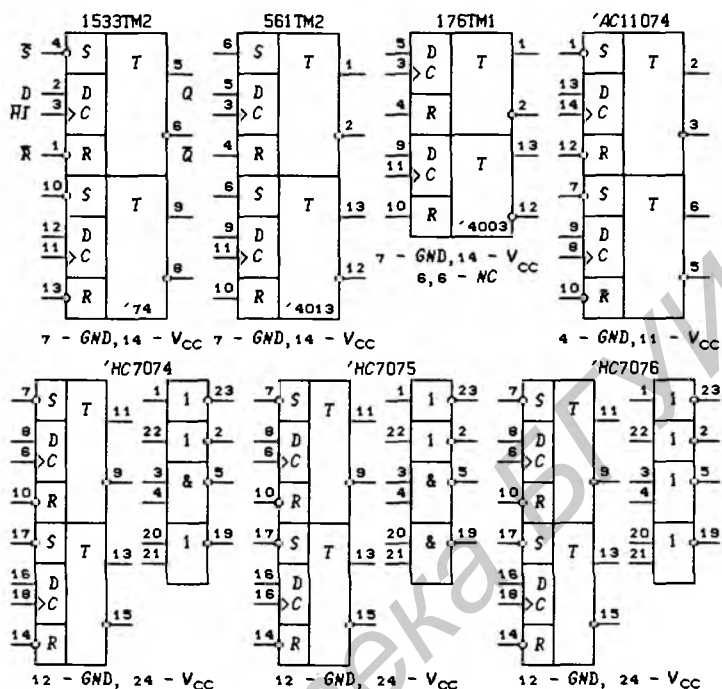


Рис. 5.85

тактового сигнала, вызывающий изменение состояния триггера. При аналитическом описании триггеров считается, что изменение их состояний всегда вызывает переход тактового сигнала с 1 на 0. Состояния же триггеров в выпускаемых сериях ИС могут изменяться при изменении сигнала  $H$  с 0 на 1, что отображается подачей на вход  $C$  инверсного тактового сигнала  $\bar{H}$ . Для распознавания синхронных и асинхронных входов левое вспомогательное поле на графических обозначениях делится на зоны, и тактовый вход  $C$  со всеми относящимися к нему синхронными информационными входами помещаются в одной зоне.

Если на входы  $D$ -триггеров подать инверсную функцию возбуждения  $\bar{D}$ , то выходы  $Q$  и  $\bar{Q}$  и асинхронные входы  $R$  и  $S$  поменяются местами. Схема  $D/R$ - $S$ -триггеров, изготовляемых по ТТЛ-технологии, была синтезирована в § 3.7 (см. рис. 3.60, а).

Триггеры типов  $J$ - $K/R$ - $S$ ,  $J$ - $K/R$  и  $J$ - $K/S$ . Триггеры типа  $J$ - $K/R$ - $S$  описываются функцией переходов

$$Q^+ = S \vee (\bar{Q} \cdot J \cdot dH \vee Q \cdot \bar{K} \cdot d\bar{H}) \cdot \bar{R}, \quad (5.12)$$

которая при  $H = const$  ( $dH = 0$ ) превращается в функцию переходов (5.3) асинхронного потенциального  $R$ - $S$ -триггера. Функции переходов триггеров других типов получаются из (5.12) подстановкой неактивных значений сигналов  $S = 0$  и  $R = 0$ .

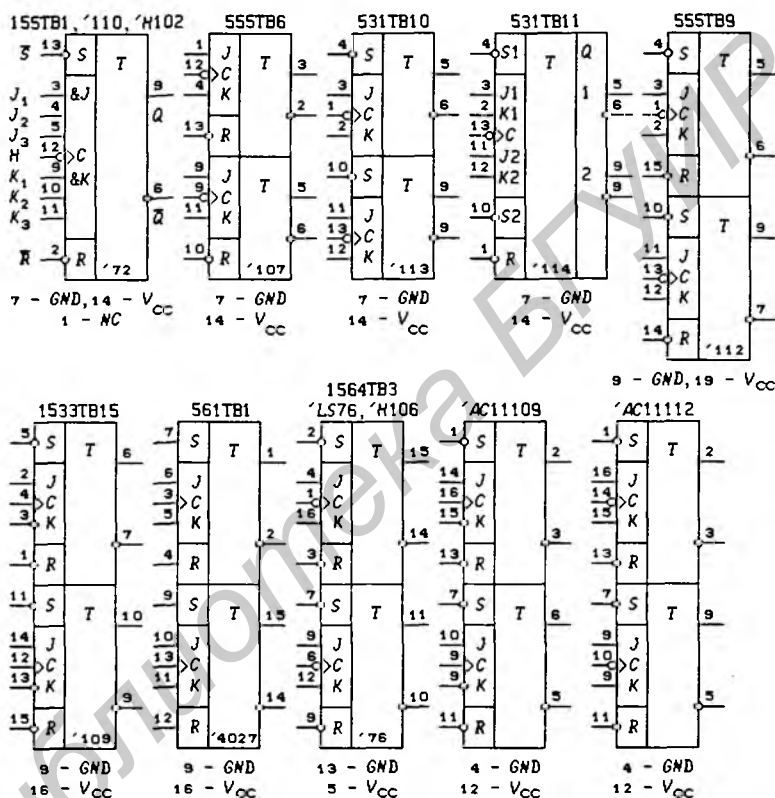


Рис. 5.86

На рис. 5.86 показаны ИС:

155TB1, 7472, 74H102 —  $J$ - $K$ / $R$ - $S$ -триггеры с входной логикой 3И ( $J = J_1 J_2 J_3$ ,  $K = K_1 K_2 K_3$ ), описываемые функцией переходов (5.12);

555TB6 — два  $J$ - $K$ / $R$ -триггера, описываемые функцией переходов

$$Q^+ = (\overline{Q} \cdot J \cdot dH \vee Q \cdot \overline{K} \cdot d\overline{H}) \cdot \overline{R}; \quad (5.13)$$

531TB10 — два  $J$ - $K$ / $S$ -триггера, описываемые функцией пе-

переходов

$$Q^+ = S \vee \overline{Q} \cdot J \cdot dH \vee Q \cdot \overline{K} \cdot d\overline{H}; \quad (5.14)$$

531ТВ11 — два  $J$ - $K$ / $R$ - $S$ -триггера с общим входом  $\overline{R}$  установки состояния  $Q = 0$ , описываемые функцией переходов

$$Q_r^+ = S_r \vee (\overline{Q}_r J_r dH \vee Q_r \overline{K}_r d\overline{H}) \cdot \overline{R}, \quad r = 1, 2; \quad (5.15)$$

555ТВ9, 1533ТВ15, 561ТВ1, 1564ТВ3, 74LS76, 74Н106, 74АС11109, 74АС11112 — два  $J$ - $K$ / $R$ - $S$ -триггера, описываемых функцией переходов (5.12).

Все синхронные триггеры, выпускаемые отечественной промышленностью, за исключением  $J$ - $K$ / $R$ - $S$ -триггера 155ТВ1 принадлежат к группе  $I$  (см. § 4.2).

Схемы триггеров типа  $J$ - $K$  и  $J$ - $K$ / $R$ - $S$  были синтезированы в § 3.7. Триггеры 1533ТВ15 и 74АС11109 (см. рис. 3.60, б) имеют прямой  $J$  и инверсный  $\overline{K}$  информационные входы, что позволяет простым их соединением получить  $D$ -триггер. Действительно, подставив в (5.12)  $D = J = \overline{K}$ , получим функцию переходов (5.10). Если в  $J$ - $K$ -триггерах, имеющих только один асинхронный потенциальный вход  $\overline{R}$  или  $S$ , произвести взаимную замену сигналов  $J$  и  $K$ , то выходы  $Q$  и  $\overline{Q}$  поменяются местами, а сигнал  $R$  изменится на  $S$  ( $S$  изменится на  $R$ ).

На рис. 5.87 приведены ИС:

7470 —  $J$ - $K$ / $R$ - $S$ -триггер с входной логикой 3И ( $J = J_1 J_2 J_3$ ,  $K = K_1 K_2 K_3$ ), описываемый функцией переходов (5.12);

74Н71, 74Н101 —  $J$ - $K$ / $S$ -триггеры с входной логикой 2-2И-ИЛИ ( $J = J_1 J_2 \vee J_3 J_4$ ,  $K = K_1 K_2 \vee K_3 K_4$ ), описываемые функцией переходов (5.14);

74LS73, 74Н103, 74115 — два  $J$ - $K$ / $R$ -триггера, описываемых функцией переходов (5.13);

74LS78, 74Н108 — два  $J$ - $K$ / $R$ - $S$ -триггера, описываемых функцией переходов (5.15);

74104, 74105 —  $J$ - $K$ / $R$ - $S$ -триггеры с входной логикой 4И ( $J = J_1 J_2 J_3 EC$ ,  $K = K_1 K_2 K_3 EC$ ,  $EC$  — *Enable Count* — разрешение счета), описываемые функцией переходов (5.12);

74111 — два  $J$ - $K$ / $R$ - $S$ -триггера, описываемые функцией переходов (5.12);

74276 — четыре  $J$ - $K$ / $R$ - $S$ -триггера с общими асинхронными потенциальными входами  $\overline{R}$  и  $\overline{S}$ , описываемые функцией переходов

$$Q_r^+ = S \vee (\overline{Q}_r J_r dH \vee Q_r \overline{K}_r d\overline{H}) \cdot \overline{R}, \quad r = 1, 2, 3, 4;$$

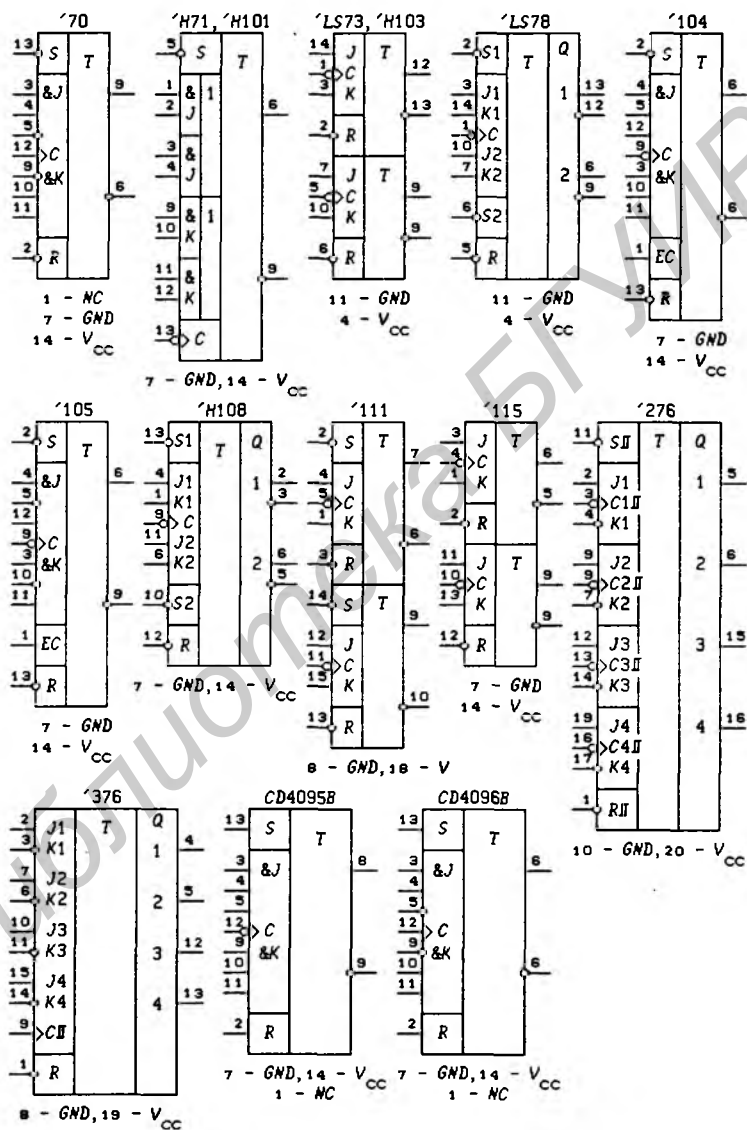


Рис. 5.87

74376 — четыре  $J$ - $K/R$ -триггера с общим асинхронным потенциальным входом  $\bar{R}$ , описываемые функцией переходов

$$Q_r^+ = (\bar{Q}_r J_r dH \vee Q_r \bar{K}_r \bar{dH}) \cdot \bar{R}, \quad r = 1, 2, 3, 4;$$

$CD4095B$ ,  $CD4096B$  —  $J$ - $K/R$ - $S$ -триггеры с входной логикой 3И ( $J = J_1 J_2 J_3$ ,  $K = K_1 K_2 K_3$ ), описываемые функцией переходов (5.12).

**Синхронные регистры памяти на  $D/R$ -триггерах.** Совокупность синхронных триггеров некоторого типа с общим тактовым  $H$  ( $\bar{H}$ ) входом называется *синхронным регистром памяти*. Поскольку деление ИС на триггеры и регистры памяти достаточно условно, то они обозначаются через  $T$  (*Trigger*) или  $RG$  (*Register*). Если  $D$ -триггеры имеют дополнительные синхронные или асинхронные информационные входы, то они также являются общими для всех триггеров.

На рис. 5.88 показаны регистры памяти, выполненные на  $D/R$ -триггерах:

555TM8,  $MC14175B$ , 74LS171, 74AC11175 — 4-разрядные регистры памяти с прямыми и инверсными выходами;

555TM9,  $MC14174B$ ,  $CD14074B$ , 74AC11174 — 6-разрядные регистры памяти;

555IP35, 74ALS273, 74AC11273 — 8-разрядные регистры памяти.

Все эти регистры памяти описываются функцией переходов

$$Q_r^+ = (D_r dH \vee Q_r \bar{dH}) \cdot \bar{R} \quad (5.16)$$

при различных значениях  $r = 0, 1, 2, \dots$ .

**Синхронные регистры памяти на  $D$ - $L$ -триггерах.** Регистры памяти с общим входом синхронной загрузки  $L$ , построенные на  $D$ - $L$ -триггерах, описываются функцией переходов

$$Q_r^+ = D_r L \cdot dH \vee Q_r \bar{L} \cdot \bar{dH}, \quad (5.17)$$

где  $r = 0, 1, \dots, m-1$ ;  $m$  — число триггеров в регистре памяти. На рис. 5.89 представлены ИС:

531IP18, 74LS378, 74AC11378 — 6-разрядные регистры памяти;

531IP19, 74LS379, 74AC11379 — 4-разрядные регистры памяти с прямыми и инверсными выходами;

533IP27, 555IP27, 74AC11377 — 8-разрядные регистры памяти.

Все эти регистры памяти описываются функцией переходов (5.17) при различных значениях  $m$ .

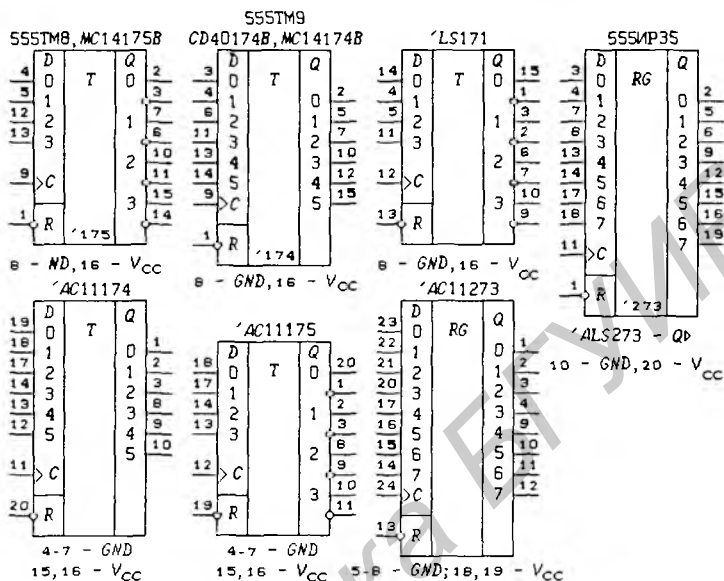


Рис. 5.88

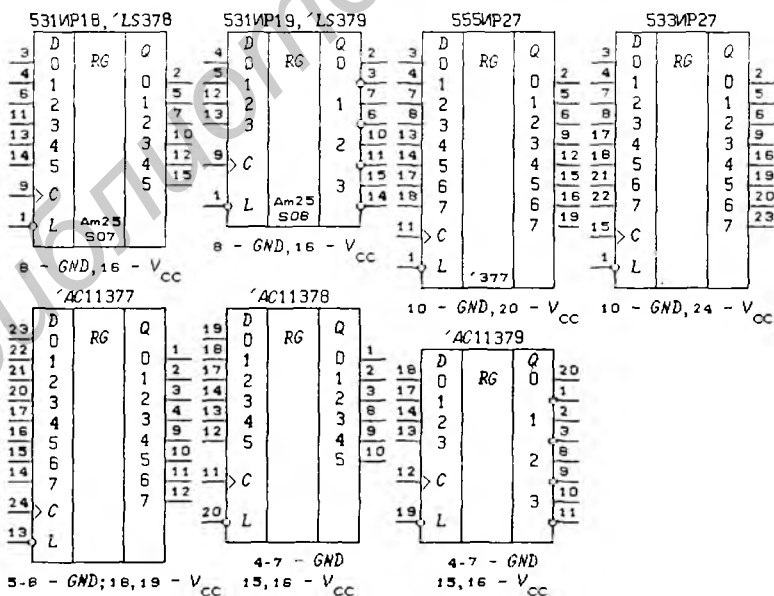


Рис. 5.89



**Синхронные регистры памяти с мультиплексными входами  $D$ .** Информационные входы  $D$  триггеров в таких регистрах памяти описываются мультиплексной функцией  $D = D_0\overline{WS} \vee D_1WS$  ( $WS$  — *Word Select* — выбор слова). На рис. 5.90 показаны регистры памяти:

531ИР20, 1533КП20, 134ИР5, 74L98 — 4-разрядные регистры памяти, описываемые функцией переходов

$$Q_r^+ = (D_{r0}\overline{WS} \vee D_{r1}WS)dH \vee Q_r\overline{dH}, \quad r = 0, 1, 2, 3. \quad (5.18)$$

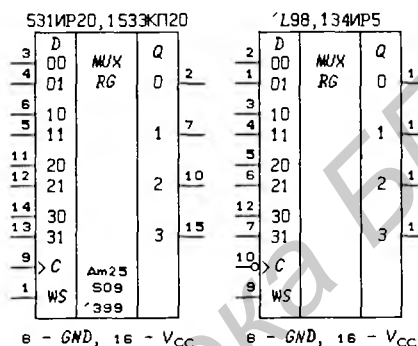


Рис. 5.90

Если положить  $WS = \overline{L}$ , а  $D_{r1} = Q_r$ , то функция переходов (5.18) преобразуется в функцию переходов (5.17) при  $D_r = D_{r0}$ , т.е.  $D$ -триггеры в регистре памяти преобразуются в  $D$ - $L$ -триггеры. Если же в функцию переходов (5.18) подставить значения  $WS = R$  и  $D_{r1} = 0$ , то можно получить  $Q_r^+ = D_{r0}\overline{R} \cdot dH \vee Q_r\overline{dH}$  — функцию переходов  $D$ - $R$ -триггера с приоритетом синхронного входа  $R$  сброса регистра памяти в нулевое состояние.

Другие ИС, представляющие собой синхронные регистры памяти с мультиплексными входами  $D$ , показаны на рис. 6.31.

**Синхронные регистры памяти с  $Z$ -состоянием выходов.** Такие регистры памяти выполняются на триггерах различных типов. На рис. 5.91 показаны ИС:

155ИР15, 1561ИР14 — 4-разрядные регистры памяти, выполненные на  $D$ - $L$ / $R$ -триггерах и описываемые функциями

$$Q_r^+ = (D_r L \cdot dH \vee Q_r \overline{L} \cdot \overline{dH}) \cdot \overline{R}, \quad (5.19)$$

$$DO_r = \begin{cases} Q_r, & \text{если } OE = 1, \\ Z\text{-состояние}, & \text{если } OE = 0, \end{cases} \quad (5.20)$$

где  $L = L_1 L_2$  и  $OE = OE_1 OE_2$ ,  $r = 0, 1, 2, 3$ ;

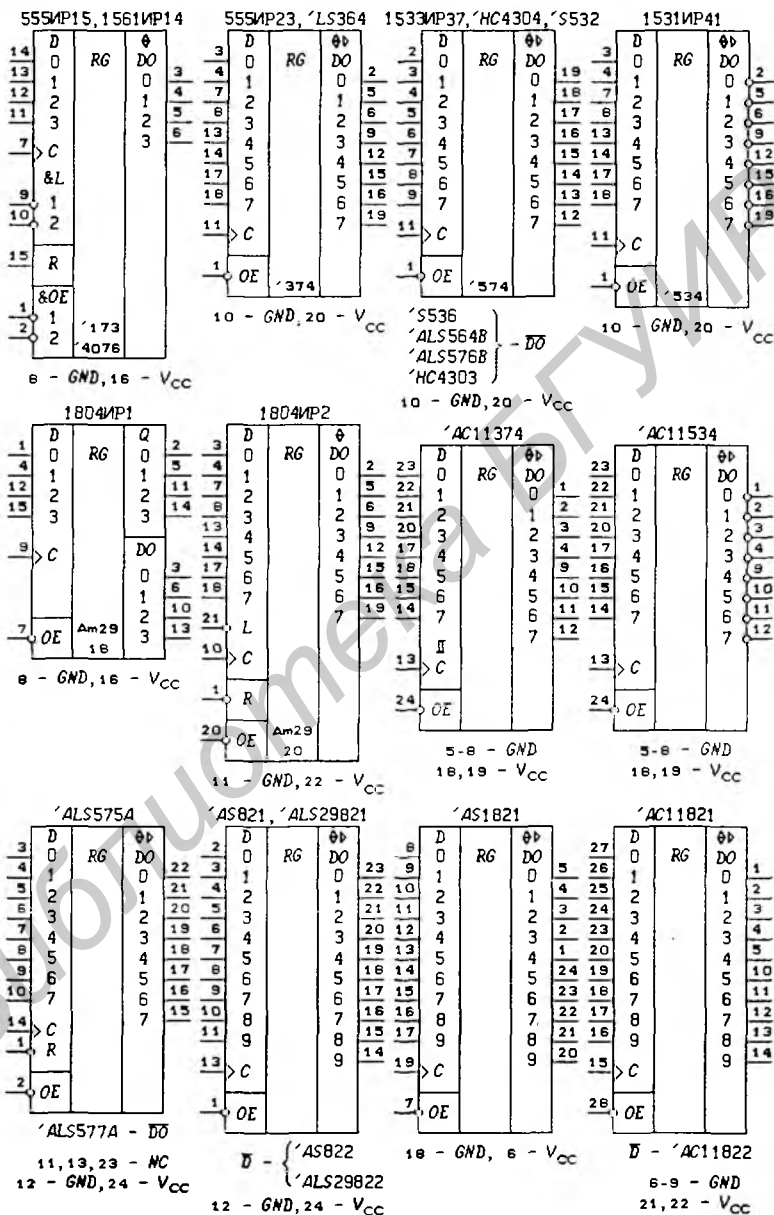


Рис. 5.91

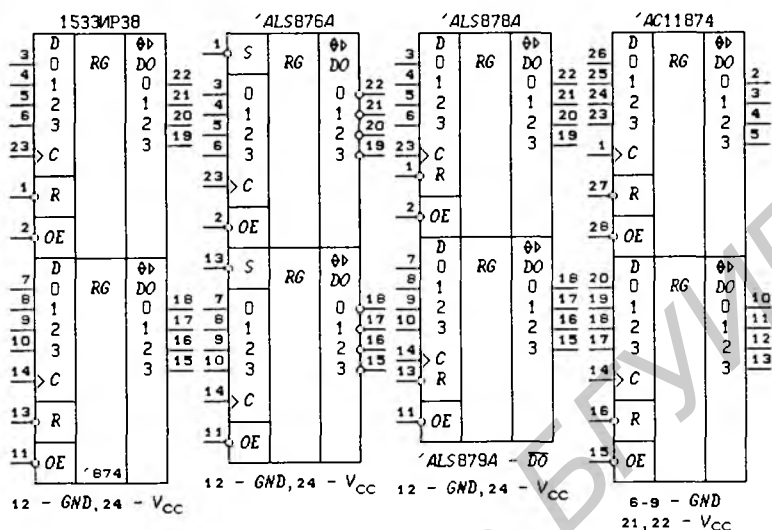


Рис. 5.91 (продолжение)

555ИР23, 74LS364, 74S352, 1533ИР37, 74НС4304, 74АС11374 — 8-разрядные регистры памяти, выполненные на  $D$ -триггерах и описываемые функциями (5.16) при  $R = 0$  и (5.20),  $r = 0, 1, \dots, 7$ ;

1531ИР41, 74S536, 74ALS564В, 74ALS576В, 74НС4303, 74АС11534 — 8-разрядные регистры памяти с инверсными выходами, выполненные на  $D$ -триггерах и описываемые функциями (5.16) при  $R = 0$  и (5.20),  $r = 0, 1, \dots, 7$ ;

1804ИР1 — 4-разрядный регистр памяти с выходами  $Q_r$  (без  $Z$ -состояния) и  $DO_r$  (с  $Z$ -состоянием), выполненный на  $D$ -триггерах и описываемый функциями (5.16) при  $R = 0$  и (5.20),  $r = 0, 1, 2, 3$ ;

1804ИР2 — 8-разрядный регистр памяти, выполненный на  $D$ - $L/R$ -триггерах и описываемый функциями (5.19) и (5.20) при  $r = 0, 1, \dots, 7$ ;

1533ИР38, 74АС11874 — два 4-разрядных регистра памяти, выполненных на  $D/R$ -триггерах и описываемых функциями (5.16) и (5.20),  $r = 0, 1, 2, 3$ ;

74ALS876A — два 4-разрядных регистра памяти, выполненных на  $D/S$ -триггерах и описываемых функцией переходов

$$Q_r^+ = S \vee D_r \cdot dH \vee Q_r \overline{dH}, \quad r = 0, 1, 2, 3$$

и функцией выходов (5.20);

Таблица 5.22. Основные параметры синхронных триггеров ТТЛ серий

ИС	SN74	$F_{тип}$ , МГц	$I_{CC}$ , мА	Тип триггеров	Количество триггеров
155ТМ2	74	15	17	$D/R-S$	2
555ТМ2	LS74	30	4	$D/R-S$	2
531ТМ2	S74	75	30	$D/R-S$	2
1533ТМ2	ALS74	40	2,4	$D/R-S$	2
155ТМ8	175	25	30	$D/R$	4
555ТМ8	LS175	30	11	$D/R$	4
531ТМ8	S175	75	60	$D/R$	4
555ТМ9	LS174	30	16	$D/R$	6
531ТМ9	S175	75	90	$D/R$	6
155ТВ1	72	15	10	$J-K/R-S$	1
555ТВ6	LS107A	30	4	$J-K/R$	2
555ТВ9	LS112	30	4	$J-K/R-S$	2
531ТВ9	S112	80	30	$J-K/R-S$	2
531ТВ10	S113	80	30	$J-K/S$	2
531ТВ11	S114	80	20	$J-K/R-S$	2
155ТВ15	109A	25	18	$J-K/R-S$	2
1533ТВ15	ALS109A	40	2,4	$J-K/R-S$	2
155ИР15	173	25	50	$D-L/R$	4
555ИР15	LS173	30	20	$D-L/R$	4
555ИР23	LS374	35	27	$D$	8
555ИР27	LS377	30	20	$D-L$	8
555ИР35	LS273	30	27	$D/R$	8
1533ИР37	ALS574	40	17	$D$	8
1533ИР38	ALS874	40	17	$D/R$	8

74ALS878A, 74ALS879A — два 4-разрядных регистра памяти, выполненных на  $D-R$ -триггерах и описываемых функцией переходов

$$Q_r^+ = D_r \bar{R} \cdot dH \vee Q_r \bar{dH} \quad (5.21)$$

и функцией выходов (5.20),  $r = 0, 1, 2, 3$ ;

74ALS575A — 8-разрядный регистр памяти, выполненный на  $D-R$ -триггерах и описываемый функциями (5.20) и (5.21) при  $r = 0, 1, \dots, 7$ ;

74ALS577A — 8-разрядный регистр памяти с инверсными выходами, выполненный на  $D-R$ -триггерах и описываемый функциями (5.20) и (5.21) при  $r = 0, 1, \dots, 7$ ;

74AS821, 74ALS29821, 74AS1821, 74AC11821 — 10-разрядные

регистры памяти, выполненные на  $D$ -триггерах и описываемые функциями (5.16) при  $R = 0$  и (5.20),  $r = 0, 1, \dots, 9$ ;

74AS822, 74ALS29822, 74AC11822 — 10-разрядные регистры памяти с инверсными входами, выполненные на  $D$ -триггерах и описываемые функциями (5.16) при  $R = 0$  и (5.20),  $r = 0, 1, \dots, 9$ .

Основные параметры синхронных триггеров и регистров памяти ТТЛ серий приведены в табл. 5.22.

На рис. 5.92 представлены регистры памяти, выполненные на  $D/R$ -триггерах:

74AS823, 74ALS29823, 74AS1823, 74AC11823 — 9-разрядные регистры памяти;

74AS824, 74ALS29824, 74AC11824 — 9-разрядные регистры памяти с инверсными входами;

74AS825, 74ALS29825, 74AC11825 — 8-разрядные регистры памяти;

74AS826, 74ALS29826, 74AC11826 — 8-разрядные регистры памяти с инверсными входами;

74AS996 — 8-разрядный регистр памяти с обратным чтением при значении сигнала  $RD \cdot E = 1$ , описываемый функциями

$$Q_r^+ = [D_r d(H \cdot E) \cdot H \vee Q_r d(H \cdot \overline{E})] \cdot \overline{R},$$

$$DO_r = \begin{cases} Q_r \oplus \overline{P}, & \text{если } \overline{OE} = 0, \\ Z\text{-состояние,} & \text{если } \overline{OE} = 1. \end{cases}$$

Все регистры памяти с управляющим сигналом  $\overline{CEN}$  (*Clock Enable* — разрешение синхронизации) выполнены на  $D/R$ -триггерах и описываются функциями (5.16) и (5.20). Структурная схема этих регистров памяти изображена на рис. 5.93,а. Упрощенным методом анализа, изложенным в § 2.4, легко показать, что

$$\alpha^+ = \overline{CEN} \vee \overline{\alpha} \cdot \overline{H}, \quad \beta = \overline{\alpha} \cdot \overline{H} = H \vee \overline{CEN} \vee \overline{\alpha},$$

т.е. при  $\overline{CEN} = 1$  на тактовый вход  $C$  триггеров подается константа 1 (тактовый сигнал  $\overline{H}$  отключен), а при  $\overline{CEN} = 0$  тактовый сигнал  $\beta = H \vee \overline{\alpha}$  при  $\alpha^+ = \alpha \vee H$ . При первом изменении сигнала  $\overline{H}$  с 1 на 0 установится значение  $\alpha = 1$ , поэтому при дальнейших изменениях сигнала  $\overline{H}$  будем иметь  $\beta = H$ .

Структурная схема регистра памяти с обратным чтением 74AS996 показана на рис. 5.93,б, из которого видно, что триггеры могут срабатывать и по сигналу  $\overline{E}$  при значении  $\overline{H} = 0$ .

**Применения синхронных регистров памяти.** Любой регистр памяти может быть использован в микроЭВМ в качестве устройства вывода данных, а регистры памяти с  $Z$ -состоянием выходов — и в

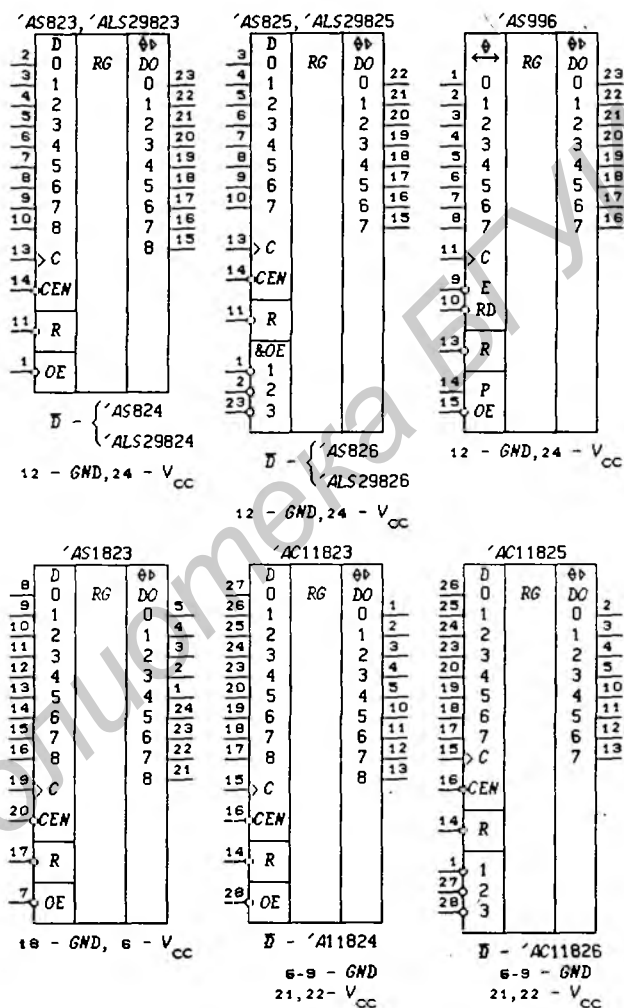


Рис. 5.92

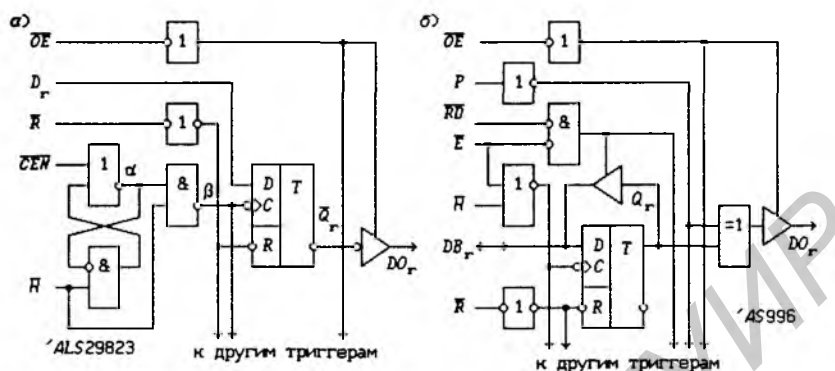


Рис. 5.93

качестве устройств ввода данных. На основе синхронных регистров памяти можно построить устройство ввода-вывода с двунаправленной передачей данных для программного ввода-вывода с квити́рованием и по прерыванию — приемопередатчик с памятью.

На рис. 5.94 изображена схема приемопередатчика для программного обмена данными с квити́рованием между микроЭВМ и персональным компьютером ЕС1841:

555ИР23 ( $D1$ ) — буферный регистр вывода данных из микроЭВМ в компьютер (*Output Buffer*),

555ИР23 ( $D2$ ) — буферный регистр ввода данных в микроЭВМ из компьютера (*Input Buffer*),

555ТМ2 ( $D3$ ) — триггер флага квити́рования  $OBF$  (*Output Buffer Full* — буфер вывода заполнен),

555ТМ2 ( $D4$ ) — триггер флага квити́рования  $IBF$  (*Input Buffer Full* — буфер ввода заполнен),

571ХЛ5 ( $D5$ ) — буфер флагов квити́рования  $OBF_1$  и  $IBF_1$  для компьютера,

571ХЛ5 ( $D6$ ) — буфер флагов квити́рования  $OBF_2$  и  $IBF_2$  для микроЭВМ,

555ИД7 — дешифратор адресов портов ввода и вывода ЕС1841.

Названия буферам ввода и вывода даны относительно микроЭВМ. Для компьютера их названия следовало бы поменять местами. Адреса портов ввода и вывода компьютера задаются демультиплексором 555ИД7 (см. § 6.2):  $100H$  — адрес порта ввода компьютера (ввод данных),  $101H$  — адрес порта ввода компьютера (чтение флагов квити́рования  $OBF_1$  и  $IBF_1$ ),  $102H$  — адрес порта вывода компьютера (вывод данных), где  $H$  — указатель 16-ричной системы счисления. По этим адресам демультиплексируются сигналы  $\overline{IORC}$  и  $\overline{IOWC}$ . Для упрощения демультиплексора использована неполная дешифрация адресного пространства внешних устройств.

В приемопередатчике использованы обозначения сигналов:

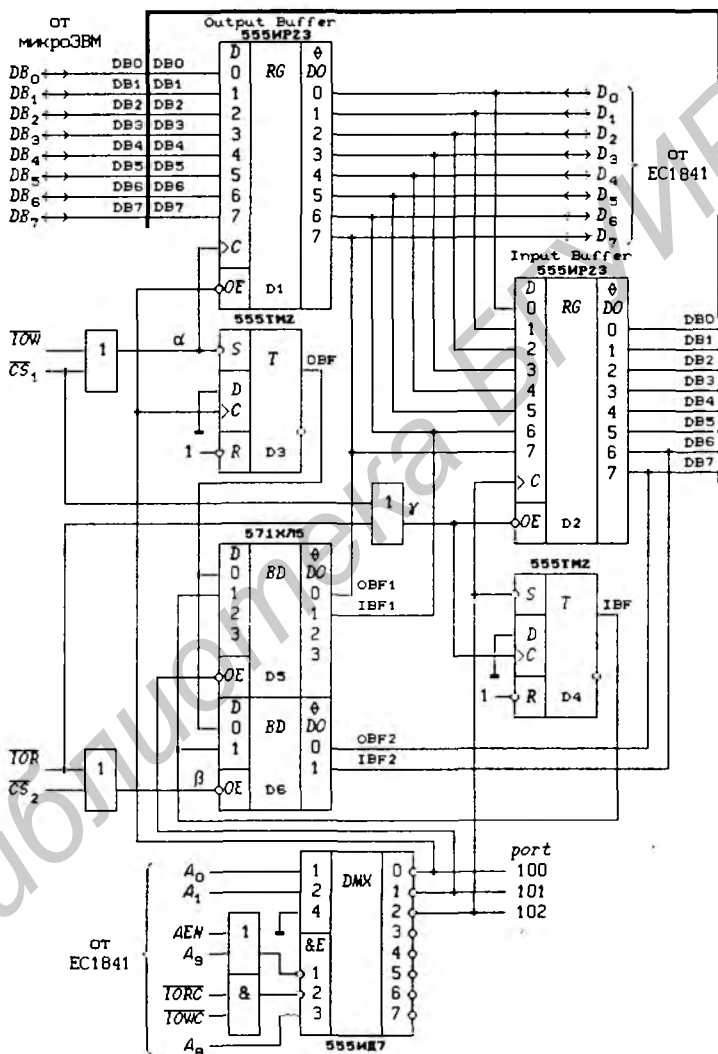


Рис. 5.94



$DB_7 - DB_0$  — шина данных микроЭВМ,  
 $D_7 - D_0$  — шина данных компьютера,  
 $CS_1$  (*Chip Select*) — сигнал от дешифратора адреса порта ввода-вывода микроЭВМ (ввод и вывод данных),

$CS_2$  — сигнал от дешифратора адреса порта ввода микроЭВМ (чтение флагов  $IBF_2$  и  $OBF_2$ ),

$IOW$  (*I/O Write*) — сигнал записи данных микроЭВМ в устройства ввода-вывода,

$IOR$  (*I/O Read*) — сигнал чтения данных из устройств ввода-вывода микроЭВМ,

$A_9, A_8, A_1, A_0$  ( $A$  — *Address*) — разряды шины адреса EC1841,

$IORC$  (*I/O Read Command*) — сигнал (команда) чтения данных из устройств ввода-вывода компьютера,

$IOWC$  (*I/O Write Command*) — сигнал (команда) записи данных компьютера в устройства ввода-вывода,

$AEN$  (*Address Enable*) — сигнал от контроллера прямого доступа к памяти 1810VT37 компьютера, блокирующий управление приемопередатчиком во время выполнения циклов прямого доступа к памяти.

Назначение сигналов (флагов) квитирования:

$$IBF_1 = \begin{cases} 0 & \text{— указание компьютеру выдать байт данных,} \\ 1 & \text{— байт данных от компьютера поступил;} \end{cases}$$

$$OBF_1 = \begin{cases} 0 & \text{— байт данных компьютер принял,} \\ 1 & \text{— указание компьютеру принять байт данных;} \end{cases}$$

$$IBF_2 = \begin{cases} 0 & \text{— байт данных микроЭВМ приняла.} \\ 1 & \text{— указание микроЭВМ принять байт данных;} \end{cases}$$

$$OBF_2 = \begin{cases} 0 & \text{— указание микроЭВМ выдать байт данных,} \\ 1 & \text{— байт данных от микроЭВМ поступил.} \end{cases}$$

Рассмотрим вывод данных из микроЭВМ. Сначала по шине данных  $DB_7 - DB_0$  производится чтение флагов из буфера 571ХЛ5 сигналом  $\beta = \overline{IOR} \cdot CS_2 = 0$ . Далее анализируется разряд  $DB_7 = OBF$ . После обнаружения значения  $OBF = 0$  микроЭВМ выводит в буферный регистр вывода байт данных и устанавливает значение флага  $OBF = 1$  сигналом  $\alpha = \overline{IOW} \cdot CS_1 = 0$ . Активные уровни сигналов  $\alpha$  и  $\beta$  вырабатываются при выполнении микроЭВМ программы вывода с квитированием. Одновременно с работой микроЭВМ по выполнению программы вывода, компьютер по шине данных  $D_7 - D_0$  читает флаги из буфера 571ХЛ5 ( $port = 101H$ ) и анализирует разряд  $D_7 = OBF$ . Обнаружив значение флага  $OBF = 1$ , компьютер читает байт данных из буферного регистра вывода ( $port = 100H$ ), сбрасывая при этом флаг  $OBF$  в 0.

Аналогично описанной процедуре вывода данных из микроЭВМ выполняется и ввод данных в микроЭВМ ( $\gamma = \overline{IOR} \cdot CS_1 = 0$  — чтение буферного регистра ввода и сброс в 0 флага  $IBF$ ). Приемопередатчик с памятью может быть выполнен и на асинхронных потенциальных регистрах памяти, например, на ИС 555ИР22.

## 5.9. Шинные приемопередатчики

Приведенные в § 5.5 драйверы с  $Z$ -состоянием выходов применяются для буферирования шины адреса и управляющих сигналов микропроцессоров, выполненных по  $n$ -МОП-технологии, нагрузочная способность выходов которых мала — один вход ИС серии 155. Драйверы передают сигналы только в одном направлении и могут быть использованы для усиления тока в любых цифровых устройствах. Все микропроцессоры имеют двунаправленную шину данных, а значит, для буферирования этой шины как со стороны микропроцессора, так и со стороны памяти и внешних устройств требуются *двунаправленные драйверы*, называемые *приемопередатчиками* (*Transceivers*). Приемопередатчики широко используются при построении микропроцессорных систем для управления передачей данных в двух и трех направлениях.

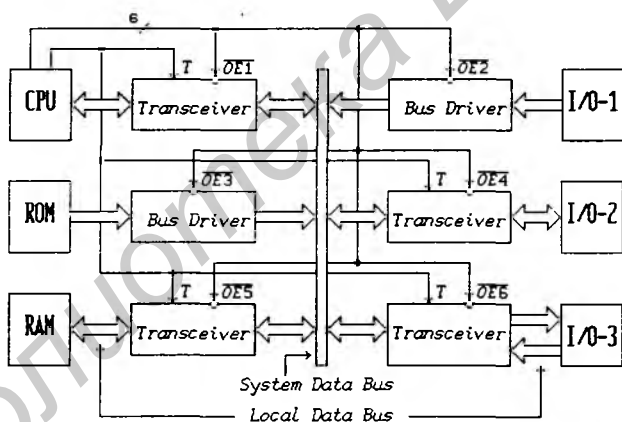


Рис. 5.95

**Структурная схема микроЭВМ.** На рис. 5.95 изображены основные устройства, входящие в состав типовой микроЭВМ: **CPU** (*Central Processing Unit*) — центральный процессор, **ROM** (*Read Only Memory*) — постоянное запоминающее устройство, **RAM** (*Random Access Memory*) — запоминающее устройство с произвольной выборкой (оперативное запоминающее устройство), **I/O** (*Input/Output*) — устройство ввода/вывода (внешнее устройство).

Шины адреса и большинство сигналов управления на рис. 5.95 не показаны. Системная шина данных (*System Bus Data*) микроЭВМ должна иметь большую нагрузочную способность, поскольку к ней может подключаться много устройств различного назначения. Локальные же шины данных (*Local Bus Data* — шины, подключаемые к отдельным устройствам) могут иметь значительно меньшую нагрузочную способность. Обычно используются 8-, 16- и 32-разрядные шины данных.

Прием и передача данных производится под управлением *CPU*. В каждый момент времени *CPU* может обслуживать только одно устройство. Выбор определенного устройства производится с помощью адресных сигналов, поэтому активные уровни сигналов  $\overline{OE}_m = 0$  ( $OE$  — *Output Enable*,  $m = 1, 2, \dots, 6$ ) включения приемопередатчиков формируются с помощью дешифраторов адреса. Сигнал  $T$  (*Transmit*), вырабатываемый центральным процессором, задает направление передачи данных по двунаправленной шине данных.

Некоторые устройства (например, *ROM* и *I/O-1* на рис. 5.95) могут использоваться только для чтения данных. Тогда для буферирования локальной шины данных применяются драйверы (*Bus Driver*). Если же устройства требуют двунаправленной передачи данных, то используются приемопередатчики (*Transceivers*). Некоторые узлы могут иметь отдельные входные и выходные шины данных (например, *I/O-3* на рис. 5.95), а другие — двунаправленную шину данных. Это обуславливает выпуск двух типов приемопередатчиков: с одной двунаправленной шиной и с двумя двунаправленными шинами.

Одноименные разряды двунаправленной системной шины данных от разных устройств должны объединяться по ИЛИ, поэтому все приемопередатчики выполняются либо с  $Z$ -состоянием выходов, либо с открытым коллекторным выходом. Включение в каждый момент времени только одного приемопередатчика обеспечивается с помощью адресного дешифратора. Приемопередатчик, подключенный к *CPU*, производит передачу и прием данных от всех устройств, связанных с системной шиной.

**Шинные приемопередатчики с  $Z$ -состоянием выхода.** Принцип построения приемопередатчиков на вентилях с  $Z$ -состоянием выходов был рассмотрен в § 5.5 (см. рис. 5.66). Приемопередатчик с одной двунаправленной 4-разрядной шиной данных 589АП26 показан на рис. 5.96,а:

$DI_j$  (*Data Input* — входные данные) — вводимые в *CPU* данные,  $j = 0, 1, 2, 3$ ;

$DO_j$  (*Data Output* — выходные данные) — выводимые из *CPU* данные;

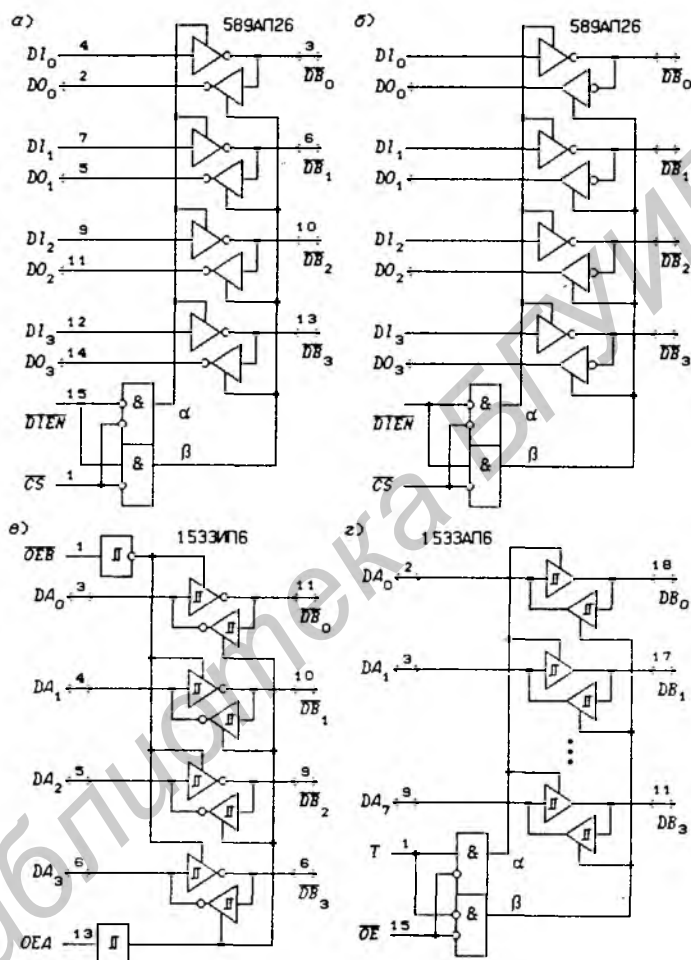


Рис. 5.96

$\overline{DB}_j$  (*Bidirectional Data Bus* — двунаправленная шина данных) — подключаемая к CPU шина данных;

$\overline{CS}$  (*Chip Select* — выбор кристалла) — включение приемопередатчика;

$\overline{DIEN}$  (*Data Input Enable* — разрешение ввода данных) — управление направлением передачи данных.

В каждый момент времени возможна передача данных только в одном направлении  $DI_j \rightarrow \overline{DB}_j$  (ввод данных в CPU при значениях сигналов  $\overline{DIEN} = 0$  и  $\overline{CS} = 0$ ) или  $\overline{DB}_j \rightarrow DO_j$  (вывод данных из CPU при значениях сигналов  $\overline{DIEN} = 1$  и  $\overline{CS} = 0$ ). Это обеспечивается управляющими сигналами  $\alpha = \overline{DIEN} \cdot \overline{CS}$  и  $\beta = \overline{DIEN} \cdot CS$  ( $\alpha \cdot \beta = 0$ ). Введение инверсных сигналов  $\overline{DB}_j$  поясняется рис. 5.96,б, на котором вентили с Z-состоянием выхода, управляемые сигналом  $\beta$ , представлены в другой эквивалентной форме. Для построения приемопередатчиков используются и вентили без инверсии. Так, если в схеме на рис. 5.96,а вентили с инверсией заменить на вентили без инверсии, то получится приемопередатчик 589АП16. Оба этих приемопередатчика описываются функциями

$$\begin{aligned}
 DB_j &= \begin{cases} DI_j, & \text{если } \overline{DIEN} = 0 \text{ и } \overline{CS} = 0, \\ Z\text{-состояние,} & \text{если } \overline{DIEN} = 1 \text{ или } \overline{CS} = 1; \end{cases} \\
 DO_j &= \begin{cases} DB_j, & \text{если } \overline{DIEN} = 1 \text{ и } \overline{CS} = 0, \\ Z\text{-состояние,} & \text{если } \overline{DIEN} = 0 \text{ или } \overline{CS} = 1. \end{cases} \quad (5.22)
 \end{aligned}$$

В точках, соответствующих сигналам  $\overline{DB}_j$ , выход одного вентиля соединен со входом другого, поэтому Z-состояние  $\overline{DB}_j$  означает только Z-состояние выхода вентиля, подключенного к точке  $\overline{DB}_j$  (внутреннее сопротивление будет определяться значениями входных токов вентиля  $I_{IL}$  и  $I_{IH}$ , которое на несколько порядков ниже выходного сопротивления вентиля с Z-состоянием выхода).

Если в схеме на рис. 5.96,а соединить поразрядно  $DI_j$  с  $DO_j$ , то получится 4-разрядный приемопередатчик с двумя двуправленными шинами данных. Подобный приемопередатчик показан на рис. 5.96,в (ИС 153ЗИП6). Здесь изображен другой метод управления приемом и передачей — управление с помощью двух независимых сигналов  $OEA$  (*Output Enable A* — разрешение выходов  $DA$ ) и  $\overline{OEB}$  (разрешение выходов  $DB$ ):

$$OEA = 0, \overline{OEB} = 0 \Rightarrow DA_j \rightarrow \overline{DB}_j,$$

$$OEA = 0, \overline{OEB} = 1 \text{ — приемопередатчик выключен,}$$

$$OEA = 1, \overline{OEB} = 0 \text{ — подавать запрещено,}$$

$$OEA = 1, \overline{OEB} = 1 \Rightarrow DA_j \leftarrow \overline{DB}_j.$$

Данные соотношения можно записать в аналитической форме:

$$DA_j = \begin{cases} DB_j, & \text{если } OEA = 1, \\ Z\text{-состояние,} & \text{если } OEA = 0; \end{cases}$$

$$DB_j = \begin{cases} DA_j, \text{ если } \overline{OEB} = 0 (OEB = 1), \\ Z\text{-состояние, если } \overline{OEB} = 1 (OEB = 0) \end{cases} \quad (5.23)$$

(подавать значения сигналов  $OEA = OEB = 1$  не рекомендуется — одновременные прием и передача данных невозможны).

В 8-разрядном приемопередатчике 1533АП6 с двумя двунаправленными шинами данных (рис. 5.96,з) использован тот же метод управления приемом и передачей, что и в приемопередатчиках 589АП16 и 589АП26:

$\overline{OE}$  (*Output Enable*) — включение приемопередатчика,

$T$  (*Transmit*) — управление направлением передачи.

Здесь управляющие сигналы  $\alpha = T \cdot OE$ ,  $\beta = \overline{T} \cdot OE$  и  $\alpha \cdot \beta = 0$ , поэтому в каждый момент времени обеспечивается передача данных только в одном направлении независимо от значений сигналов  $T$  и  $\overline{OE}$ . Как правило, выпускаются две разновидности приемопередатчиков: на вентилях без инверсии и на вентилях с инверсией. Все эти приемопередатчики независимо от типа вентилях описываются функциями

$$DA_j = \begin{cases} DB_j, \text{ если } T = 0 \text{ и } \overline{OE} = 0, \\ Z\text{-состояние, если } T = 1 \text{ или } \overline{OE} = 1; \end{cases}$$

$$DB_j = \begin{cases} DA_j, \text{ если } T = 1 \text{ и } \overline{OE} = 0, \\ Z\text{-состояние, если } T = 0 \text{ или } \overline{OE} = 1. \end{cases} \quad (5.24)$$

В некоторых приемопередатчиках выходы  $DA_j$  и  $DB_j$  имеют разную нагрузочную способность — к системной шине данных следует подключать более мощные выходы. Значение сигнала  $T = 1$  включает вентили с большей нагрузочной способностью, что соответствует функции, заключенной в мнемонике  $T$  (передать).

На рис. 5.97 показаны приемопередатчики с одной двунаправленной шиной данных, описываемые функциями (5.22):

589АП16 — 4-разрядные приемопередатчики на вентилях без инверсии;

589АП26 — 4-разрядные приемопередатчики на вентилях с инверсией.

Приемопередатчики с двумя двунаправленными шинами данных, описываемые функциями (5.23), представлены на рис. 5.98:

1533ИП6, 74ALS1242, 74ALS2242 — 4-разрядные приемопередатчики на вентилях с инверсией;

1533ИП7, 74ALS1243 — 4-разрядные приемопередатчики на вентилях без инверсии;

559ИП13 — 8-разрядный приемопередатчик на вентилях с инверсией;

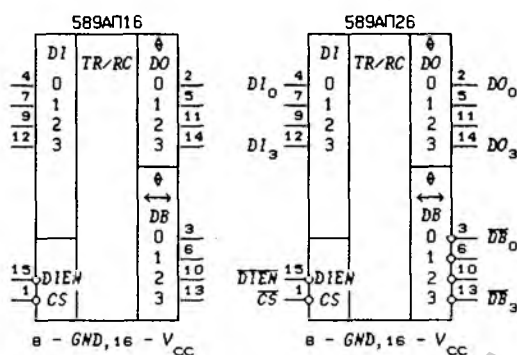


Рис. 5.97

559ИП14 — 8-разрядный приемопередатчик на вентилях без инверсии;

74LS449 — 4-разрядный приемопередатчик на вентилях без инверсии и с индивидуальным управлением направлением передачи разрядов ( $OEA_j = OEA \cdot \bar{T}_j$ ,  $OEB_j = OEB \cdot T_j$ ,  $j = 0, 1, 2, 3$ );

74LS446 — 4-разрядный приемопередатчик на вентилях с инверсией и индивидуальным управлением направлением передачи разрядов ( $OEA_j = OEA \cdot \bar{T}_j$ ,  $OEB_j = OEB \cdot T_j$ ,  $j = 0, 1, 2, 3$ );

1533АП26, 74ALS623, 74ALS1623, 74ALS2623, 74AC11623 — 8-разрядные приемопередатчики на вентилях без инверсии;

1533АП25, 74ALS620, 74ALS1620, 74AS2620, 74AC11620 — 8-разрядные приемопередатчики на вентилях с инверсией;

74AC11861, 74ALS29861 — 10-разрядные приемопередатчики на вентилях без инверсии;

74AC11862, 74ALS29862 — 10-разрядные приемопередатчики на вентилях с инверсией;

74AC11863, 74ALS29863 — 9-разрядные приемопередатчики на вентилях без инверсии ( $OEA = OEA_1 OEA_2$ ,  $OEB = OEB_1 OEB_2$ );

74AC11864, 74ALS29864 — 9-разрядные приемопередатчики на вентилях с инверсией.

Приемопередатчики с двумя двунаправленными шинами данных, описываемые функциями (5.24), представлены на рис. 5.99:

580BA86, 1834BA86, 74F545, 1533АП6, 74ALS645, 74ALS1245, 74ALS1645, 74ALS2645, 74AC11245 — 8-разрядные приемопередатчики на вентилях без инверсии;

580BA87, 1834BA87, 74F588, 1533АП9, 74ALS1640, 74ALS2640,

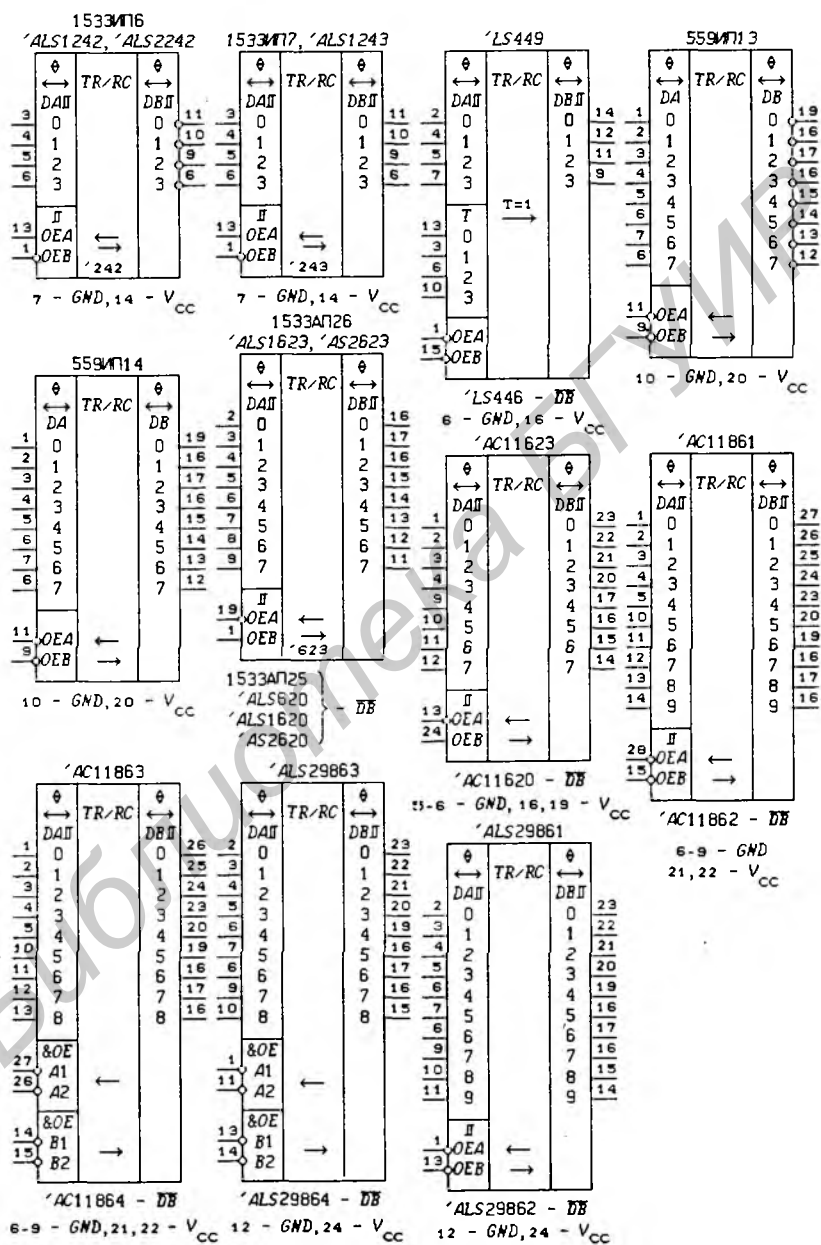


Рис. 5.98



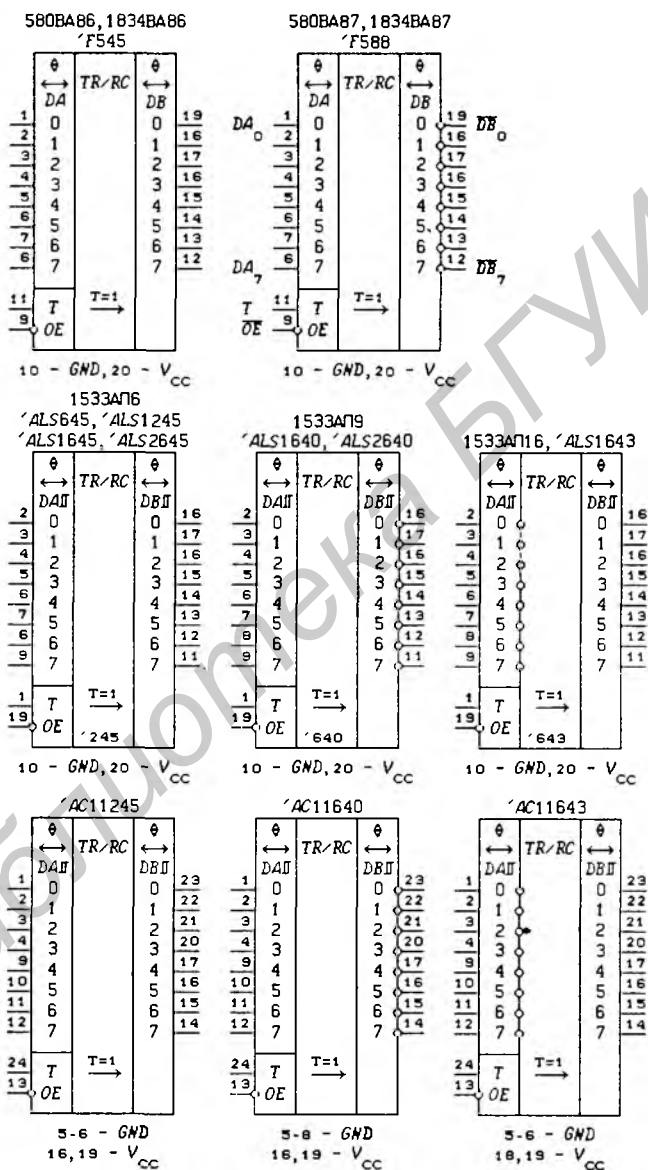


Рис. 5.99

74AC11640 — 8-разрядные приемопередатчики на вентилях с инверсией;

1553АП16, 74ALS1643, 74AC11643 — 8-разрядные приемопередатчики на вентилях с инверсией (передача от  $DA$  к  $DB$ ) и без инверсии (передача от  $DB$  к  $DA$ ), описываемые в отличие от остальных приемопередатчиков функциями

$$DA_j = \begin{cases} DB_j, & \text{если } T = 0 \text{ и } \overline{OE} = 0, \\ Z\text{-состояние,} & \text{если } T = 1 \text{ или } \overline{OE} = 1; \end{cases}$$

$$DB_j = \begin{cases} \overline{DA}_j, & \text{если } T = 1 \text{ и } \overline{OE} = 0, \\ Z\text{-состояние,} & \text{если } T = 0 \text{ или } \overline{OE} = 1. \end{cases}$$

Интегральные схемы серий 580 и 589 изготавливаются по ТТЛ-технологии с диодами Шотки (ТТЛШ). Входные цепи этих ИС выполнены на  $p-n-p$ -транзисторах, что позволило снизить входные токи  $I_{IL}$  до величины 0,25 мА, в то время как изготавливаемые по ТТЛШ-технологии ИС серии 531 характеризуются входными токами  $I_{IL} = 2$  мА. Входные цепи некоторых ИС серии 555 также выполнены на  $p-n-p$ -транзисторах, что можно установить по значениям  $I_{IL}$ , приведенным в табл. П2.1 и П2.2. Основные параметры некоторых приемопередатчиков приведены в табл. 5.23.

Таблица 5.23. Основные параметры приемопередатчиков с Z-состоянием выходов

ИС	Аналог	$I_{OL}$ , мА	$I_{OH}$ , мА	$t_{pd}$ , нс (50 пФ)	$I_{CC}$ , мА
555ИП6	LS242	24	15	11	26
555ИП7	LS243	24	15	12	26
555АП6	LS245	24	15	12	55
589АП16	I3216	32(DB)/15(DO)	10(DB)/1(DO)	19	130
589АП26	I3226	32(DB)/15(DO)	10(DB)/1(DO)	16	120
580ВА86	I8286	32(DB)/15(DA)	5(DB)/1(DA)	30	160
580ВА87	I8287	32(DB)/15(DA)	5(DB)/1(DA)	30	130

Приемопередатчики 74ALS1××× потребляют меньшую мощность от источника питания (*Ultra Low Power*), чем приемопередатчики типа 74ALS×××, являющиеся их функциональными аналогами. Приемопередатчики типа 74ALS2××× предназначены для обслуживания ИС (в частности, запоминающих

устройств), изготавливаемых по  $n$ -МОП технологии ( $NMOS$  —  $n$ -channel metal-oxide-semiconductor technology). На выходах этих приемопередатчиков последовательно включены демпфирующие резисторы 25 Ом (такие резисторы показаны для драйверов 74ALS2××× и 74VCT2241 на рис. 5.65 — аналогично выполняются и приемопередатчики).

**Шинные приемопередатчики с открытым коллекторным выходом.** Принцип построения приемопередатчиков на вентилях с открытым коллекторным выходом был рассмотрен в § 5.4 (см. рис. 5.55). На рис. 5.100,а показана упрощенная структурная схема приемопередатчика 531АП2 с открытыми коллекторными выходами и одной двунаправленной 4-разрядной шиной данных (введенные упрощения не изменяют переключательных функций, описывающих приемопередатчик). Значение сигнала  $\overline{EB} = 0$  разрешает передачу входных данных  $DI_j$  ( $j = 0, 1, 2, 3$ ) на двунаправленную шину  $DB_j$ , а при  $\overline{EB} = 1$  — передача запрещена. Значение сигнала  $\overline{EO} = 0$  разрешает передачу данных с двунаправленной шины  $DB_j$  на выходы  $DO_j$ . Функционирование приемопередатчика описывается соотношениями

$$\begin{aligned}\overline{EB} = 0, \overline{EO} = \Phi &\Rightarrow DI_j \rightarrow DB_j, DO_j = 1; \\ \overline{EB} = 1, \overline{EO} = 0 &\Rightarrow DB_j \rightarrow DO_j\end{aligned}$$

( $\Phi$  — произвольное значение — 0 или 1). Приемопередатчик 531АП2 характеризуется параметрами:  $I_{IL} = 0,15$  мА,  $I_{OL} = 60$  мА при  $V_{OL} \leq 0,65$  В,  $I_{OL} = 25$  мА при  $V_{OL} \leq 0,25$  В,  $t_{pd} \leq 35$  нс,  $I_{CC} \leq 130$  мА.

На рис. 5.100,б изображена структурная схема приемопередатчика 559ИП3, функционирование которого описывается выражениями

$$E = E_1 E_2 = 1 \Rightarrow DI_j \rightarrow \overline{DB}_j \quad (j = 0, 1, 2, 3); \quad E = 0 \Rightarrow \overline{DB}_j \rightarrow DO_j.$$

Параметры этого приемопередатчика:  $I_{IL} = 1,8$  мА,  $I_{OL} = 70$  мА при  $V_{OL} \leq 0,7$  В для шины  $\overline{DB}$  и  $I_{OL} = 16$  мА при  $V_{OL} \leq 0,4$  В для шины  $DO$ ,  $t_{pd} \leq 35$  нс,  $I_{CC} \leq 70$  мА.

На рис. 5.100,в приведена структурная схема приемопередатчика 559ИП6 с одной двунаправленной шиной данных, отличающегося от предыдущих тем, что к выходам вентилях с открытым коллектором внутри ИС подключена нагрузка в виде нелинейного резистивного делителя. Наличие такого делителя позволяет объединять выходы  $\overline{DB}_j$  нескольких приемопередатчиков с помощью операции “монтажное ИЛИ” без существенного увеличения нагрузки. Параметры этого приемопередатчика:

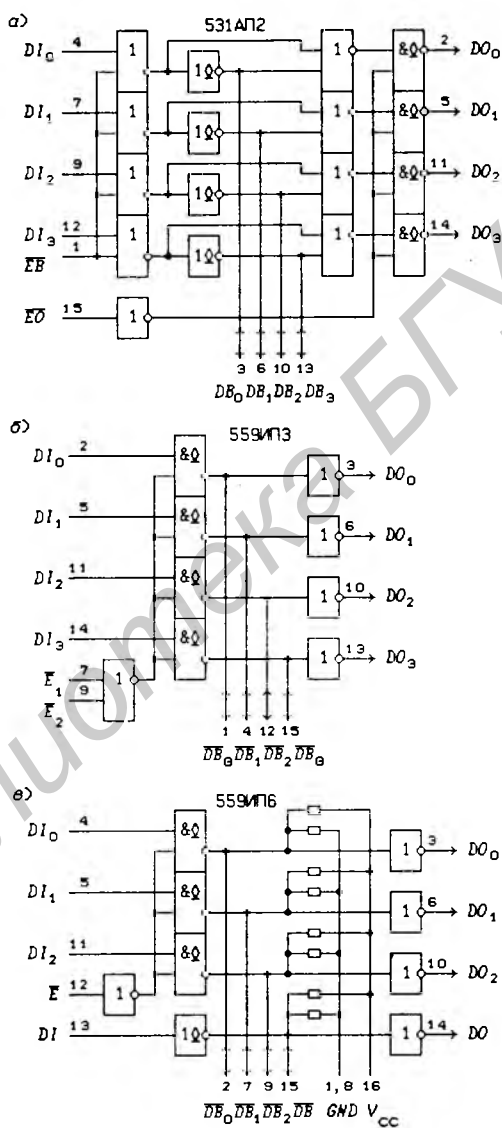


Рис. 5.100

$I_{IL} = 1,5 \text{ мА}$ ,  $I_{OL} = 48 \text{ мА}$  при  $V_{OL} \leq 0,4 \text{ В}$  для шины  $\overline{DB}$   
 $I_{OL} = 16 \text{ мА}$  при  $V_{OL} \leq 0,4 \text{ В}$  для шины  $DO$ ,  $t_{pd} \leq 35 \text{ нс}$ ,  
 $I_{CC} \leq 70 \text{ мА}$ .

Условные графические обозначения рассмотренных приемопередатчиков, выполненных на вентилях с открытым коллекторным выходом, изображены на рис. 5.101 (символы " $\overline{Q}$ " у выходов  $DB$  приемопередатчика 559ИП6 означают открытые коллекторные выходы с подключенными внутренними резисторами).

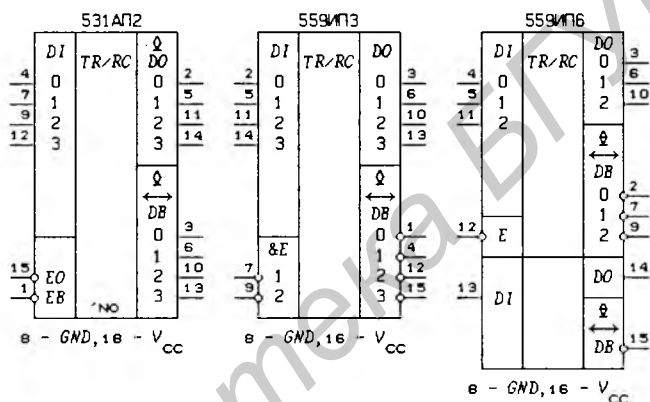


Рис. 5.101

Приемопередатчики с двумя двунаправленными шинами данных и управлением двумя независимыми сигналами показаны на рис. 5.102:

74ALS621, 74ALS1621 — 8-разрядные приемопередатчики на вентилях без инверсии;

74ALS622, 74ALS1622 — 8-разрядные приемопередатчики на вентилях с инверсией;

74ALS758 — 4-разрядный приемопередатчик на вентилях с инверсией;

74ALS759 — 4-разрядный приемопередатчик на вентилях без инверсии.

Эти приемопередатчики описываются соотношениями

$$DA_j = \begin{cases} DB_j, & \text{если } EA = 1, \\ 1, & \text{если } EA = 0; \end{cases} \quad DB_j = \begin{cases} DA_j, & \text{если } EB = 1, \\ 1, & \text{если } EB = 0 \end{cases}$$

(подавать значения сигналов  $EA = EB = 1$  не рекомендуется — одновременные прием и передача данных невозможны). Значения  $DA_j = 1$  и  $DB_j = 1$  относятся к выходам соответ-

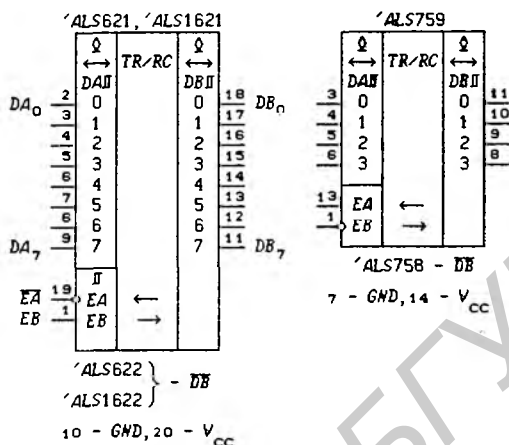


Рис. 5.102

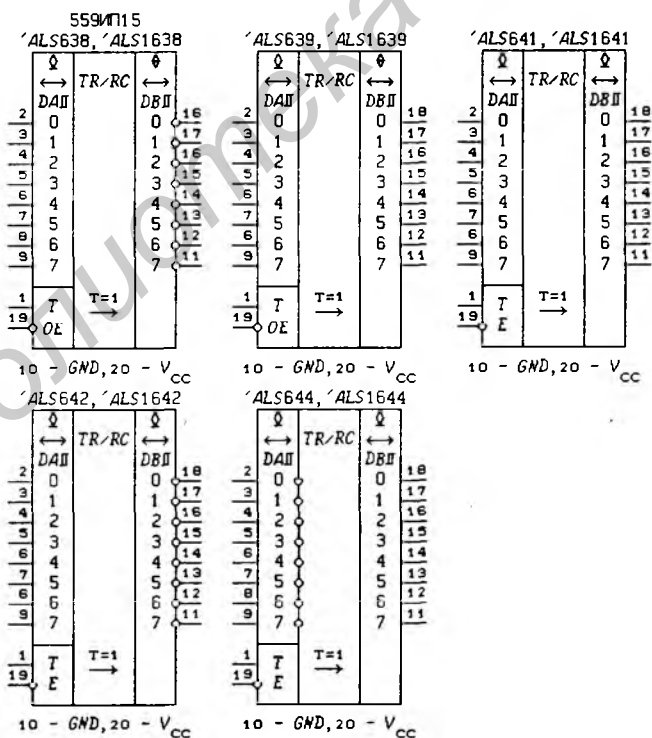


Рис. 5.103

ствующих ЛЭ (понятно, что в этом случае в точки  $DA_j$  и  $DB_j$  можно подавать любые значения внешних сигналов).

Приемопередатчики с двумя двунаправленными 8-разрядными шинами данных и управлением сигналами  $T$  и  $\overline{OE}$  показаны на рис. 5.103:

559ИП15, 74ALS638, 74ALS1638 — приемопередатчики на инверторах с открытым коллекторным выходом  $DA$  и инверторах с  $Z$ -состоянием выходов  $DB$ ;

74ALS639, 74ALS1639 — приемопередатчики на повторителях с открытым коллекторным выходом  $DA$  и повторителях с  $Z$ -состоянием выходов  $DB$ ;

74ALS641, 74ALS1641 — приемопередатчики на повторителях с открытым коллекторным выходом;

74ALS642, 74ALS1642 — приемопередатчики на инверторах с открытым коллекторным выходом;

74ALS644, 74ALS1644 — приемопередатчики на повторителях с выходами  $DA$  и инверторах с открытыми коллекторными выходами  $DB$ .

Все эти приемопередатчики описываются функциями

$$DA_j = \begin{cases} DB_j, & \text{если } T = 0 \text{ и } \overline{OE} = 0, \\ 1, & \text{если } T = 1 \text{ или } \overline{OE} = 1; \end{cases}$$

$$DB_j = \begin{cases} DA_j, & \text{если } T = 1 \text{ и } \overline{OE} = 0, \\ 1, & \text{если } T = 0 \text{ или } \overline{OE} = 1; \end{cases}$$

$$DB_j = \begin{cases} DA_j, & \text{если } T = 1 \text{ и } \overline{OE} = 0, \\ Z\text{-состояние,} & \text{если } T = 0 \text{ или } \overline{OE} = 1 \end{cases}$$

(для выходов  $DB_j$  приведены две функции, соответствующие двум типам вентилях — с открытым коллекторным выходом и  $Z$ -состоянием выхода).

Приемопередатчики 74ALS1××× потребляют меньшую мощность от источника питания (*Ultra Low Power*), чем приемопередатчики типа 74ALS×××, являющиеся их функциональными аналогами.

**Шинные приемопередатчики с регистрами памяти.** В приемопередатчиках для временного хранения данных могут использоваться как асинхронные потенциальные, так и синхронные регистры памяти. Способы использования регистров памяти также могут быть различными.

На рис. 5.104,а изображена структурная схема одного разряда 4-разрядного приемопередатчика 531BA1 с двумя двунаправленными шинами данных, из которого следует, что его функционирование описывается табл. 5.24. Приемопередатчик содержит четыре асинхронных потенциальных регистра памяти:  $QIA_r$  и  $QIB_r$  — входные регистры памяти каналов  $A$  и  $B$ ;  $QOA_r$  и  $QOB_r$  — выходные регистры памяти каналов  $A$  и  $B$  ( $r = 0, 1, 2, 3$ ). Сигналы загрузки этих регистров

$$LIA = S_2LA, LIB = \overline{S_2} \oplus \overline{S_1}LB, LO = \overline{S_2} \vee \overline{S_1}$$

и сигналы управления  $OEA$ ,  $OEB$  выходными вентилями каналов  $A$  и  $B$  подаются на все разряды регистров.

Выходы приемопередатчика описываются функциями

$$DA_r = \begin{cases} QOB_r & \text{при } OEA = 1, \\ Z\text{-сост.} & \text{при } OEA = 0; \end{cases} \quad DB_r = \begin{cases} QOA_r & \text{при } OEB = 1, \\ Z\text{-сост.} & \text{при } OEB = 0. \end{cases}$$

Из табл. 5.24 следует, что приемопередатчик может работать в режиме “прозрачной памяти”:

$$\begin{aligned} DB_r &\rightarrow DA_r && \text{при } S_2 = 0 \text{ и } OEA = 1, \\ DA_r &\rightarrow DB_r && \text{при } S_2 = 1 \text{ и } OEB = 1, \end{aligned}$$

если  $S_1 = 0$ ,  $\overline{LA} = 0$  и  $\overline{LB} = 0$ .

Структурная схема приемопередатчика 1804BA1 с одной двунаправленной шиной данных показана на рис. 5.104,б, из которого следует, что его работа описывается функциями

$$\overline{DB}_r = \overline{QI}_r\overline{E}, QI_r^+ = DI_r dH \vee QI_r \overline{dH}, DI_r = DI_{r0} \overline{WS} \vee DI_{r1} WS;$$

$$DO_r = \begin{cases} QO_r & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, \end{cases} \quad QO_r^+ = \overline{DB}_r L \vee QO_r \overline{L},$$

где  $WS$  (*Word Select*) — сигнал управления мультиплексной шиной данных  $DI_{r0}/DI_{r1}$ .

Условные графические обозначения рассмотренных приемопередатчиков изображены на рис. 5.105.

Большинство приемопередатчиков с двумя двунаправленными шинами данных содержат только два синхронных или асинхронных потенциальных регистра памяти. Выходные же каскады таких приемопередатчиков выполняются как на вентилях с инверсией, так и на вентилях без инверсии. По аналогии с приемопередатчиками без регистров памяти одна из двунаправленных шин обозначается через  $\overline{DB}$  и называется инверсной шиной при использовании вентиля с инверсией. На рис. 5.106 показаны 8- и 9-разрядные приемопередатчики с  $Z$ -состоянием выходов:



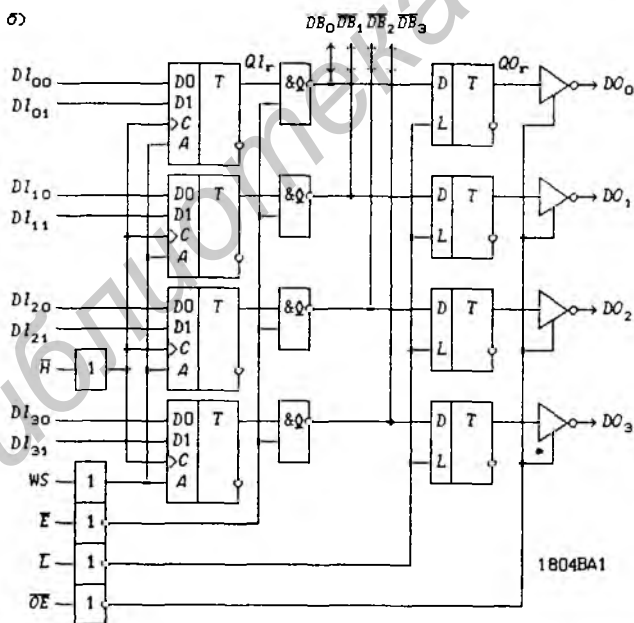
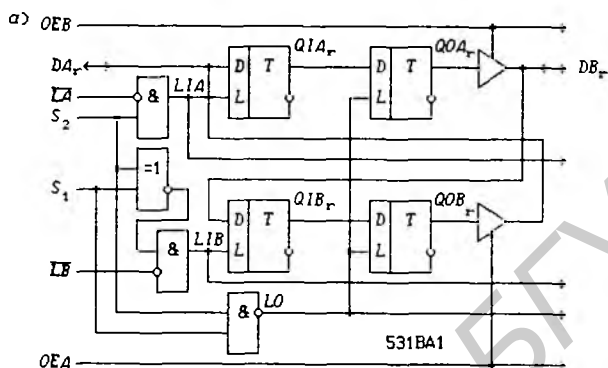


Рис. 5.104

Таблица 5.24. Режимы работы приемопередатчика 531BA1

$S_2 S_1 \overline{LB} \overline{LA}$	Операция	
	Канал А	Канал В
0 0 0 ×	$QIA \rightarrow QOA$	$DB \rightarrow QIB \rightarrow QOB$
0 0 1 ×	$QIA \rightarrow QOA$	$QIB \rightarrow QOB$
0 1 × ×	$QIA \rightarrow QOA$	$QIB \rightarrow QOB$
1 0 × 0	$DA \rightarrow QIA \rightarrow QOA$	$QIB \rightarrow QOB$
1 0 × 1	$QIA \rightarrow QOA$	$QIB \rightarrow QOB$
1 1 0 0	$DA \rightarrow QIA$	$DB \rightarrow QIB$
1 1 0 1	Хранение	$DB \rightarrow QIB$
1 1 1 0	$DA \rightarrow QIA$	Хранение
1 1 1 1	Хранение	Хранение

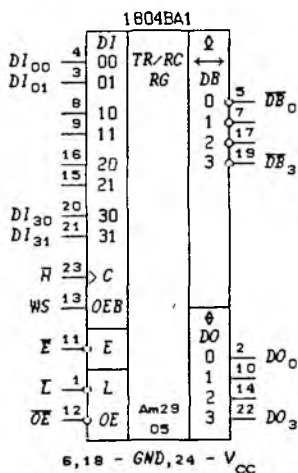
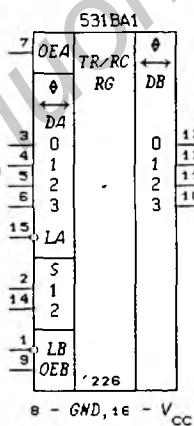


Рис. 5.105

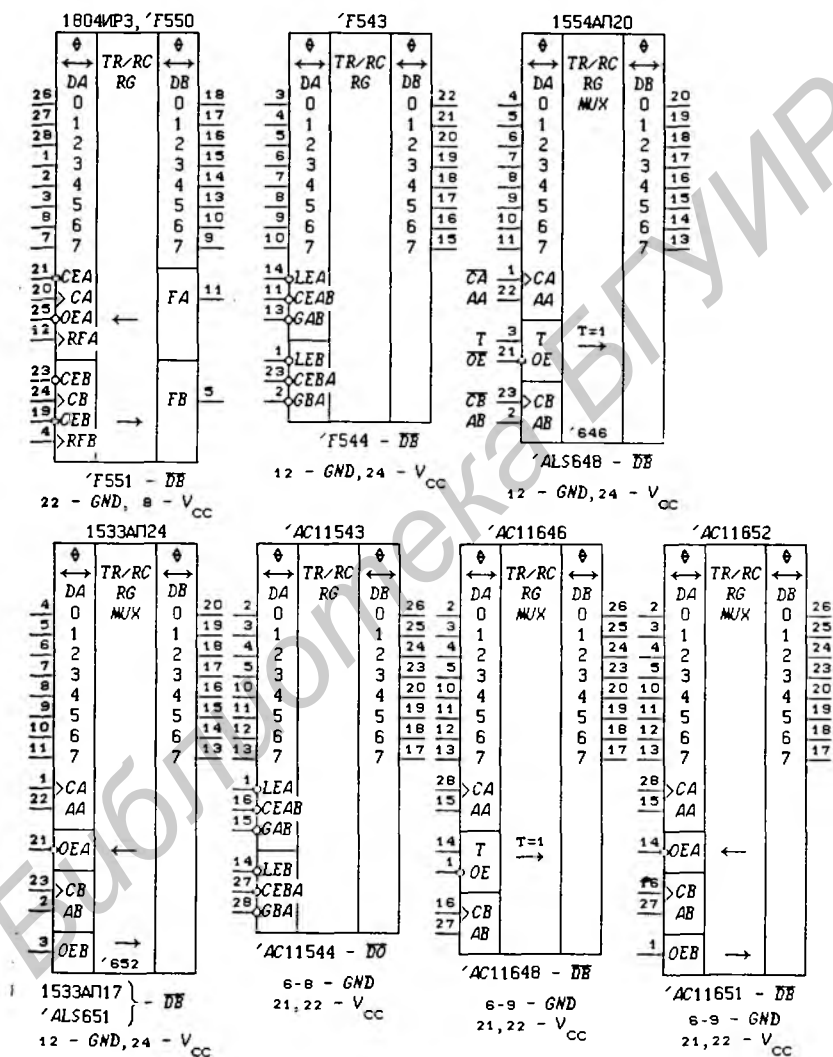


Рис. 5.106

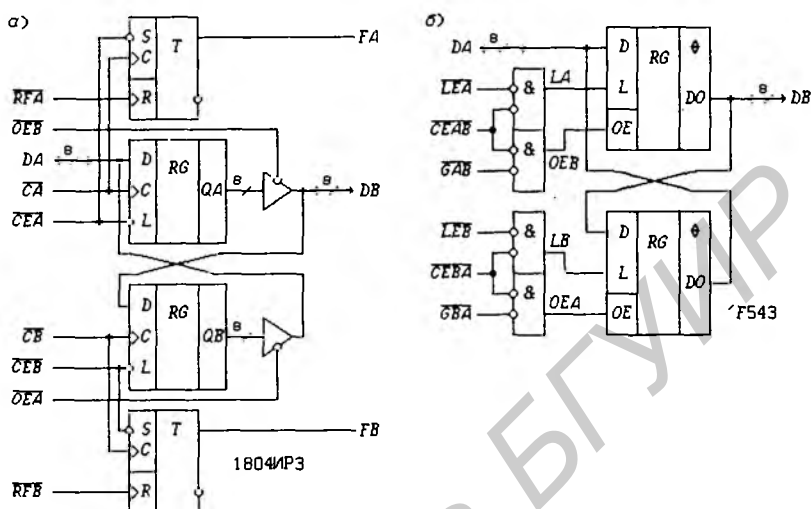


Рис. 5.107

1804ИРЗ, 74F550 — приемопередатчики с прямыми выходами на синхронных регистрах памяти, содержащие два триггера флагов  $FA$  и  $FB$  (рис. 5.107,а) и описываемые функциями

$$DA_r = \begin{cases} QB_r & \text{при } \overline{OEA} = 0, \\ Z\text{-сост.} & \text{при } \overline{OEA} = 1, \end{cases} \quad DB_r = \begin{cases} QA_r & \text{при } \overline{OEB} = 0, \\ Z\text{-сост.} & \text{при } \overline{OEB} = 1, \end{cases}$$

$$QA_r^+ = DA_r CEA \cdot dCA \vee QA_r \overline{CEA} \cdot dCA,$$

$$QB_r^+ = DB_r CEB \cdot dCB \vee QB_r \overline{CEB} \cdot dCB,$$

$$FA^+ = (CEA \cdot dCA \vee FA) \cdot \overline{dRFA},$$

$$FB^+ = (CEB \cdot dCB \vee FB) \cdot \overline{dRFB};$$

74F551 — приемопередатчик с инверсной шиной  $\overline{DB}$  на синхронных регистрах памяти, содержащий два триггера флагов  $FA$  и  $FB$  (см. формулы для ИС 74F550; на рис. 5.107,а повторители с  $Z$ -состоянием выходов следует заменить на инверторы с  $Z$ -состоянием выходов);

74F543, 74AC11543 — приемопередатчики с прямыми выходами на асинхронных потенциальных регистрах памяти (рис. 5.107,б), описываемые функциями

$$DA_r = \begin{cases} QB_r & \text{при } OEA = 1, \\ Z\text{-сост.} & \text{при } OEA = 0, \end{cases} \quad DB_r = \begin{cases} QA_r & \text{при } OEB = 1, \\ Z\text{-сост.} & \text{при } OEB = 0, \end{cases}$$

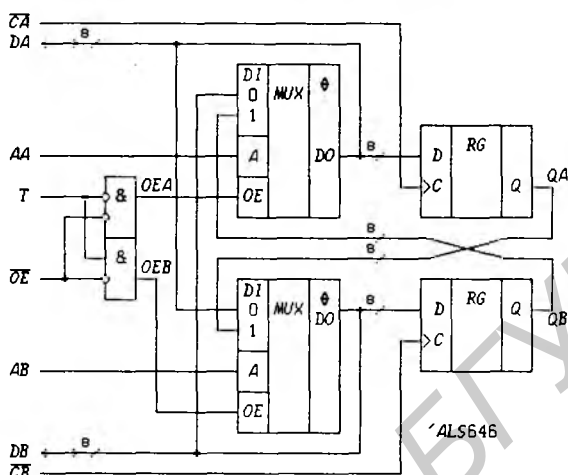


Рис. 5.108

$$QA_r^+ = DA_r LA \vee QA_r \overline{LA}, \quad QB_r^+ = DB_r LB \vee QB_r \overline{LB},$$

где сигналы  $OEA = GBA \cdot CEBA$ ,  $OEB = GAB \cdot CEAB$  и  $LA = LEA \cdot CEAB$ ,  $LB = LEB \cdot CEBA$ ;

74F544, 74AC11544 — преоператчики с инверсной шиной  $\overline{DB}$  на асинхронных потенциальных регистрах памяти (см. формулы для ИС 74F543);

1554АП20, 74ALS646, 74AC11646 — преоператчики с прямыми выходами на синхронных регистрах памяти и мультиплексными данными (рис. 5.108; *MUX* — *Multiplexer*), описываемые функциями

$$DA_r = \begin{cases} DB_r \overline{AA} \vee QB_r AA & \text{при } OEA = 1, \\ Z\text{-состояние} & \text{при } OEA = 0, \end{cases}$$

$$DB_r = \begin{cases} DA_r \overline{AB} \vee QB_r AB & \text{при } OEB = 1, \\ Z\text{-состояние} & \text{при } OEB = 0, \end{cases}$$

$$QA_r^+ = DA_r dCA \vee QA_r \overline{dCA}, \quad QB_r^+ = DB_r dCB \vee QB_r \overline{dCB},$$

где  $OEA = \overline{T} \cdot OE$ ,  $OEB = T \cdot OE$ ;

74ALS648, 74AC11648 — преоператчики с инверсной шиной  $\overline{DB}$  на синхронных регистрах памяти и мультиплексными данными (см. формулы для ИС 1554АП20; на рис. 5.108 прямые выходы мультиплексов следует заменить на инверсные);

1533АП24, 74ALS652, 74AC11652 — приемопередатчики с прямыми выходами на синхронных регистрах памяти и мультиплексными данными, описываемые теми же функциями, что и ИС 74ALS646, но вместо сигналов управления  $T$  и  $\overline{OE}$  используются независимые сигналы  $\overline{OEA}$  и  $\overline{OEB}$  (см. рис. 5.108);

1533АП17, 74ALS651, 74AC11651 — приемопередатчики с инверсной шиной  $\overline{DB}$  на синхронных регистрах памяти и мультиплексными данными, описываемые теми же функциями, что и ИС 74ALS652 (используются мультиплексоры с инверсными выходами).

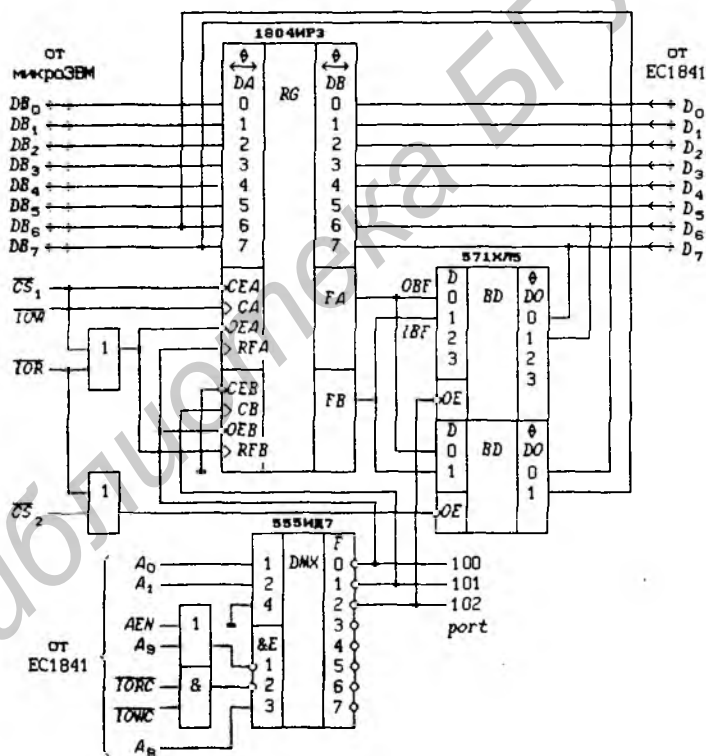


Рис. 5.109

На рис. 5.109 показана интерфейсная схема, выполненная на приемопередатчике с двумя регистрами памяти 1804MP3 и предназначенная для программного обмена данными с квитированием между микроЭВМ и персональным компьютером EC1841.

Данная схема эквивалентна схеме приемопередатчика, показанного на рис. 5.94 и подробно рассмотренного в § 5.8.

На рис. 5.110 показаны 8-разрядные приемопередатчики с открытым коллекторным выходом:

74ALS615 — приемопередатчик с прямыми выходами на синхронных регистрах памяти и мультиплексными данными (подобен приемопередатчику 74ALS652 с Z-состоянием выходов):

$$DA_r = \begin{cases} DB_r \overline{AA} \vee QB_r AA & \text{при } EA = 1, \\ 1 & \text{при } EA = 0, \end{cases}$$

$$DB_r = \begin{cases} DA_r \overline{AB} \vee QA_r AB & \text{при } EB = 1, \\ 1 & \text{при } EB = 0, \end{cases}$$

$$QA_r^+ = DA_r dCA \vee QA_r \overline{dCA}, \quad QB_r^+ = DB_r dCB \vee QB_r \overline{dCB};$$

74ALS614 — приемопередатчик с инверсной шиной  $\overline{DB}$  на синхронных регистрах памяти и мультиплексными данными (подобен приемопередатчику 74ALS651 с Z-состоянием выходов; см. формулы для ИС 74ALS615);

74ALS647 — приемопередатчик с прямыми выходами на синхронных регистрах памяти и мультиплексными данными, описываемый теми же функциями, что и ИС 74ALS615, но вместо независимых сигналов управления  $EA$  и  $EB$  используются сигналы  $EA = \overline{T} \cdot E$ ,  $EB = T \cdot E$ ;

74ALS649 — приемопередатчик с инверсной шиной  $\overline{DB}$  на синхронных регистрах памяти и мультиплексными данными (подобен приемопередатчику 74ALS648 с Z-состоянием выходов; см. формулы для ИС 74ALS647);

74ALS654 — приемопередатчик с прямыми выходами на синхронных регистрах памяти и мультиплексными данными (подобен приемопередатчику 74ALS652 с Z-состоянием выходов):

$$DA_r = \begin{cases} DB_r \overline{AA} \vee QB_r AA & \text{при } EA = 1, \\ 1 & \text{при } EA = 0, \end{cases}$$

$$DB_r = \begin{cases} DA_r \overline{AB} \vee QA_r & \text{при } OEB = 1, \\ Z\text{-состояние} & \text{при } OEB = 0, \end{cases}$$

$$QA_r^+ = DA_r dCA \vee QA_r \overline{dCA}, \quad QB_r^+ = DB_r dCB \vee QB_r \overline{dCB};$$

74ALS653 — приемопередатчик с инверсной шиной  $\overline{DB}$  на синхронных регистрах памяти и мультиплексными данными

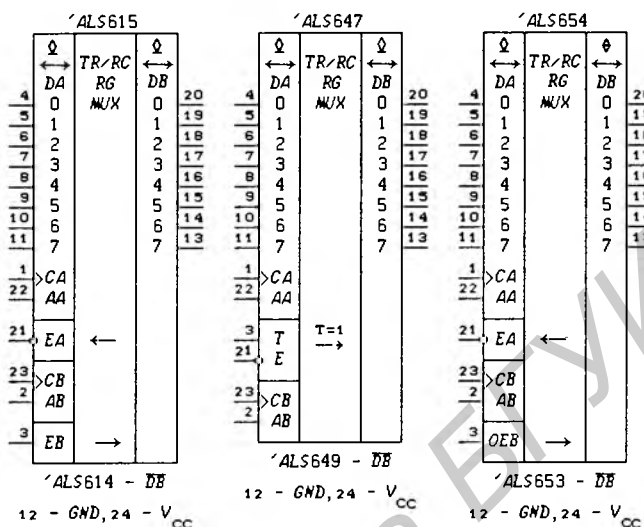


Рис. 5.110

(подобен приемопередатчику 74ALS651 с Z-состоянием выходов; см. формулы для ИС 74ALS654).

**Шинные приемопередатчики со сдвигающим регистром.** Эти приемопередатчики позволяют осуществить не только двунаправленную связь между CPU и внешним устройством с параллельной передачей данных, но и связь по последовательному информационному каналу. Входящий в состав приемопередатчика сдвигающий регистр может как хранить, так и преобразовывать параллельные данные, поступающие от CPU, в последовательные данные, скорость вывода которых определяется частотой тактового сигнала. Последовательные данные, поступающие от внешнего устройства по входу DS (Data Serial), могут быть преобразованы в параллельные данные для передачи в CPU или другое внешнее устройство.

На рис. 5.111 показаны 8-разрядные приемопередатчики с преобразованием параллельных данных в последовательные Q<sub>7</sub> и последовательных данных DS в параллельные:

74AS852, 74AC11852 — приемопередатчик, описываемый функциями

$$DA_r = \begin{cases} DB_r \bar{M}_1 \vee Q_7 M_1 & \text{при } OEA = 1, \\ Z\text{-состояние} & \text{при } OEA = 0, \end{cases}$$



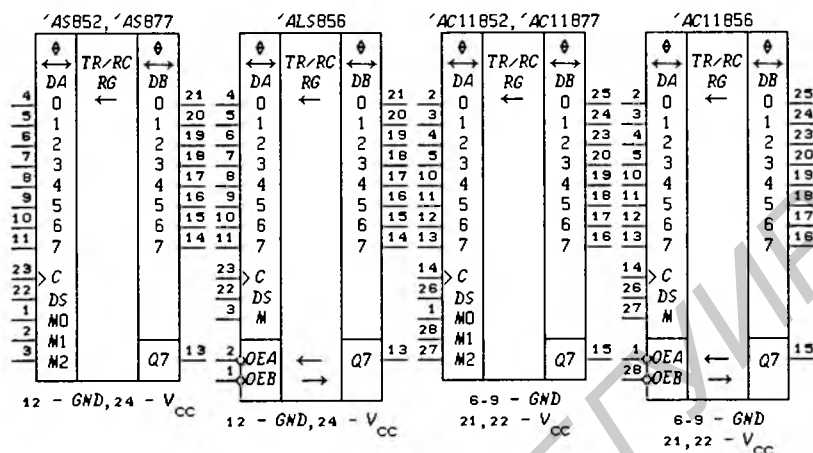


Рис. 5.111

$$DB_r = \begin{cases} DA_r \overline{M_1} \vee Q_r M_1 & \text{при } OEB = 1, \\ Z\text{-состояние} & \text{при } OEB = 0, \end{cases}$$

где  $OEA = \overline{M_2 M_1} \cdot M_0$ ,  $OEB = \overline{M_2 M_1} \cdot \overline{M_0}$ ; сдвигающий регистр характеризуется функциями

$$\begin{aligned} Q_r^+ &= D_r dH \vee Q_r d\overline{H}, \\ \overline{D_0} &= \overline{DA_0 M_2 M_0} \vee \overline{DB_0 M_2 M_0} \vee \overline{DS} \cdot M_2 \vee M_2 M_1 M_0, \\ \overline{D_r} &= \overline{DA_r M_2 M_0} \vee \overline{DB_r M_2 M_0} \vee \overline{Q_{r-1}} M_2 \vee M_2 M_1 M_0, \end{aligned}$$

где  $r = 1, 2, \dots, 7$ ;

74AS877, 74AC11877 — приемопередатчик, описываемый функциями

$$DA_r = \begin{cases} DB_r \overline{M_2 M_1} \vee Q_r \overline{M_2 M_1} & \text{при } OEA = 1, \\ Z\text{-состояние} & \text{при } OEA = 0, \end{cases}$$

$$DB_r = \begin{cases} DA_r \overline{M_2 M_1} \vee Q_r \overline{M_2 M_1} & \text{при } OEB = 1, \\ Z\text{-состояние} & \text{при } OEB = 0, \end{cases}$$

где  $OEA = \overline{M_2 M_1} \cdot M_0$ ,  $OEB = \overline{M_2 M_1} \cdot \overline{M_0}$ ; сдвигающий регистр характеризуется теми же функциями, что и сдвигающий регистр в ИС 74AS852;

74AS856, 74AC11856 — приемопередатчик, описываемый

функциями

$$DA_r = \begin{cases} DB_r \overline{M} \vee Q_r M & \text{при } \overline{OEA} = 0, \\ Z\text{-состояние} & \text{при } \overline{OEA} = 1, \end{cases}$$

$$DB_r = \begin{cases} Q_r & \text{при } \overline{OEB} = 0, \\ Z\text{-состояние} & \text{при } \overline{OEB} = 1, \end{cases}$$

со сдвигающим регистром, задаваемым функциями

$$Q_r^+ = D_r dH \vee Q_r \overline{dH}, \quad \overline{D}_0 = \overline{DA}_0 \overline{M} \vee \overline{DS} \cdot M, \\ \overline{D}_r = \overline{DA}_r \overline{M} \vee \overline{Q}_{r-1} M, \quad r = 1, 2, \dots, 7.$$

Приемопередатчики 74AS852 и 74AS877 отличаются только способом мультиплексирования функций  $DA_r$  и  $DB_r$ . Приведенному аналитическому описанию этих приемопередатчиков соответствует табл. 5.25, в более наглядной форме описывающая закон их функционирования. Приемопередатчик 74AS856 задается более простой таблицей (табл. 5.26).

Таблица 5.25. Режимы работы приемопередатчиков 74AS852 и 74AS877

OEA OEB		$M_2 M_1 M_0$	Операция		
			74AS852 74AS877	74AS852	74AS877
0	1	0 0 0	$Q_r \leftarrow DA_r$	$DA_r \rightarrow DB_r$	$DA_r \rightarrow DB_r$
1	0	0 0 1	$Q_r \leftarrow DB_r$	$DA_r \leftarrow DB_r$	$DA_r \leftarrow DB_r$
0	1	0 1 0	$Q_r \leftarrow DA_r$	$Q_r \rightarrow DB_r$	$Q_r \rightarrow DB_r$
1	0	0 1 1	$Q_r \leftarrow DB_r$	$DA_r \leftarrow Q_r$	$DA_r \leftarrow Q_r$
0	1	1 0 0	Сдвиг	$DA_r \rightarrow DB_r$	$Q_r \rightarrow DB_r$
1	0	1 0 1	Сдвиг	$DA_r \leftarrow DB_r$	$DA_r \leftarrow Q_r$
0	0	1 1 0	Сдвиг	Z-сост. вых.	Z-сост. вых.
0	0	1 1 1	Сброс	Z-сост. вых.	Z-сост. вых.

**Шинные трехнаправленные приемопередатчики.** Эти приемопередатчики предназначены для двунаправленной передачи данных между тремя устройствами во всех допустимых комбинациях: один передатчик — один приемник и один передатчик — два приемника. На рис. 5.112 показаны 4-разрядные трехнаправленные приемопередатчики:

74LS440 — приемопередатчик с открытыми коллекторными выходами без инвертирования данных;

74LS441 — приемопередатчик с открытыми коллекторными выходами и инвертированием данных;

Таблица 5.26. Режимы работы приемопередатчика 74AS856

$M \overline{OE} A \overline{OE} B$			Операция
0	0	0	Обратная связь
0	0	1	Запись $DA_r \rightarrow Q_r, DB_r \rightarrow DA_r$
0	1	0	Запись $DA_r \rightarrow Q_r, DB_r \leftarrow Q_r$
0	1	1	Запись $DA_r \rightarrow Q_r$
1	0	0	Сдвиг, $DA_r \leftarrow Q_r, DB_r \leftarrow Q_r$
1	0	1	Сдвиг, $DA_r \leftarrow Q_r$
1	1	0	Сдвиг, $DB_r \leftarrow Q_r$
1	1	1	Сдвиг, Z-состояние $DA_r$ и $DB_r$

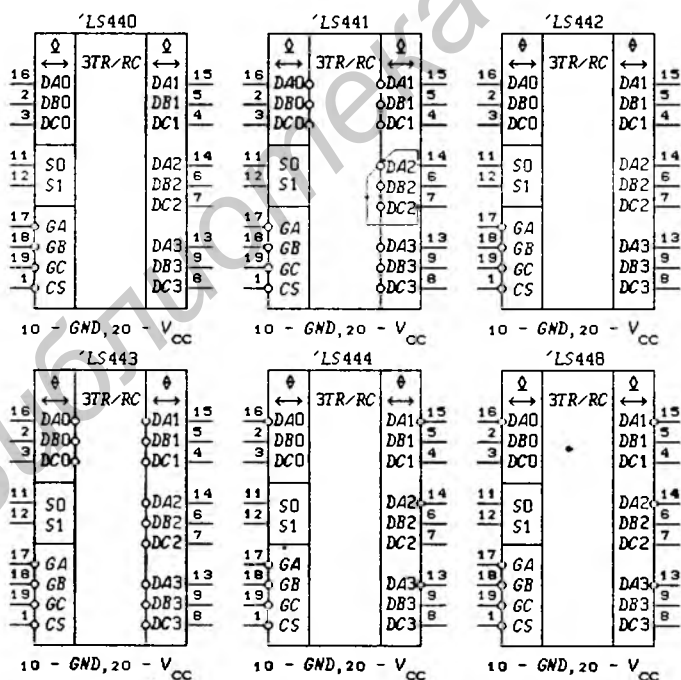


Рис. 5.112

74LS442 — приемопередатчик с  $Z$ -состоянием выходов без инвертирования данных;

74LS443 — приемопередатчик с  $Z$ -состоянием выходов и инвертированием данных;

74LS444 — приемопередатчик с  $Z$ -состоянием выходов и инвертированием данных одного из трех устройств;

74LS448 — приемопередатчик с открытыми коллекторными выходами и инвертированием данных одного из трех устройств.

Принцип работы трехнаправленных приемопередатчиков поясняется структурной схемой, изображенной на рис. 5.113 (показано по одному разряду  $j$  двух разных типов приемопередатчиков с открытыми коллекторными выходами). Все приемопередатчики имеют одинаковые схемы управления передачей и приемом: дешифратор  $DC$  (*Decoder*) реализует все минтермы  $K_i = S_1^{e_1} S_0^{e_0} = F_i$  ( $i = e_1 e_0$ ) двух переменных  $S_1$  и  $S_0$ , которые включают приемники данных (триггеры Шмитта) и управляют передатчиками с помощью сигналов

$$EA = (K_2 \vee K_1) \cdot G_A CS, \quad EB = (K_2 \vee K_0) \cdot G_B CS, \\ EC = (K_1 \vee K_0) \cdot G_C CS.$$

Управление выполнено так, что передача данных одновременно в двух направлениях по одной и той же линии запрещена:

$$K_0 \cdot EA \equiv 0, \quad K_1 \cdot EB \equiv 0, \quad K_2 \cdot EC \equiv 0.$$

Приемопередатчик 74LS441 отличается от приемопередатчика 74LS440 только использованием неинвертирующих триггеров Шмитта.

Структурная схема приемопередатчиков с  $Z$ -состоянием выходов показана на рис. 5.114. Для наглядности вентили с  $Z$ -состоянием выходов выделены из ЛЭ 2И–НЕ. Сигналы управления  $OEA$ ,  $OEB$  и  $OEC$  описываются теми же функциями, что и сигналы  $EA$ ,  $EB$  и  $EC$  на рис. 5.113, причем  $K_0 \cdot OEA \equiv 0$ ,  $K_1 \cdot OEB \equiv 0$  и  $K_2 \cdot OEC \equiv 0$ . Приемопередатчик 74LS443 отличается от приемопередатчика 74LS442 только использованием неинвертирующих триггеров Шмитта. Режимы работы трехнаправленных приемопередатчиков приведены в табл. 5.27. Их входные цепи выполнены на  $p$ - $n$ - $p$ -транзисторах, что обеспечивает малые значения входных токов:  $I_{IL} \leq 400$  мкА и  $I_{IH} \leq 20$  мкА.

На рис. 5.115 изображена схема одноразрядного приемопередатчика с памятью, имеющего три двунаправленные линии передачи данных. Значения сигналов  $\overline{WR}_i = 0$  ( $WR$  — Write — запись) устанавливают триггер в состояние  $Q = DB_i$ . Затем любой из сигналов  $RD_i = 1$  ( $RD$  — Read — чтение) может

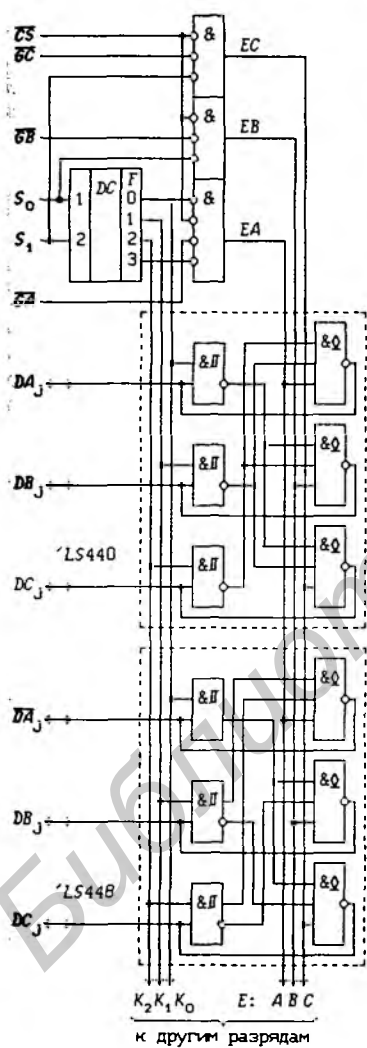


Рис. 5.113

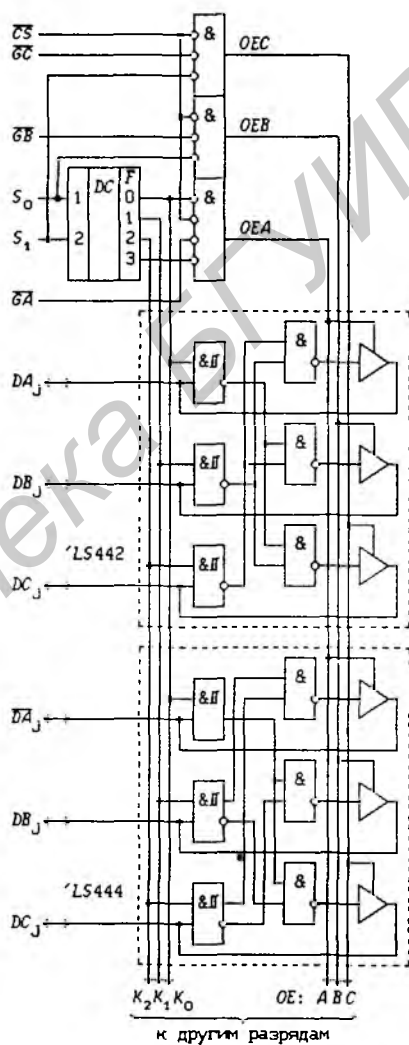


Рис. 5.114

Таблица 5.27. Режимы работы трехнаправленных приемопередатчиков

$\overline{CS} \overline{G}_A \overline{G}_B \overline{G}_C S_1 S_0$	Операция		
	74LS440 74AS442	74LS441 74AS443	74LS444 74AS448
1 x x x x x	Нет передач	Нет передач	Нет передач
x x x x 1 1	Нет передач	Нет передач	Нет передач
x 1 1 1 x x	Нет передач	Нет передач	Нет передач
x x 1 1 0 0	Нет передач	Нет передач	Нет передач
x 1 x 1 0 1	Нет передач	Нет передач	Нет передач
x 1 1 x 1 0	Нет передач	Нет передач	Нет передач
0 0 0 x 0 0	$DA_j \rightarrow DB_j$ $DA_j \rightarrow DC_j$	$\overline{DA}_j \rightarrow DB_j$ $\overline{DA}_j \rightarrow DC_j$	$\overline{DA}_j \rightarrow DB_j$ $\overline{DA}_j \rightarrow DC_j$
0 0 1 0 x 0	$DB_j \rightarrow DA_j$ $DB_j \rightarrow DC_j$	$\overline{DB}_j \rightarrow DA_j$ $\overline{DB}_j \rightarrow DC_j$	$\overline{DB}_j \rightarrow DA_j$ $\overline{DB}_j \rightarrow DC_j$
0 1 0 0 0 x	$DC_j \rightarrow DA_j$ $DC_j \rightarrow DB_j$	$\overline{DC}_j \rightarrow DA_j$ $\overline{DC}_j \rightarrow DB_j$	$\overline{DC}_j \rightarrow DA_j$ $\overline{DC}_j \rightarrow DB_j$
0 0 0 x 0 1	$DA_j \rightarrow DB_j$	$\overline{DA}_j \rightarrow DB_j$	$\overline{DA}_j \rightarrow DB_j$
0 0 1 1 x 0	$DB_j \rightarrow DC_j$	$\overline{DB}_j \rightarrow DC_j$	$\overline{DB}_j \rightarrow DC_j$
0 1 0 0 1 x	$DC_j \rightarrow DA_j$	$\overline{DC}_j \rightarrow DA_j$	$\overline{DC}_j \rightarrow DA_j$
0 0 0 x 1 0	$DA_j \rightarrow DC_j$	$\overline{DA}_j \rightarrow DC_j$	$\overline{DA}_j \rightarrow DC_j$
0 0 1 0 x 1	$DB_j \rightarrow DA_j$	$\overline{DB}_j \rightarrow DA_j$	$\overline{DB}_j \rightarrow DA_j$
0 1 0 1 0 x	$DC_j \rightarrow DB_j$	$\overline{DC}_j \rightarrow DB_j$	$\overline{DC}_j \rightarrow DB_j$

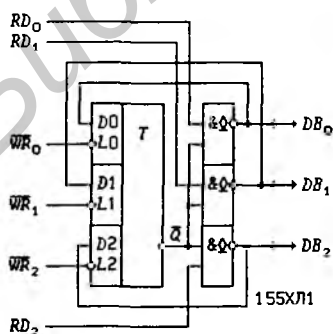


Рис. 5.115

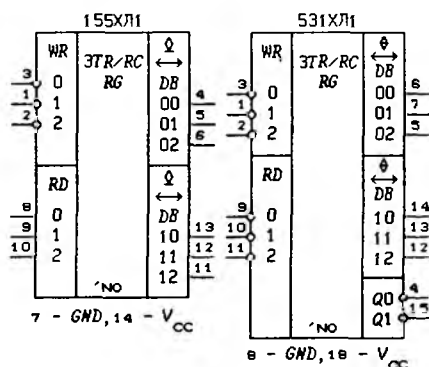


Рис. 5.116

подключить выход триггера  $\overline{Q}$  к линии  $DB_i$ . Естественно, одновременная подача значений сигналов  $\overline{WR}_i = 0$  и  $RD_i = 1$  запрещена. На рис. 5.116 показаны двухразрядные трехнаправленные приемопередатчики с асинхронной потенциальной памятью:

155ХЛ1 — приемопередатчик с открытыми коллекторными выходами, описываемый функциями

$$Q_r^+ = D_{r0}WR_0 \vee D_{r1}WR_1 \vee D_{r2}WR_2 \vee Q_r \overline{WR_0 \vee WR_1 \vee WR_2},$$

$$DB_{rj} = \overline{Q_r}RD_j = \begin{cases} Q_r, & \text{если } RD_j = 1, \\ 1, & \text{если } RD_j = 0; \end{cases}$$

531ХЛ1 — приемопередатчик с Z-состоянием выходов, описываемый функциями

$$Q_r^+ = D_{r0}WR_0 \vee D_{r1}WR_1 \vee D_{r2}WR_2 \vee Q_r \overline{WR_0 \vee WR_1 \vee WR_2},$$

$$DB_{rj} = \overline{Q_r}RD_j = \begin{cases} Q_r, & \text{если } \overline{RD_j} = 0, \\ Z\text{-состояние,} & \text{если } \overline{RD_j} = 1. \end{cases}$$

Обмен информацией между линиями разрядов  $DB_{ri}$  ( $r = 0, 1$  — номер разряда,  $i = 0, 1, 2$  — номер линии передачи) в ИС 155ХЛ1 (531ХЛ1) производится под управлением общих для разрядов сигналов  $\overline{WR}_i$  и  $RD_i$  ( $\overline{RD}_i$ ). У приемопередатчика 531ХЛ1 к внешним выводам ИС подключены выходы триггеров  $\overline{Q}_0$  и  $\overline{Q}_1$  для контроля ее работы. При значении сигнала  $RD_i = 1$  выходы  $DB_{0i}$  и  $DB_{1i}$  находятся в Z-состоянии.

## 5.10. Мультивибраторы

Для генерации сигналов заданной длительности или частоты используются три типа ИС: мультивибраторы (*Monostable Multivibrator*), генераторы с кварцевой стабилизацией (*Crystal-Controlled Oscillator*) и генераторы, управляемые напряжением (*Voltage-Controlled Oscillator*). Все эти ИС представляют собой цифроаналоговые устройства, в которых используются внешние времязадающие элементы (конденсаторы, RC-цепи, LC-контуры, кварцевые резонаторы и др.). Одностабильные (*monostable*) мультивибраторы называются также *ждущими мультивибраторами*.

**Мультивибраторы.** Помимо нескольких входов запуска большинство мультивибраторов имеют вход сброса  $\overline{K}$  — вход принудительного окончания генерирования импульса. В некоторых мультивибраторах этот вход может вызывать и запуск

мультивибратора. Мультивибраторы делятся на перезапускаемые и неперезапускаемые. Мультивибратор называется *перезапускаемым*, если при подаче сигнала запуска во время генерации импульса она возобновляется заново с исходным состоянием времязадающей цепи. Перезапуски мультивибратора позволяют неограниченно увеличивать длительность генерируемого импульса независимо от значения постоянной времени  $RC$ -цепи. *Неперезапускаемые мультивибраторы* не реагируют на сигналы запуска, поступающие во время генерации импульса. На рис. 5.117 показаны ИС:

155АГ1 — неперезапускаемый мультивибратор без входа сброса, запускаемый сигналом

$$d(\overline{G_1} \vee \overline{G_2})G_3 = G_3G_1^*dG_2 \vee G_3G_2^*dG_1 \vee \overline{G_1}d\overline{G_3} \vee \overline{G_2}d\overline{G_3} = 1; \quad (5.25)$$

74LS122 — перезапускаемый мультивибратор, запускаемый сигналом

$$\begin{aligned} d(\overline{G_1} \vee \overline{G_2})G_3G_4\overline{R} &= G_3G_4\overline{R} \cdot (G_1^*dG_2 \vee G_2^*dG_1) \vee \\ &\vee (\overline{G_1} \vee \overline{G_2})(G_4\overline{R} \cdot d\overline{G_3} \vee G_3\overline{R} \cdot d\overline{G_4} \vee G_3G_4dR) = 1 \end{aligned} \quad (5.26)$$

(на рис. 5.117 символами “&” обозначена операция конъюнкции с инвертированием сигнала  $R$ );

555АГ3, 74130 — два перезапускаемых мультивибратора, запускаемые сигналом

$$d\overline{G_1}G_2\overline{R} = G_2\overline{R} \cdot dG_1 \vee \overline{G_1}\overline{R} \cdot d\overline{G_2} \vee \overline{G_1}G_2dR = 1; \quad (5.27)$$

74LS221 — два неперезапускаемых мультивибратора, запускаемые сигналом (5.27);

74LS422 — перезапускаемый мультивибратор, запускаемый сигналом

$$\begin{aligned} d(\overline{G_1} \vee \overline{G_2})G_3G_4 &= G_3G_4(G_2^*dG_1 \vee G_1^*dG_2) \vee \\ &\vee (\overline{G_1} \vee \overline{G_2})(G_4d\overline{G_3} \vee G_3d\overline{G_4}) = 1 \text{ при } \overline{R} = 1; \end{aligned} \quad (5.28)$$

555АГ4 — два неперезапускаемых мультивибратора, запускаемые сигналом

$$d\overline{G_1}G_2 = G_2dG_1 \vee \overline{G_1}d\overline{G_2} = 1 \text{ при } \overline{R} = 1 \quad (5.29)$$

(в справочниках указывается, что зарубежным аналогом ИС 555АГ4 является ИС 74LS221, однако следует учитывать их различное поведение при воздействии сигнала сброса  $\overline{R}$ );

74LS423 — два перезапускаемых мультивибратора, запускаемые сигналом (5.29).

Знаком “x” на рис. 5.117 обозначены нелогические входы. В исходном состоянии все мультивибраторы выдают значения



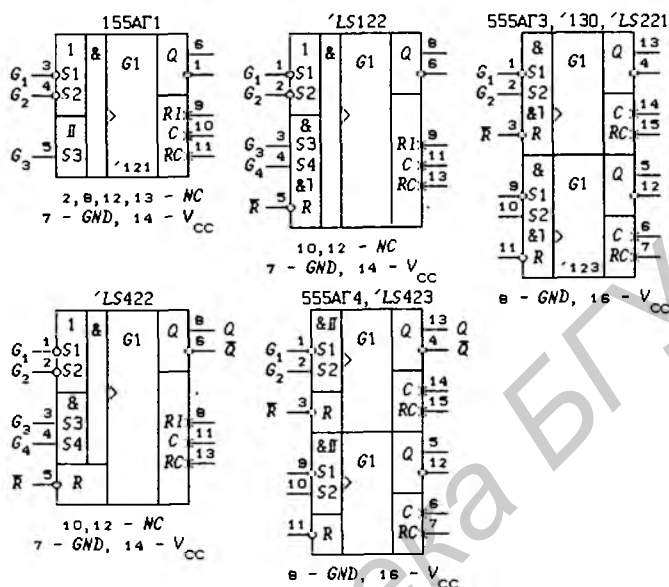


Рис. 5.117

Таблица 5.28. Сигналы запуска мультивибраторов

155AГ1 74LS121	74LS122	555AГ3 74LS123 74130 74LS221	74LS422	555AГ4 74LS423	564AГ1 CD4098 MC14528 MC14538 MC14548 74HC4538
$G_1 G_2 G_3$	$G_1 G_2 G_3 G_4 \bar{R}$	$G_1 G_2 \bar{R}$	$G_1 G_2 G_3 G_4 \bar{R}$	$G_1 G_2 \bar{R}$	$G_1 G_2 \bar{R}$
0 × ]	] 1 1 1 1	] 1 1	] 1 1 1 1	] 1 1	] 0 1
× 0 ]	1 ] 1 1 1	0 ] 1	1 ] 1 1 1	0 ] 1	1 ] 1
1 ] 1	0 × ] 1 1	0 1 ]	0 × ] 1 1		
] 1 1	× 0 ] 1 1		× 0 ] 1 1		
	0 × 1 ] 1		0 × 1 ] 1		
	× 0 1 ] 1		× 0 1 ] 1		
	0 × 1 1 ]				
	× 0 1 1 ]				
По входу $\bar{R}$ не запускаются					

сигналов  $Q = 0$  и  $\bar{Q} = 1$ . Вход  $\bar{R}$  имеет приоритет по отношению к остальным входам и в любой момент значение  $\bar{R} = 0$  устанавливает состояние выхода  $Q = 0$ . Значения входных сигналов и их изменений, приводящих к генерации значения выходного сигнала  $Q = 1$  ( $\bar{Q} = 0$ ) заданной длительности, приведены в табл. 5.28, составленной по формулам (5.25) – (5.29).

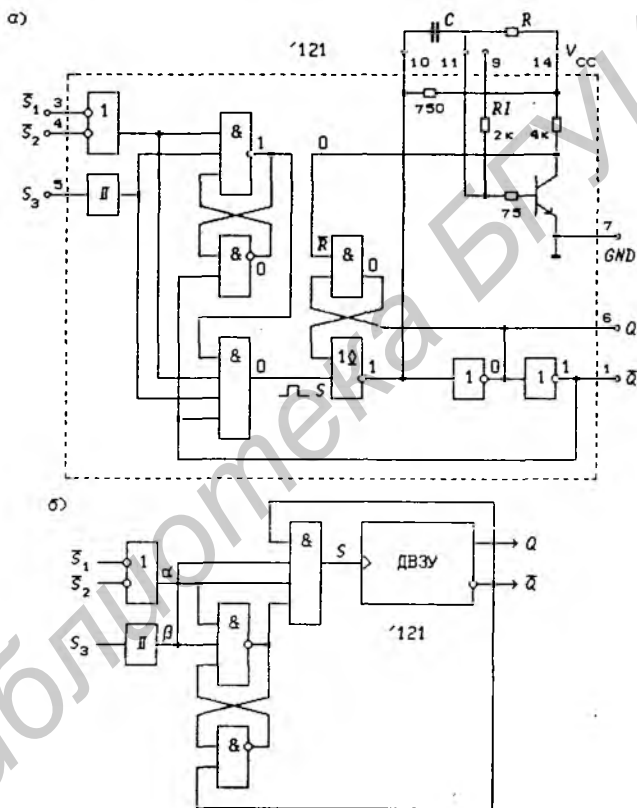


Рис. 5.118

Принципиальная схема ждущего неперезапускаемого мультивибратора  $SN74121$  изображена на рис. 5.118, а. На выходах ЛЭ указаны значения сигналов 0 и 1, которые устанавливаются в схеме перед очередным запуском. Длительность  $T$  выходного сигнала  $Q = 1$  задается внешней  $RC$ -цепью [26]:  $T = 0,7 \cdot RC$  при  $R = 1,4 \dots 40$  кОм и  $C = 0 \dots 1000$  мкФ. Минимальная длительность импульса  $Q = 1$  составляет  $30 \dots 40$  нс. Внутри ИС

между выводами 9 и 11 включен резистор  $R_I$  ( $I$  — *Internal*), сопротивление которого порядка 2 кОм. Внешний резистор можно не использовать, если соединить выводы 9 и 14.

Легко заметить, что на рис. 5.118,а часть ЛЭ образуют разностный элемент, подобный рассмотренному в § 2.4, и имеется асинхронный потенциальный  $R$ - $S$ -триггер со входами  $\bar{R}$  и  $S$  (данный триггер построен непосредственно по функции переходов  $Q^+ = S \vee Q \cdot \bar{R}$  без каких-либо ее преобразований, а условие  $R \cdot S = 0$  выполняется автоматически). На этом основании может быть составлена структурная схема мультивибратора, изображенная на рис. 5.118,б (ДВЗУ — динамическое времязадающее устройство). Разностный элемент со встроенным ДВЗУ имеет два входа  $\alpha$  и  $\beta$ , эквивалентных одному входу  $x = \alpha \cdot \beta \doteq (S_1 \vee S_2) \cdot S_3$ . При изменении сигнала  $x$  с 0 на 1 сигнал  $S$  изменяется также с 0 на 1, что приводит к изменению выходного сигнала мультивибратора  $\bar{Q}$  с 1 на 0. Обратная связь с выхода  $\bar{Q}$  на вход ЛЭ  $S$  введена для уменьшения длительности его активного уровня  $S = 1$ . По схеме, близкой к описанной, выполнен и непerezапускаемый мультивибратор SN74LS221. Perezапускаемые мультивибраторы выполняются по иным схемам.

Схема включения мультивибратора 555АГЗ показана на рис. 5.119,а (можно использовать внешние резисторы  $R = 5 \dots 50$  кОм и конденсаторы  $C = 0 \dots 1000$  мкФ). Минимальная длительность импульса  $Q = 1$  составляет 30...40 нс. На рис. 5.119,б приведены временные диаграммы работы мультивибратора в режиме с перезапуском. Сигнал  $\bar{R}$  используется, в основном, для сброса сигнала  $Q$  в нуль в произвольные моменты времени, однако не следует забывать, что, как следует из формулы (5.27), изменение сигнала  $\bar{R}$  с 0 на 1 при  $G_1 = 0$  и  $G_2 = 1$  вызывает запуск мультивибратора.

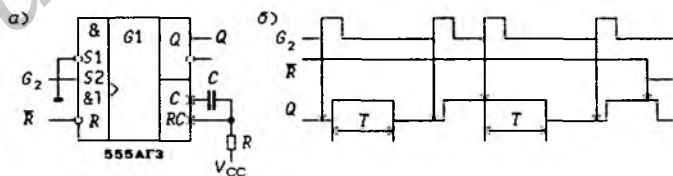


Рис. 5.119

На рис. 5.120,а показана схема генератора инверсных импульсных сигналов  $Q = 0$  длительностью порядка 30 нс, период которых определяется постоянной времени  $RC$ -цепи. На рис.

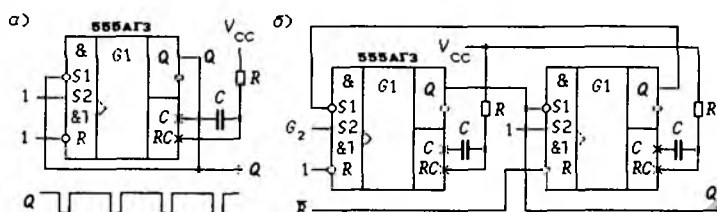


Рис. 5.120

5.120,б изображена схема генератора прямоугольных сигналов, полупериоды которых независимо устанавливаются двумя  $RC$ -цепями. Внешние управляющие сигналы  $G_2$  и  $\bar{R}$  позволяют использовать эту схему в трех режимах работы:

$G_2 \equiv 1, \bar{R} \equiv 1$  — автоколебательный мультивибратор с жестким возбуждением (при срыве по какой-либо причине генерации она может быть возобновлена только с помощью какого-либо внешнего воздействия, например, выключением и включением питания);

$\bar{R} \equiv 1$  — генератор пачки импульсов на интервале значения сигнала  $G_2 = 1$  (старт-стопный режим);

$\bar{R} \equiv 0$  — ждущий мультивибратор, запускаемый положительным перепадом сигнала  $G_2$ .

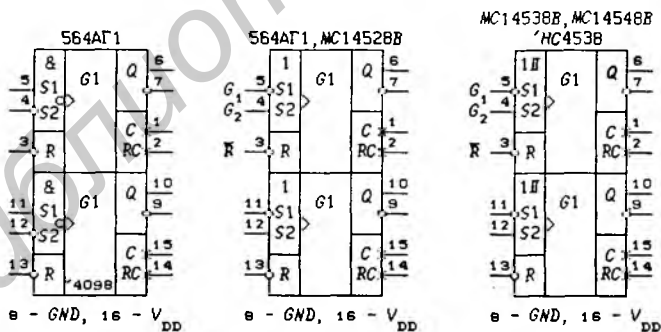


Рис. 5.121

Мультивибраторы, изготавливаемые по КМОП-технологии, показаны на рис. 5.121:

564AG1, MC14528B — два перезапускаемых мультивибратора, запускаемых сигналом

$$d(G_1\bar{G}_2) = \bar{G}_2^*dG_1 \vee G_1^*d\bar{G}_2 = 1 \text{ при } \bar{R} = 1; \quad (5.30)$$

*MC14538B*, *MC14548B*, *74HC4538* — два перезапускаемых мультивибратора с триггером Шмитта на входе, запускаемых сигналом (5.30).

Вход  $\bar{R}$  имеет приоритет по отношению к остальным входам и устанавливает значение сигнала  $Q = 0$ . Значения входных сигналов и их изменений, приводящих к генерации выходного сигнала  $Q = 1$  ( $\bar{Q} = 0$ ) заданной длительности, приведены в табл. 5.28. Длительность  $T$  значения сигнала  $Q = 1$  задается внешней  $RC$ -цепью (например, при  $R = 100$  кОм и  $C = 255$  пФ у мультивибратора 564АГ1 длительность  $T = 26$  мкс, если  $V_{DD} = 5$  В).

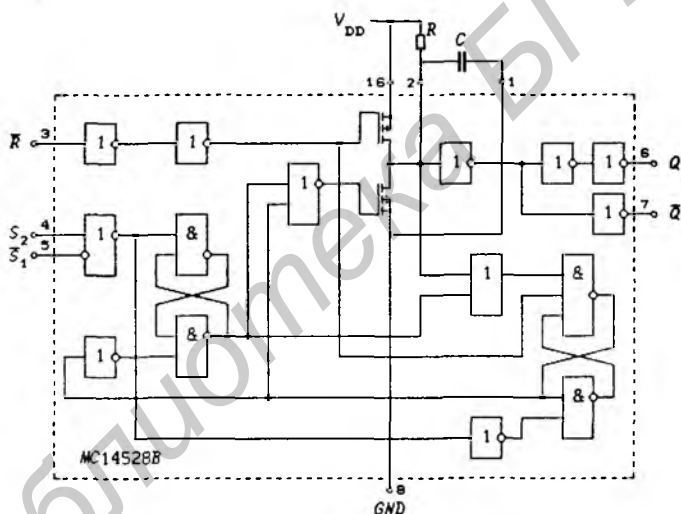


Рис. 5.122

Принципиальная схема мультивибратора *MC14528B* изображена на рис. 5.122. Длительность генерируемого мультивибратором импульса зависит от напряжения питания. Для ее расчета можно пользоваться приближенной формулой

$$T = \begin{cases} 0,32 \cdot RC & \text{при } V_{DD} = 5 \text{ В,} \\ 0,46 \cdot RC & \text{при } V_{DD} = 10 \text{ В,} \\ 0,54 \cdot RC & \text{при } V_{DD} = 15 \text{ В.} \end{cases}$$

Минимальная длительность импульсов, генерируемых мультивибраторами *MC14528B* и *MC14548B*, равна 1 мкс, а генерируемых мультивибратором *MC14538B* — 10 мкс. Схемы

включения мультивибраторов с запуском положительным и отрицательным перепадами входных сигналов показаны на рис. 5.123,а. Мультивибраторы можно сделать непerezапускаемыми введением обратной связи с выхода  $\bar{Q}$  или  $Q$  на неиспользуемый вход (рис. 5.123,б).

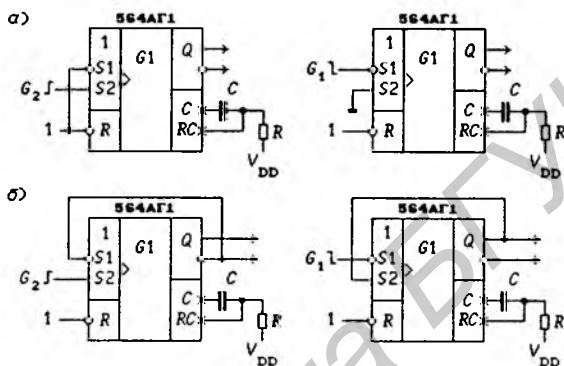


Рис. 5.123

**Прецизионный таймер 1006ВИ1.** Любой генератор сигналов может быть построен на основе триггера Шмитта (см. § 5.3). Прецизионные триггеры Шмитта выполняются на основе двух аналоговых компараторов, имеющих разные пороги срабатывания  $V_P$  и  $V_N$ , и асинхронного потенциального  $R$ - $S$ -триггера, ко входам  $R$  и  $S$  которого подключены выходы компараторов.

Прецизионный таймер 1006ВИ1 (*NE555* фирмы *Signetics*) показан на рис. 5.124. Структурная схема этого таймера изображена на рис. 5.125. Таймер состоит из двух аналоговых компараторов  $C1$  и  $C2$ , асинхронного потенциального  $R$ - $S$ -триггера, мощного выходного

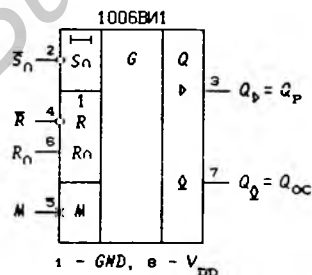


Рис. 5.124

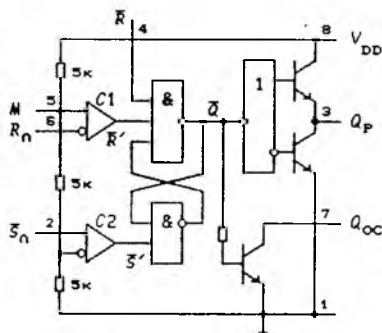


Рис. 5.125

каскада и выходного каскада с открытым коллектором. Опорные напряжения компараторов  $V_P$  и  $V_N$  задаются резистивным делителем с высокой точностью:  $V_P = 2/3 V_{DD}$  и  $V_N = 1/3 V_{DD}$ . Выполнен таймер по биполярной технологии. Мощный выходной каскад обеспечивает уровни выходных токов  $I_{OL} = I_{OH} = 200$  мА. Ток потребления  $I_{DD} = 3$  мА при  $V_{DD} = +5$  В ( $V_{DD} = +4,5 \dots 16$  В). Компаратор  $C2$  имеет малое быстродействие — длительность входного сигнала  $\bar{S}_n = 0$  должна быть не менее 10 мкс. Таймер может формировать импульсы длительностью от 10 мкс до 1 ч.

Асинхронный потенциальный триггер типа  $R$ - $S$  описывается функцией переходов

$$Q^+ = S_n \vee Q \cdot \overline{R_n \vee R},$$

где  $S_n$  и  $R_n$  — входы, на которые можно подавать как аналоговые, так и цифровые сигналы. Вся схему таймера можно рассматривать, как асинхронный потенциальный триггер с двумя аналоговыми входами  $S_n$  и  $R_n$  и одним цифровым входом  $\bar{R}$ . Значения сигналов  $\bar{Q} = 1$ ,  $Q_P = 0$  и  $Q_{OC} = 0$  (при подключенном внешнем резисторе) определяют исходное состояние таймера при неактивных уровнях всех входных сигналов.

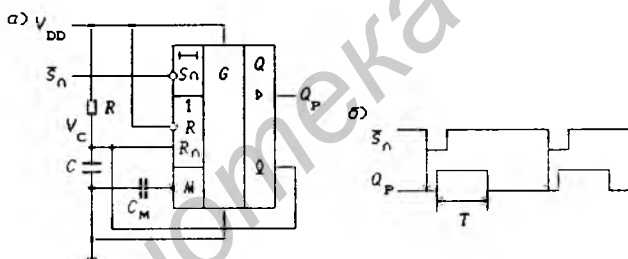


Рис. 5.126

На рис. 5.126,а показано включение таймера по схеме ждущего мультивибратора ( $M$  — вход для подачи модулирующего напряжения). В исходном состоянии сигнал  $\bar{Q} = 1$ , и выходной каскад с открытым коллектором удерживает конденсатор  $C$  в разряженном состоянии. При подаче сигнала  $\bar{S}_n = 0$  триггер устанавливается в состояние  $\bar{Q} = 0$ , и конденсатор  $C$  начинает заряжаться через резистор  $R$  по закону

$$V_C = V_{DD}[1 - \exp(-t/RC)].$$

Как только напряжение  $V_C$  достигнет значения  $V_P = 2/3 V_{DD}$ , срабатывает компаратор  $C1$ , и триггер устанавливается в состояние  $\bar{Q} = 1$ , что вызывает быстрый разряд конденсатора через низкоомный выход каскада с открытым коллектором. Длительность  $T$  значения выходного сигнала  $Q_P = 1$  определяется соотношением

$$2/3 V_{DD} = V_{DD}[1 - \exp(-T/RC)],$$

т. е.  $T = RC \cdot \ln 3$  независимо от величины напряжения источника питания  $V_{DD}$ . Работу мультивибратора поясняют временные диаграммы, изображенные на рис. 5.126, б.

Если в схеме, изображенной на рис. 5.126, а, на вход  $M$  через конденсатор  $C_M$  подать медленно изменяющееся по сравнению с периодом запусковых импульсов  $\bar{S}_n$  модулирующее напряжение  $V_M$ , то длительность генерируемых импульсов будет изменяться пропорционально величине  $V_M$ .

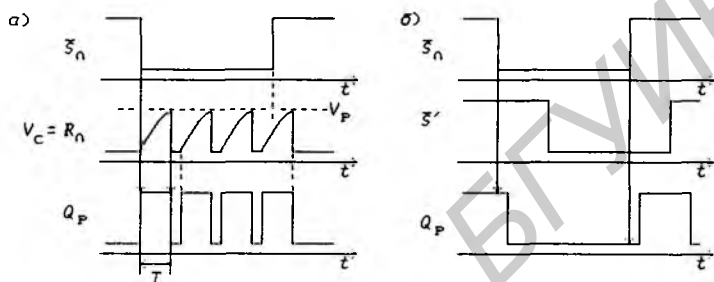


Рис. 5.127

На рис. 5.127, а показаны временные диаграммы для случая, когда длительность значения сигнала запуска мультивибратора  $\bar{S}_n = 0$  больше длительности генерируемого импульса  $T$ . При достижении напряжением  $V_c$  порога  $V_p$  срабатывает компаратор  $C1$ , триггер устанавливается в состояние  $\bar{Q} = 1$  и конденсатор  $C$  быстро разряжается через выходной каскад с открытым коллектором. Такой режим работы мультивибратора недопустим, т. е. схема на рис. 5.126, а не является полноценным мультивибратором, работа которого не должна зависеть от длительности запускающего импульса. На рис. 5.128, а приведена схема включения ИС 1006ВИ1 в качестве ждущего мультивибратора, не имеющая указанного недостатка (объединены входы  $\bar{S}_n$  и  $\bar{R}$ ). Значение сигнала  $\bar{R} = 0$  удерживает триггер в состоянии  $\bar{Q} = 1$ , хотя и сигнал  $\bar{S}_n = 0$ . После перехода сигналов  $\bar{R}$  и  $\bar{S}_n$  с 0 на 1 (рис. 5.127, б) триггер переходит в состояние  $\bar{Q} = 0$ , так как сигнал  $\bar{S}'$  (рис. 5.125) остается еще некоторое время в состоянии 0 из-за инерционности компаратора  $C2$ . Таким образом, запуск мультивибратора осуществляется положительным фронтом сигналов  $\bar{S}_n = \bar{R}$ .

На рис. 5.128, б показано включение ИС 1006ВИ1 в качестве прецизионного триггера Шмитта, управляемого входным сигналом  $V_i$  с порогами срабатывания  $V_p = 2/3 V_{DD}$  и  $V_n = 1/3 V_{DD}$ . Конденсатор  $C_M$  используется для фильтрации помех от источника напряжения питания  $V_{DD}$ . Вход  $\bar{R}$  служит для включения и выключения триггера Шмитта (при  $\bar{R} = 0$  выходной сигнал  $Q_p$  равен 0).

На рис. 5.129, а приведена схема включения ИС 1006ВИ1 в качестве генератора прямоугольных сигналов. Конденсатор  $C$  заряжается от источника питания  $V_{DD}$  через последовательно включенные рези-



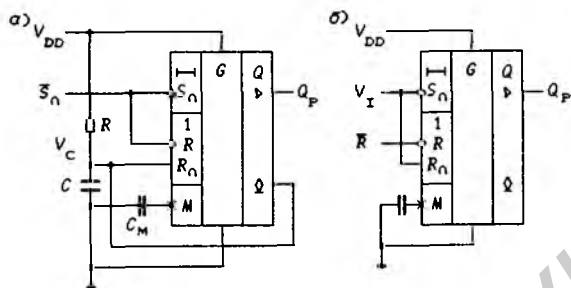


Рис. 5.128

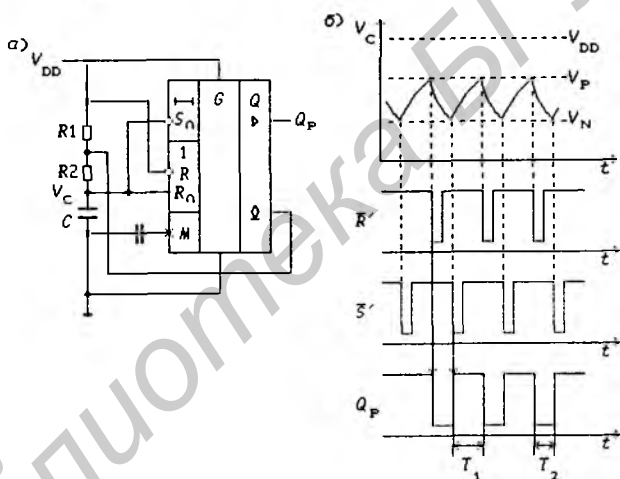


Рис. 5.129

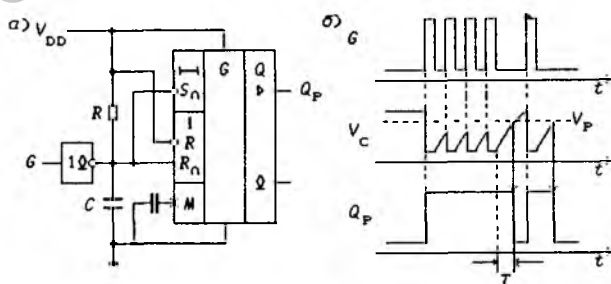


Рис. 5.130

сторы  $R_1$  и  $R_2$  с постоянной времени  $(R_1 + R_2) \cdot C$ , а разряжается через резистор  $R_2$  и выходное сопротивление каскада с открытым коллектором, которым можно пренебречь. Постоянная времени разряда равна  $R_2 C$ . На рис. 5.129,б показаны временные диаграммы, поясняющие работу генератора. Легко показать, что длительности полупериодов  $T_1$  и  $T_2$  определяются соотношениями:

$$T_1 = (R_1 + R_2) \cdot C \cdot \ln 2, \quad T_2 = R_2 C \cdot \ln 2.$$

Вход  $\bar{R}$  можно использовать для включения и выключения генератора.

На рис. 5.130,а показано включение ИС 1006ВИ1 в качестве ждущего мультивибратора с перезапуском. Импульсы  $G$  запуска мультивибратора подаются на входы  $\bar{S}_0$  и  $R_0$  через ЛЭ НЕ с открытым коллекторным выходом. При значении  $G = 1$  конденсатор  $C$  быстро разряжается через выходной каскад этого ЛЭ. Если к моменту поступления следующего импульса  $G = 1$  (рис. 5.130,б) конденсатор  $C$  не успеет зарядиться до значения порога срабатывания  $V_P$ , то он разрядится до напряжения  $V_C \cong 0$ . Триггер будет находиться в состоянии  $\bar{Q} = 0$  до тех пор, пока расстояние между соседними импульсами  $G = 1$  не окажется достаточным для заряда конденсатора  $C$  до порога срабатывания  $V_P$ . Каждый импульс  $G = 1$  при длительности паузы  $G = 0$ , меньшей длительности генерируемого импульса  $T$ , перезапускает мультивибратор. Таким способом могут быть получены длительности выходного сигнала, значительно большие, чем определяемые времязадающей  $RC$ -цепью. Мультивибратор с перезапуском называется также *детектором подавления импульсов* [25].

## 5.11. Генераторы

Синтез генераторов сигналов как асинхронных потенциальных автоматов был рассмотрен в § 3.9. На практике находят применение и другие схемы генераторов одиночных импульсов и периодических сигналов. К генераторам относятся и некоторые специальные схемы преобразования потенциальных сигналов.

**Схемы временной привязки.** Для обеспечения детерминированности работы некоторых синхронных устройств требуется подавать на них входные информационные сигналы, жестко связанные с активными переходами тактового сигнала (переходами тактового сигнала  $H$  с 1 на 0 или тактового сигнала  $\bar{H}$  с 0 на 1). Устройства, выполняющие привязку произвольных информационных сигналов  $x$  к активным переходам тактового сигнала называются *схемами временной привязки* (СВП). Из определения (4.3) синхронного  $D$ -триггера (рис. 5.131,а) следует, что при  $D = x$ , он может быть использован в качестве простейшей СВП (рис. 5.131,б). Длительность выходного сигнала СВП  $Q$  всегда равна целому числу периодов тактового сигнала.

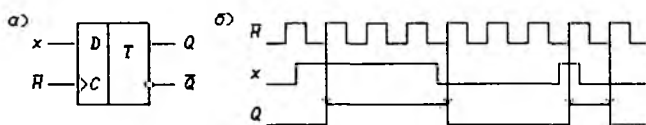


Рис. 5.131

ла и может отличаться от длительности входного сигнала  $x$  не более чем на период тактового сигнала  $H$ .

На рис. 5.132,а показана универсальная СВП (УСВП) с нормированием длительности выходного сигнала — независимо от длительности входного сигнала  $x$  выходной сигнал СВП  $Q_1$  имеет длительность, равную одному периоду тактового сигнала. Данная УСВП построена на  $D/R$ - и  $D$ -триггерах и описывается функциями

$$Q_0^+ = (d\bar{x} \vee Q_0 \cdot \bar{d}\bar{x}) \cdot \bar{Q}_1, \quad Q_1^+ = Q_0 dH \vee Q_1 \bar{d}H,$$

которым соответствуют временные диаграммы, изображенные на рис. 5.132,б. Понятно, что УСВП является преобразователем активных переходов информационного сигнала  $x$  в потенциальный сигнал  $Q_1$  нормированной длительности. Поэтому УСВП находят широкое применение в схемах управления, срабатывающих по переходам потенциальных сигналов управления.

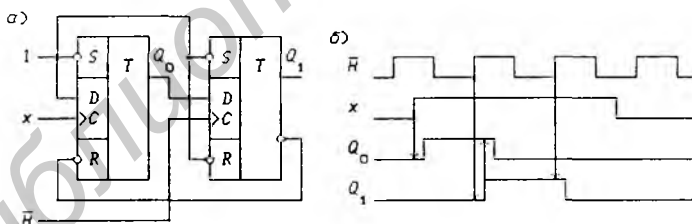


Рис. 5.132

**Схемы устранения “дребезга” механических контактов.** Для управления электронными устройствами часто используются генераторы одиночных импульсов, срабатывающие при нажатии оператором кнопки на пульте управления. Такие генераторы должны выдавать по одному импульсу на каждое нажатие кнопки. Однако при одном нажатии кнопки механический контакт, как правило, срабатывает несколько раз (механические упругие системы имеют некоторую резонансную частоту колебаний). Такое явление называется дребезгом контактов. На рис. 5.133,а показана схема исключения дребезга, выполненная на  $R-S$ -триггере (вместо ЛЭ И-НЕ можно использовать  $R-S$ -

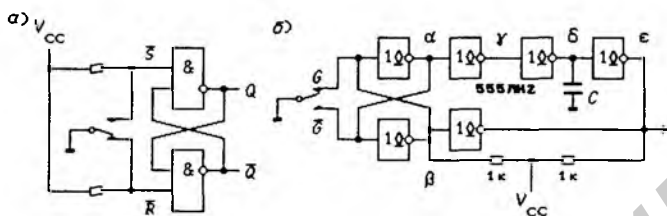


Рис. 5.133

триггеры 555ТР2). Работа схемы поясняется временными диаграммами, показанными на рис. 5.134,а. Эта схема функционирует надежно при использовании любых типов переключающих контактов. Длительность значения сигнала  $Q = 1$  определяется временем нажатия кнопки, если в нормально замкнутом положении переключателя вход  $\bar{R}$  подключен к корпусу.

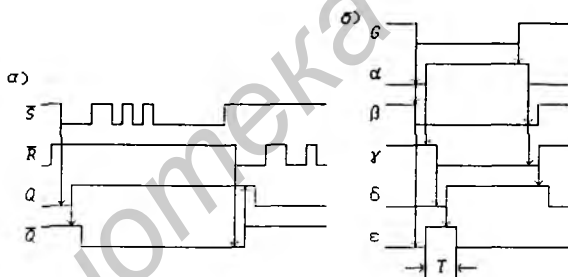


Рис. 5.134

На рис. 5.133,б изображена схема исключения дребезга с формированием импульсов малой длительности, выполненная на одной ИС 555ЛН2 (длительность выходного сигнала в этой схеме не зависит от времени нажатия кнопки). Дребезг, как и в предыдущей схеме, устраняется  $R$ - $S$ -триггером, реализованном на двух ЛЭ НЕ с открытым коллекторным выходом. Формирование значения выходного сигнала  $Q = 1$  поясняется временными диаграммами, приведенными на рис. 5.134,б (дребезг контактов не показан). Для удешевления схемы к четырем ЛЭ НЕ резисторы не подключены. Изменять длительность  $T$  формируемого сигнала  $\epsilon$  можно изменением емкости конденсатора  $C$  (например,  $T \approx 60$  нс при  $C = 0$ ;  $T \approx 0,5$  мкс при  $C = 62$  пФ и  $T \approx 1$  мкс при  $C = 130$  пФ).

**Автогенераторы периодических сигналов.** Автогенераторы могут быть построены на усилителях, охваченных поло-

жительной обратной связью. В качестве времязадающих цепей используются  $RC$ -цепи,  $LC$ -контуры и кварцевые резонаторы. Наибольшая стабильность частоты генерируемого сигнала достигается в генераторах на кварцевых резонаторах. Выпускаются специальные ИС, содержащие все элементы электронной схемы генератора, к внешним выводам которых остается только подключить кварцевый резонатор или кварцевый резонатор и  $LC$ -контур. На рис. 5.135 представлены ИС:

74LS320 — генератор с кварцевой стабилизацией частоты (*Crystal-Controlled Oscillator*);

74LS321 — генератор с кварцевой стабилизацией частоты и делителем частоты на 2 и 4;

74AC11208 — два мощных усилителя тактовых сигналов  $C$  (*Clock Drivers*) с  $Z$ -состоянием выходов, имеющих по четыре идентичных выхода  $CLK_i$  (*Clock*),  $i = 1, 2, 3, 4$ .

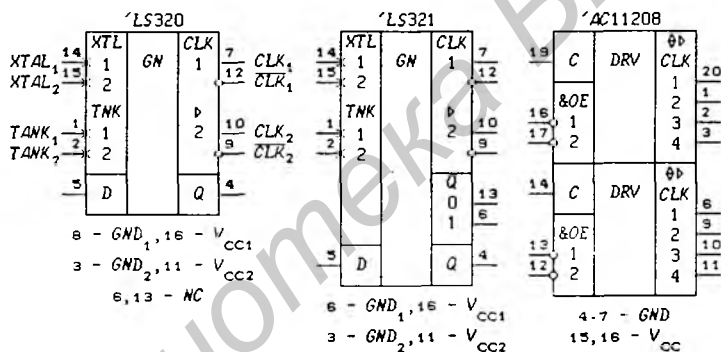


Рис. 5.135

Структурная схема ИС 74LS321 показана на рис. 5.136. Кварцевый резонатор (*Quartz Crystal*) подключается к выводам  $XTAL_1$  и  $XTAL_2$  генератора  $GN$ . При работе на основной частоте кварцевого резонатора между выводами  $TANK_1$  и  $TANK_2$  ( $TANK$  — резонансный контур) включается индуктивность  $L = 5 \dots 100$  мкГн с добротностью  $Q_L = 30 \dots 40$  или резистор с сопротивлением примерно 130 Ом. При работе на третьей гармонике кварцевого резонатора между этими выводами следует подключить колебательный контур, настроенный на эту частоту. Генератор может быть использован в диапазоне частот от 100 кГц до 20 МГц.

Генератор 74LS321 содержит схему временной привязки с выходом  $Q$ , выполненную на  $D$ -триггере, и делитель частоты на 2 (выход  $Q_0$ ) и на 4 (выход  $Q_1$ ). Буферы с мощными выхода-

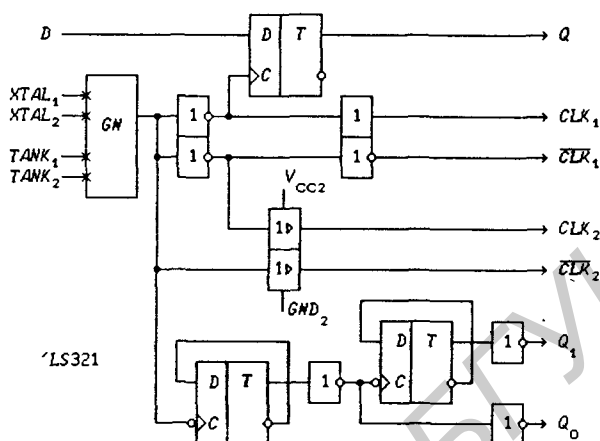


Рис. 5.136

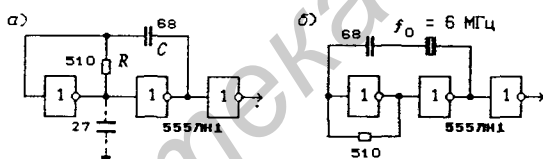


Рис. 5.137

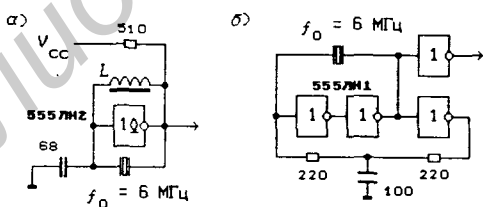


Рис. 5.138

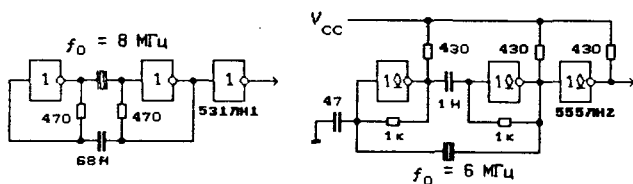


Рис. 5.139

ми  $CLK_2$  и  $\overline{CLK_2}$  имеют отдельные выводы питания  $GND_2$  и  $VCC_2$  для исключения их влияния на выходы  $CLK_1$  и  $\overline{CLK_1}$  со стандартной нагрузочной способностью. Генератор 74LS320 отличается от генератора 74LS321 только отсутствием делителя частоты на 2 и 4.

При необходимости автогенераторы периодических сигналов могут быть выполнены на ЛЭ НЕ. На рис. 5.137,а показана схема автогенератора с времязадающей  $RC$ -цепью. Значение сопротивления  $R$  зависит от серии ИС (так, при использовании ЛЭ НЕ серии 155 рекомендуется брать  $R = 220$  Ом; чем ниже входное сопротивление ЛЭ НЕ, тем меньше должно быть сопротивление  $R$ ; частота генерации  $f \approx 1/3RC$  при использовании ЛЭ серии SN74 [26]). Изменение частоты генерации производится изменением емкости конденсатора  $C$  (конденсатор 27 пФ может потребоваться для дополнительного сдвига фазы, необходимого для выполнения условий генерации). В схеме на рис. 5.137,б для стабилизации частоты генерации использован кварцевый резонатор с основной частотой  $f_0$ .

Генератор с кварцевой стабилизацией частоты, выполненный на одном ЛЭ НЕ с открытым коллекторным выходом, изображен на рис. 5.138,а. Для надежной работы генератора требуется включение между выводами ЛЭ индуктивности  $L = 100 \dots 250$  мкГн в зависимости от резонансной частоты резонатора. Другие практически используемые схемы генераторов с кварцевой стабилизацией частоты приведены на рис. 5.138,б и 5.139.

## 5.12. Рекомендации по выбору серий ИС

Разработчики ИС главное внимание уделяют четырем параметрам, определяющим их свойства: быстродействию, энергопотреблению, нагрузочной способности и допустимому уровню помех. Поскольку из-за взаимной противоречивости свойств ИС невозможно разработать одну серию, обладающую наивысшими показателями всех этих параметров, разработчики стремились создавать новые семейства ИС, имеющие наилучшие значения каких-либо двух или трех параметров. Это привело к резкому увеличению числа выпускаемых серий ИС, некоторые из которых весьма незначительно отличаются друг от друга.

Выбор серий ИС при проектировании цифровых устройств наиболее прост при учете только двух параметров: быстродействия и потребляемой мощности. Для уменьшения общей потребляемой мощности в одном устройстве, как правило, требуется

использовать несколько серий ИС. Задача их оптимального выбора значительно осложняется при учете всех четырех параметров. При этом каждый из параметров нельзя охарактеризовать только одним числом, что дополнительно осложняет проблему выбора серий ИС. Например, потребляемая мощность характеризуется тремя числами, соответствующими статической и динамической мощности потребления и дополнительной мощности рассеивания КМОП ИС при их взаимодействии с ТТЛ ИС.

В § 5.1 и 5.2 описаны усовершенствованные ТТЛ и КМОП серии ИС. Кроме КМОП серий *AC/ACT*, создана серия *FCT* (*FAST CMOS Technology* — КМОП-технология *FAST*), показатели быстродействия и нагрузочной способности ИС которой впервые сравнивались с соответствующими показателями ТТЛ ИС (ИС семейства *FCT* представляют собой просто КМОП-варианты соответствующих ИС семейства *FAST*). Эти быстродействующие ИС с высокой нагрузочной способностью и большими перепадами выходных сигналов создают достаточно высокие уровни помех. Помехи всегда считались важным параметром, однако с появлением усовершенствованных КМОП-технологий помеховые характеристики стали одним из главных отличительных факторов различных серий усовершенствованных КМОП ИС.

**Традиционные серии ИС.** В табл. 5.29 представлены характеристики традиционных серий на примере ИС '244 для большинства серий. Эти серии выпускаются за рубежом многими компаниями-поставщиками, обычно стоят недорого, имеют хорошо известные стабильные свойства и содержат широкую номенклатуру ИС, реализующих различные функции. Число поставщиков некоторых серий ИС уже начало сокращаться, а цены пошли вверх. В настоящее время к таким сериям относятся стандартные ТТЛ ИС, КМОП ИС серии *CD4000*, маломощные ТТЛШ ИС (серия *LS*) и ТТЛШ ИС (серия *S*).

Остальные ИС из табл. 5.29 по быстродействию, уровню помех и энергопотреблению можно разделить на три группы. В рамках каждой из них имеются заметные различия в параметрах ИС. Например, ИС серии *ALS* имеют втрое меньшее энергопотребление по сравнению с ИС серии *FAST*, однако уступают им в быстродействии; ИС серий *AC/ACT* обладают максимальной нагрузочной способностью при работе на линии передачи, имея симметричные выходные токи  $\pm 24$  мА, а у ИС серии *FCT* максимальна статическая нагрузочная способность при работе на согласующую нагрузку (ток  $I_{OL} = 64$  мА).

Проблема выбора среди этих серий ИС решается однозначно. Поскольку конечное изделие должно быть достаточно дешево,



Таблица 5.29. Перечень серий логических ИС

Серия	Год выпуска	Технология	Уровни I/O	$t_{pd}$ , нс	$I_{CC}$ , мА	$I_{OH}/I_{OL}$ , мА
<i>TTL</i>	1968	Биполяр.	ТТЛ/ТТЛ	40	30	2/32
<i>CD4000/74C</i>	1970	КМОП	КМОП/КМОП	70	0,3	0,5/6,4
<i>LS/S</i>	1971	Биполяр.	ТТЛ/ТТЛ	18/9	25/110	15/64
<i>HC/HCT</i> <sup>1</sup>	1977	КМОП	ТТЛ/КМОП	29/35	0,08	6/6
<i>FAST</i> <sup>2</sup>	1978	Биполяр.	ТТЛ/ТТЛ	6,5	90	15/64
<i>AS</i> <sup>2</sup>	1980	Биполяр.	ТТЛ/ТТЛ	6,2	90	15/64
<i>ALS</i> <sup>2</sup>	1980	Биполяр.	ТТЛ/ТТЛ	10	27	15/64
<i>AC/ACT</i> <sup>3</sup>	1985	КМОП	ТТЛ/КМОП	8/10	0,08	24/24
<i>FCT</i> <sup>3</sup>	1986	КМОП	КМОП/КМОП	6,5	1,5	15/64

<sup>1</sup> Низкое быстродействие, малые помехи, малое потребление.  
<sup>2</sup> Высокое быстродействие, малые помехи, большое потребление.  
<sup>3</sup> Высокое быстродействие, большие помехи, малое потребление.

выбирать следует серию, изготавливаемую по хорошо отработанной технологии, так как именно в этом случае обеспечивается небольшая цена компонентов. Например, для переносного компьютера принципиально необходимо малое энергопотребление, что практически однозначно определяет выбор КМОП-технологии. Если система должна работать на тактовой частоте 12 МГц или меньше, то идеальный вариант для нее — серия *HC/HCT*. Если тактовая частота должна превышать 16 МГц, то потребуется серия *AC/ACT*. В диапазоне между 12 и 16 МГц выбор конкретной серии следует выполнять на базе более детального анализа временных параметров.

**Новые серии ИС.** В табл. 5.30 на примере ИС '244 представлены четыре группы новых ИС: серии *ACQ* и *ACTQ* (фирма *National Semiconductor*) — усовершенствованные КМОП ИС второго поколения (семейство АСМОС), в которых особое внимание уделено снижению уровня помех; серии *FCTx* и *FCTxT*, где  $x = A, B$  или  $C$  — три градации быстродействия (фирма *National Semiconductor*) — второе поколение семейства АСМОС усовершенствованных КМОП ИС, для которых главный упор сделан на повышение быстродействия; серия *FASTr* (фирма *National Semiconductor*) — второе поколение усовершенствованных биполярных ТТЛ ИС; серия *VCT* (фирма *Texas Instruments*) — первое поколение БиКМОП (*BiMOS*) ИС.

Таблица 5.30. Основные характеристики усовершенствованных ИС

Серия	Год выпуска	Технология	Уровни I/O	$t_{pd}$ , нс	$I_{CC}$ , мА	$I_{OH}/I_{OL}$ , мА
<i>ACQ</i>	1989	КМОП	КМОП/КМОП	6,0	0,08	24/24
<i>ACTQ</i>	1989	КМОП	ТТЛ/КМОП	7,5	0,08	24/24
<i>FCTx</i>	1987	КМОП	ТТЛ/КМОП	4,1–4,8	1,5	15/64
<i>FCTxT</i>	1990	КМОП	ТТЛ/ТТЛ	4,1–4,8	1,5	15/64
<i>FASTr</i>	1990	Биполяр.	ТТЛ/ТТЛ	3,9	50	15/64
<i>BCT</i>	1987	БиКМОП	ТТЛ/ТТЛ	5,5	10	15/64

Эти новые серии ИС в настоящее время выпускаются за рубежом одним-двумя поставщиками, а в их состав входят главным образом ИС шинных интерфейсов с разной разрядностью слова (9, 10, 16, 18 и 32 бит), и в них предусмотрены специальные средства повышения тестируемости и встроенные последовательные регистры. Кроме того, эти ИС обычно собираются в корпуса для монтажа на поверхность с шагом контактов 0,635 мм, что вдвое уменьшает место, занимаемое ими на схемных платах. Функциональные свойства и конструктивное оформление новых ИС в сочетании с дополнительным набором их технических характеристик открывают перед разработчиками современной аппаратуры невиданные ранее возможности при проектировании систем.

ИС серий *ACQ/ACTQ* представляют собой “чистые” модернизированные КМОП ИС. В них снижены все виды помех и при этом сохранены вполне приемлемое быстродействие и свойственное КМОП ИС сверхмалое энергопотребление. Кроме того, ИС серий *ACQ/ACTQ* имеют симметричные выходные токи  $\pm 24$  мА в статическом и  $\pm 75$  мА в динамическом режиме, что позволяет им работать на низкоимпедансные линии передачи. Как и ИС серий *AC/ACT*, ИС серий *ACQ/ACTQ* выпускаются с входными КМОП-уровнями (*ACQ*) и с уровнями входных сигналов, совместимых с ТТЛ ИС (*ACTQ*). Для ИС серии *ACQ* обеспечивается более высокая помехоустойчивость (по логическому 0), при пороге переключения, равном  $V_{CC}/2$ , их задержки на 1 – 2 нс меньше, чем у ИС серии *ACTQ*, а все их динамические и статические параметры сохраняются при напряжении питания 3,3 В.

Серии *FCTx* и *FCTxT* появились в результате дальнейшего развития исходного семейства *FCT*. ИС этих серий совместимы по входным уровням с ТТЛ ИС, но ИС серии *FCTx* имеют вы-

ходные КМОП-перепады, тогда как у ИС серии *FCTxT* выходные перепады для уменьшения помех снижены до уровня ТТЛ ИС. В некоторых случаях такое уменьшение перепадов вдвое снижает уровень помех по сравнению с помехами в ИС серии *FCT*. Выходной ток  $I_{OL}$  у ИС этих серий равен 64 мА, что позволяет им работать на оконечные согласующие нагрузки для биполярных ИС.

Серия *FASTr* в настоящее время является самым быстродействующим 5-В семейством ИС (не считая ЭСЛ ИС) — задержки в ИС этой серии составляют 3,9 нс, а их энергопотребление снижено до 40% по сравнению с ИС серии *FAST*.

Высокое быстродействие ИС серии *BCT* обеспечивают ТТЛ-схемы, а для реализации *Z*-состояния выходных каскадов используются КМОП-транзисторы. Энергопотребление этих ИС в статическом режиме выше, чем у усовершенствованных КМОП ИС, а по быстродействию они несколько уступают схемам серии *FASTr*. В ИС серии *BCT* удачно сочетаются показатели энергопотребления в динамическом режиме, чрезвычайно низкого уровня помех и большого выходного тока ( $I_{QL} = 64$  мА), т. е. в них обеспечено отличное сочетание всех четырех критериев выбора ИС, с которыми приходится иметь дело разработчикам систем.

**Анализ энергопотребления.** Для ИС всех ТТЛ-серий и серии *BCT* мощность потребления в основном определяется статической составляющей, а ее динамическая составляющая пренебрежимо мала. Преимущество ИС серии *BCT* перед ИС серии *FASTr* — это намного меньшее энергопотребление в *Z*-состоянии ( $I_{CCZ} = 9$  мА для серии *BCT* и 50 мА для серии *FASTr*).

Для ИС КМОП-серий ток питания складывается из пренебрежимо малой статической составляющей, динамической составляющей и из так называемой составляющей  $I_{CCT}$  — дополнительного тока, связанного с энергопотреблением КМОП ИС при работе с входными ТТЛ-уровнями. Динамическая составляющая определяется мощностью, рассеиваемой КМОП ИС при заряде и разряде собственных и нагрузочных емкостей. Эта мощность увеличивается с ростом частоты переключения.

Частота, при которой отмечается равенство токов питания для ИС серии *FASTr* и *ACMOS* ИС из табл. 5.30 в реальных системах при постоянном переключении ИС, несколько больше 20 МГц. При более высокой частоте ИС серий *BCT* и *FASTr* имеют меньшую динамическую мощность потребления и их следует предпочесть КМОП ИС, если речь идет о системах с режимом постоянного переключения. Если же с высокой частотой переключается ограниченное число ИС, то следует предпочесть ИС семейства *ACMOS*, имеющих малую статическую мощность потребления. Например, в микропроцессорных системах в любой момент времени в активном состоянии находятся только два приемопередатчика, остальные — в *Z*-состоянии, поэтому

для уменьшения суммарной мощности потребления их следует выполнять на ИС семейства *ACMOS* даже при работе на частоте выше 20 МГц.

**Анализ быстродействия.** В микропроцессорных системах на долю интерфейсных ИС отводится примерно 25% общего времени переключения (правило 25%). Чтобы сохранить это соотношение в системах на базе быстродействующих *RISC*-процессоров, в которых команды выполняются за один такт, и микропроцессоров семейства 486, нужно использовать серии *FASTr*, *BCT* и *FCTA* (табл. 5.31). Для систем на базе микропроцессоров серий 286 и 386 отлично подходят серии *ACQ* и *ACTQ*.

Таблица 5.31. Роль быстродействия логических ИС

Тактовая частота, МГц	Тактовый период, нс	Преобладающие серии ИС	$t_{pd}$ , нс	Задержка, % тактового периода
2 – 10	100 – 500	<i>HC, LS</i>	18 – 25	22
10 – 30	33 – 100	<i>ALS, AS, FAST, FACT, ACQ, ACTQ</i>	6,5 – 10	25
30 – 66	15 – 33	<i>FASTr, BCT, FCTA</i>	3,5 – 5	28

Следует иметь в виду, что при одновременном переключении нескольких выходов ИС токи через земляные шины возрастают, увеличивая задержки срабатывания (типовая поправка для каждого дополнительного переключающегося выхода составляет 250 пс). Так, для ИС *74F244* паспортное значение задержки при переключении одного выхода равно 3,9 нс, а при переключении всех выходов — 5,0 нс.

**Анализ нагрузки.** По токовой нагрузочной способности возможные приложения можно разделить на два типа: статическая нагрузка и управление линиями передачи. Преимущество по статической нагрузочной способности имеют серии ИС с большим выходным током  $I_{OL} = 64$  мА (*FCTr*, *FASTr* и *BCT*). При работе на линии связи важное значение имеет симметричность выходов (равенство выходных токов), поэтому в этом случае предпочтение следует отдать ИС серий *ACQ* и *ACTQ* (табл. 5.30).

**Анализ помех.** Все помехи можно разделить на две группы: помехи, возникающие в самой ИС, и помехи, генерируемые системой. Помехи, связанные с ИС, обычно сводятся к броскам напряжения на земляных шинах. Они являются следствием переключательных переходных токов, протекающих по индуктивностям выводов земли и питания. Броски по земляным шинам приводят к появлению положительного выброса напряжения на земляной шине. Эти броски не представляют проблем для синхронных линий данных, поскольку они возникают в той части тактового цикла, в которой данные считаются недействительными. Но если их амплитуда велика, то броски напряжения вызывают проблемы при их наложении на асинхронные сигналы (сигналы сброса, загрузки, разрешения записи и другие сигналы

управления). Для ИС всех серий из табл. 5.30, кроме серии *FCTA*, броски лежат в пределах от 0,8 до 1,0 В (в реальных системах не превышают уровня  $V_{IL} = 0,8$  В). В ИС серии *FCTA* броски могут превышать уровень  $V_{IL} = 0,8$  В, поэтому их не рекомендуется применять для формирования асинхронных сигналов, когда возможны переключения одних выходных каскадов при статических состояниях других выходов.

Помехи, создаваемые системой, всегда можно снизить до приемлемого уровня с помощью надлежащих методов проектирования независимо от используемой серии ИС (для более быстродействующих ИС требуются более серьезные меры предосторожности). В линии передачи ИС всех серий могут вызвать одинаковый уровень колебаний, и для любой ИС можно осуществить окончательное согласование линий. Чем выше быстродействие ИС, тем короче проводник, требующий согласования.

Проводник ведет себя как линия передачи, и в нем возникают колебания, если задержка при прохождении сигнала по проводнику превышает одну треть времени нарастания  $t_{rise}$  или спада  $t_{fall}$  сигнала (фронта сигнала). В табл. 5.32 приведены длительности фронтов сигналов для разных серий ИС и длины печатных проводников, при превышении которых требуется окончательное согласование.

Таблица 5.32. Сравнение времени переключения

Серия	$t_{rise}$ , нс	$t_{fall}$ , нс	Перепад напряжения, В	Длина линии, см
<i>ACQ/ACTQ</i>	4,5	5,0	4,9	40
<i>FCT<sub>x</sub></i>	4,0	1,5	4,8	15
<i>FAST<sub>r</sub></i>	4,5	2,0	3,4	25
<i>BCT</i>	4,5	2,5	3,4	30

При наличии связи между токами разных сигнальных линий возникают перекрестные помехи. Амплитуда емкостной перекрестной помехи пропорциональна скорости нарастания фронта сигнала и емкости связи между печатными проводниками. Для уменьшения емкости связи применяются конструктивные меры: увеличение промежутков между печатными проводниками; экранирование чувствительных сигнальных линий проводниками земли и питания; прокладка проводников в соседних слоях многослойных печатных плат в перпендикулярных направлениях; экранирование слоев с печатными проводниками слоями земли и питания; использование коаксиальных, дифференциальных и витых пар проводов.

Системные радиопомехи относятся к самым сложным видам помех. Их необходимо учитывать на всех уровнях проектирования — от выбора серии ИС до топологического проектирования печатных плат и конструирования системных экранов. Электромагнитное излучение выходит на первое место среди источников помех во многих электронных системах. Чем больше высокочастотной энергии содержится в

спектре сигнала (чем больше крутизна фронтов сигнала), тем выше уровень радиопомех. По уровню радиопомех ИС серии *VST* имеют худшие показатели по сравнению с ИС серий *ACQ/ACTQ*, что объясняется наличием у последних специальных выходных каскадов.

**Методика выбора серий ИС.** Для выбора серий ИС, приведенных в табл. 5.30, можно воспользоваться блок-схемой, приведенной на рис. 5.140. Выбор начинается с принятия решения, какой из параметров — быстродействие, энергопотребление или уровень помех — имеет наибольшее значение для проектируемого устройства. Затем следует определить, какой из параметров находится на втором по значимости месте и какой — на третьем. В каждой из точек принятия решения блок-схема “спрашивает”, насколько жесткие требования предъявляются к данному параметру.

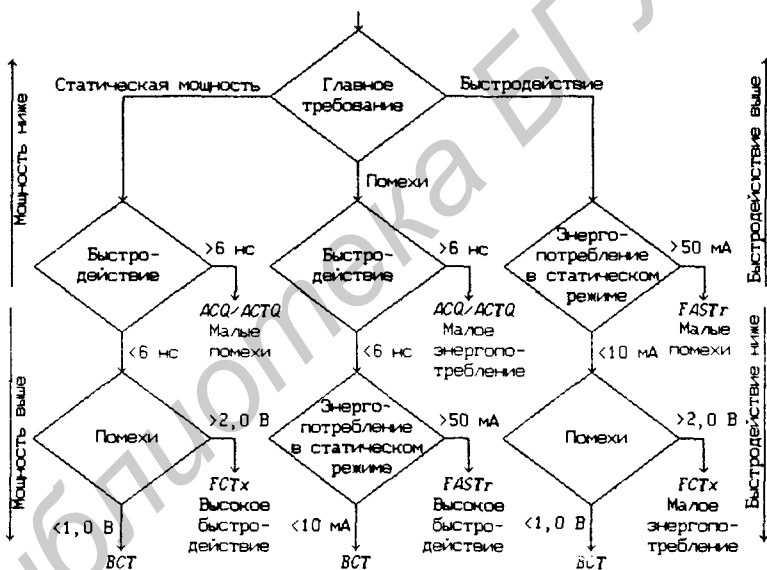


Рис. 5.140

Если выбирается ветвь с менее жесткими требованиями, то оставшийся параметр оптимизируется автоматически. Если же движение идет по направлению с более жесткими требованиями, то необходимо произвести следующий выбор параметров. К сожалению, все параметры нельзя оптимизировать одновременно и чем дальше идет процесс оптимизации, тем выше вероятность, что придется пойти на компромисс в отношении главного параметра.

В данном параграфе был использован материал статьи Уильяма Холла “Как правильно выбрать подходящее семейство логических ИС” (Электроника, № 3 – 4, 1992).

## Глава 6

# Коммутаторы и арифметические устройства

### 6.1. Дешифраторы

Полным дешифратором с прямыми выходами (рис. 6.1,а; DC — Decoder) называется комбинационная схема (КС), имеющая  $n$  входов и реализующая  $2^n$  минтерма

$$F_i = K_i(\nu) = \prod_{p=1}^n x_p^{\epsilon_p}, \quad (6.1)$$

где  $\nu = (x_n, \dots, x_1)$ ,  $i = \epsilon_n \dots \epsilon_1$  — двоичное число, а  $i = 0, 1, \dots, 2^n - 1$  — десятичное число. Такие дешифраторы называются также дешифраторами  $n \times 2^n$ . В соответствии со свойствами минтермов (1.67) при каждой комбинации значений входных сигналов  $x_p$  только один выход  $F_i$  принимает значение, равное 1, т.е. только один выход имеет высокий активный уровень. Поэтому дешифраторы широко используются в коммутаторах электронных устройств, обеспечивая включение в каждый момент времени только одного устройства.

На рис. 6.1,б показан дешифратор  $1 \times 2$ , выполняющий функции  $F_0 = \bar{x}_1$  и  $F_1 = x_1$ , а на рис. 6.1,в — дешифратор  $2 \times 4$ , реализующий четыре минтерма двух переменных  $x_2$  и  $x_1$ . Если в этой схеме ЛЭ И заменить на ЛЭ И-НЕ, то получится дешифратор  $2 \times 4$  с инверсными выходами, реализующий четыре макстерма  $M_i(x_2, x_1) = \overline{K_i(x_2, x_1)}$  двух переменных  $x_2$  и  $x_1$  и выдающий низкий активный уровень сигнала только на одном выходе.

Неполным дешифратором называется КС, имеющая  $n$  входов, но реализующая  $N < 2^n$  минтермов  $n$  переменных. Такие дешифраторы называются дешифраторами  $n \times N$ . В виде ИС вы-

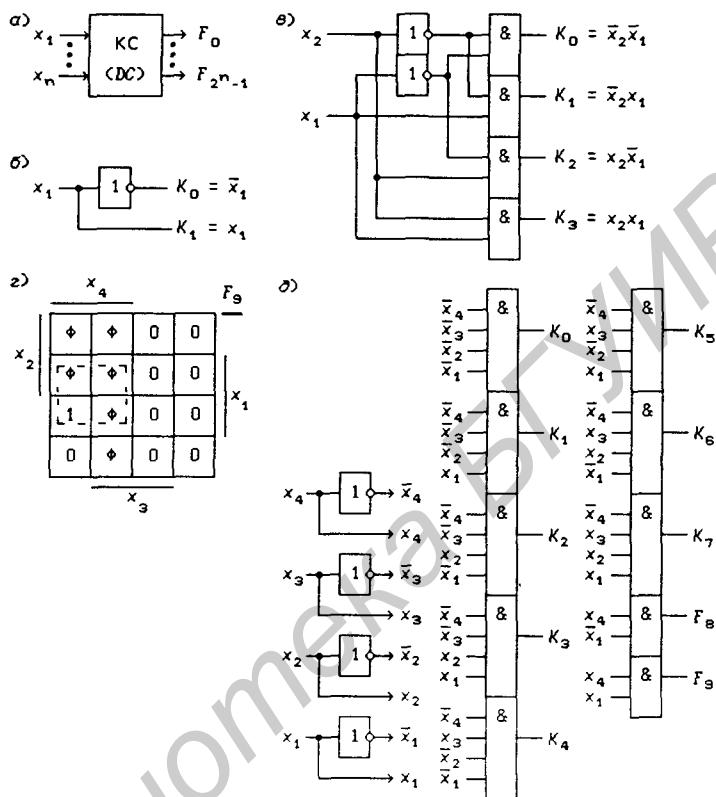


Рис. 6.1

пускаются только дешифраторы  $4 \times 10$ . Если подача на входы дешифратора кодов, идентифицируемых числами  $i = 10 \dots 15$ , запрещена (табл. 6.1), то минтермы  $K_8$  и  $K_9$  можно заменить на функции  $F_8 = x_4 \bar{x}_1$  и  $F_9 = x_4 x_1$ , реализуемые на двухвходовых ЛЭ И (минимизация функции  $F_9$  показана на рис. 6.1,з). Для соблюдения условия  $F_i \cdot F_j = 0$  при  $i \neq j$  следует взять

$$F_i = K_i = \bar{x}_4 x_3^{e_3} x_2^{e_2} x_1^{e_1}, \quad i = e_3 e_2 e_1 = 0 \dots 7.$$

Одна из возможных реализаций  $DC 4 \times 10$  на ЛЭ показана на рис. 6.1,д. В дальнейшем выходы  $DC$  независимо от их реализации будем обозначать через  $F_i$ .

На рис. 6.2 приведены условные графические обозначения дешифраторов  $4 \times 10$ , изготавливаемых в стандартных ТТЛ и КМОП сериях. В левом дополнительном поле указываются веса



Таблица 6.1. Таблица истинности дешифратора  $4 \times 10$ 

$i$	$x_4 x_3 x_2 x_1$	$F_0 F_1 F_2 F_3 F_4 F_5 F_6 F_7 F_8 F_9$
0	0 0 0 0	1 0 0 0 0 0 0 0 0 0
1	0 0 0 1	0 1 0 0 0 0 0 0 0 0
2	0 0 1 0	0 0 1 0 0 0 0 0 0 0
3	0 0 1 1	0 0 0 1 0 0 0 0 0 0
4	0 1 0 0	0 0 0 0 1 0 0 0 0 0
5	0 1 0 1	0 0 0 0 0 1 0 0 0 0
6	0 1 1 0	0 0 0 0 0 0 1 0 0 0
7	0 1 1 1	0 0 0 0 0 0 0 1 0 0
8	1 0 0 0	0 0 0 0 0 0 0 0 1 0
9	1 0 0 1	0 0 0 0 0 0 0 0 0 1
10	1 0 1 0	$\Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi$
11	1 0 1 1	$\Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi$
12	1 1 0 0	$\Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi$
13	1 1 0 1	$\Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi$
14	1 1 1 0	$\Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi$
15	1 1 1 1	$\Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi \Phi$

сигналов  $x_p$ , равные  $2^{p-1}$ , а в правом дополнительном поле — числа  $i = e_n \dots e_p \dots e_1$ . Это позволяет однозначно определить номер выхода с активным уровнем сигнала по двоичному числу, подаваемому на вход дешифратора. Интегральные схемы на рис. 6.2 выполняют функции:

155ИД1, 7441 — DC  $4 \times 10$ , имеющие выходы  $\bar{F}_i = \bar{K}_i$  с открытым коллектором ( $V_{OH} \leq +60$  В и  $+55$  В);

555ИД6 — DC  $4 \times 10$  с инверсными выходами  $\bar{F}_i = \bar{K}_i$ ;

555ИД10, 7445, 74LS445 — DC  $4 \times 10$  (выходы  $\bar{F}_i = \bar{K}_i$  с открытым коллектором;  $V_{OH} \leq +15$  В,  $I_{OL} \leq 80$  мА — 555ИД10 и 7445,  $V_{OH} \leq +7$  В — 74LS445);

561ИД1, 74НС4028 — DC  $4 \times 10$  (по выходам  $F_8$  и  $F_9$  реализуются не минтермы, а функции  $x_4 \bar{x}_1$  и  $x_4 x_1$  соответственно; ИС выполняет функции дешифратора  $4 \times 10$  с запретом подачи на вход двоичных чисел  $i = e_4 e_3 e_2 e_1 = 10 \dots 15$ ).

Дешифраторы  $4 \times 10$  с открытым коллектором можно использовать для реализации любой функции трех переменных  $x_3$ ,  $x_2$  и  $x_1$ , если положить  $x_4 = 0$ , так как в этом случае дешифратор реализует все минтермы трех переменных. На рис. 6.3 показана схема, выполняющая функцию

$$f(\nu) = \bar{K}_0 \bar{K}_3 \bar{K}_4 \bar{K}_6 = \bar{K}_0 \vee \bar{K}_3 \vee \bar{K}_4 \vee \bar{K}_6$$

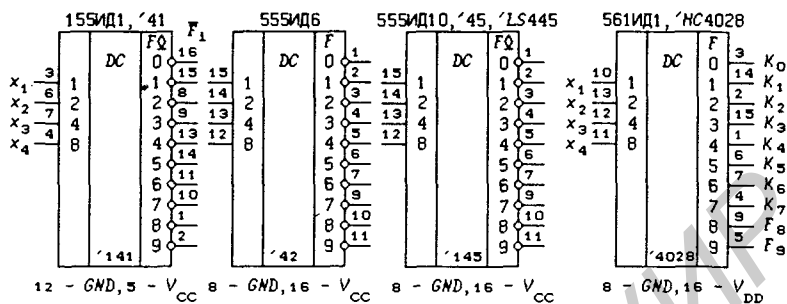


Рис. 6.2

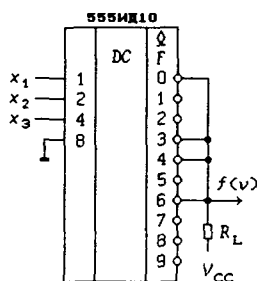


Рис. 6.3

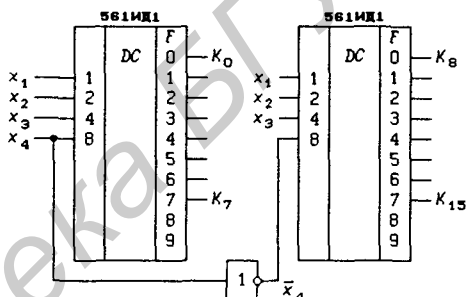


Рис. 6.4

(при значении  $K_i = 1$ ,  $i = 0, 3, 4$  или  $6$  функция  $f = 0$ ). Эта функция имеет МДНФ

$$f(\nu) = x_3 x_1 \vee \bar{x}_2 x_1 \vee \bar{x}_3 x_2 \bar{x}_1,$$

что требует большего числа корпусов ИС.

В общем случае (при любом значении числа переменных  $n$ ) реализуемая по данному методу функция  $f(\nu)$  описывается выражением

$$\overline{f(\nu)} = \bigvee_{i=0}^{2^n-1} \bar{a}_i \cdot K_i(\nu) = \overline{\prod_{i_s} K_{i_s}},$$

где  $i_s$  — номера тех точек, в которых функция  $f(\nu) = 0$ .

Как следует из соотношения (6.1) для значений  $i = 0, 1, \dots, 7$ , функции  $F_i = \bar{x}_4 x_3^e x_2^e x_1^e$ , поэтому при подаче на один из дешифраторов  $4 \times 10$  сигнала  $x_4$ , а на другой — сигнала  $\bar{x}_4$ , получим дешифратор  $4 \times 16$  (рис. 6.4), описываемый функциями

$$F_i = x_4^e x_3^e x_2^e x_1^e, \quad i = e_4 e_3 e_2 e_1 = 0 \dots 15.$$

## 6.2. Демультимплексоры

Демультимплексором (рис. 6.5,а; DMX — Demultiplexer) называется КС, выполняющая функции

$$F_i = E \cdot K_i(\nu) = E \cdot \prod_{p=1}^n x_p^{e_p}, \quad (6.2)$$

где  $E$  — коммутируемый (демультимплексируемый) на один из  $2^n$  выходов сигнал,  $i = e_n \dots e_1 = 0 \dots 2^n - 1$ . Действительно, если  $K_i(\nu) = 1$ , то  $F_i = E$ , а если  $K_i(\nu) = 0$ , то  $F_i = 0$ . Совокупность значений сигналов  $\nu = (x_n, \dots, x_1)$  определяет адрес (номер) выходного канала, к которому подключается сигнал  $E$ .

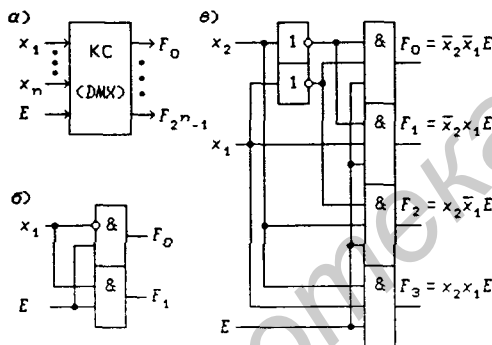


Рис. 6.5

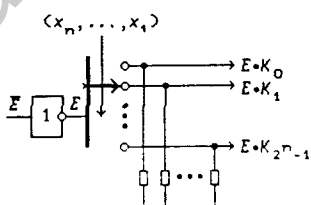


Рис. 6.6

Демультимплексоры, имеющие  $n$  адресных сигналов  $x_p$ , называются *демультимплексорами*  $1 \rightarrow 2^n$ . Из сравнения (6.1) и (6.2) видна связь между дешифраторами  $n \times 2^n$  и демультимплексором  $1 \rightarrow 2^n$ : если положить  $E \equiv 1$ , то демультимплексор  $1 \rightarrow 2^n$  превращается в дешифратор  $n \times 2^n$ . На основании (6.2) может быть построена схема демультимплексора при любом числе  $n$  адресных сигналов  $x_p$ . Демультимплексор  $1 \rightarrow 2$  (рис. 6.5,б) выполняет функции  $F_0 = E \cdot \bar{x}_1$  и  $F_1 = E \cdot x_1$ . На рис. 6.5,в показана схема демультимплексора  $1 \rightarrow 4$ . Если ЛЭ И заменить на ЛЭ И-НЕ, то получится демультимплексор  $1 \rightarrow 4$  с инверсными выходами. На рис. 6.6 изображена электромеханическая модель демультимплексоров  $1 \rightarrow 2^n$ , поясняющая принцип их работы.

Демультимплексоры могут быть описаны и с помощью таблиц истинности типа табл. 6.2, задающей демультимплексор  $1 \rightarrow 8$  с инверсными выходами  $\overline{DO}_i$ . Однако такой способ описания демультимплексоров и многих других цифровых узлов слишком

Таблица 6.2. Таблица истинности DMX 1—8

$i$	$E$	$x_3x_2x_1$	$\overline{D_0} \overline{D_1} \overline{D_2} \overline{D_3} \overline{D_4} \overline{D_5} \overline{D_6} \overline{D_7}$
0	1	0 0 0	1 1 1 1 1 1 1 0
1	1	0 0 1	1 1 1 1 1 1 0 1
2	1	0 1 0	1 1 1 1 1 0 1 1
3	1	0 1 1	1 1 1 1 0 1 1 1
4	1	1 0 0	1 1 1 0 1 1 1 1
5	1	1 0 1	1 1 0 1 1 1 1 1
6	1	1 1 0	1 0 1 1 1 1 1 1
7	1	1 1 1	0 1 1 1 1 1 1 1
—	0	× × ×	1 1 1 1 1 1 1 1

громоздок по сравнению с аналитическим методом описания их законов функционирования, которому и отдается здесь предпочтение.

**Интегральные схемы демультиплексоров.** На рис. 6.7 приведены обозначения выпускаемых демультиплексоров 1 → 2<sup>n</sup> (n = 2, 3, 4). Коммутируемый на 2<sup>n</sup> выходов сигнал  $E$  может представлять собой конъюнкцию нескольких сигналов  $E_j$ :  $E = E_2E_1$  и  $E = E_3E_2E_1$ . Обозначения в адресной части дополнительного левого поля и в правом дополнительном поле полностью соответствуют обозначениям, принятым для дешифраторов 4 × 10 (рис. 6.2).

На рис. 6.7 представлены демультиплексоры:

153ЗИДЗ, 74АС11154 — DMX 1 → 16 с инверсными выходами  $\overline{F}_i$ , выполняющие функции

$$F_i(\nu) = E \cdot K_i(\nu) = E \cdot x_4^{e_4} x_3^{e_3} x_2^{e_2} x_1^{e_1}, \quad E = E_1E_2, \quad i = e_4e_3e_2e_1;$$

153ЗИД19 — DMX 1 → 16 (инверсные выходы  $\overline{F}_i$  с открытым коллектором);

555ИД4 — сдвоенный DMX 1 → 4 с инверсными выходами  $\overline{F}'$  и  $\overline{F}''$ , представляющий собой два DMX 1 → 4 с общими адресными сигналами  $x_2$  и  $x_1$ :

$$\left. \begin{aligned} F'_i &= E \cdot K_i(\nu) = E_2E_1x_2^{e_2}x_1^{e_1}, \\ F''_i &= G \cdot K_i(\nu) = G_2G_1x_2^{e_2}x_1^{e_1}; \end{aligned} \right\} \quad (6.3)$$

555ИД5 — сдвоенный DMX 1 → 4, имеющий инверсные выходы  $\overline{F}_i$  с открытым коллектором;

153ЗИД7, 74АС11138 — DMX 1 → 8 с инверсными выходами,  $E = E_1E_2E_3$ ;

531ИД14, 561ИД7, 74АС11139 — два DMX 1 → 4 с инверсными  $\overline{F}_i$  выходами;

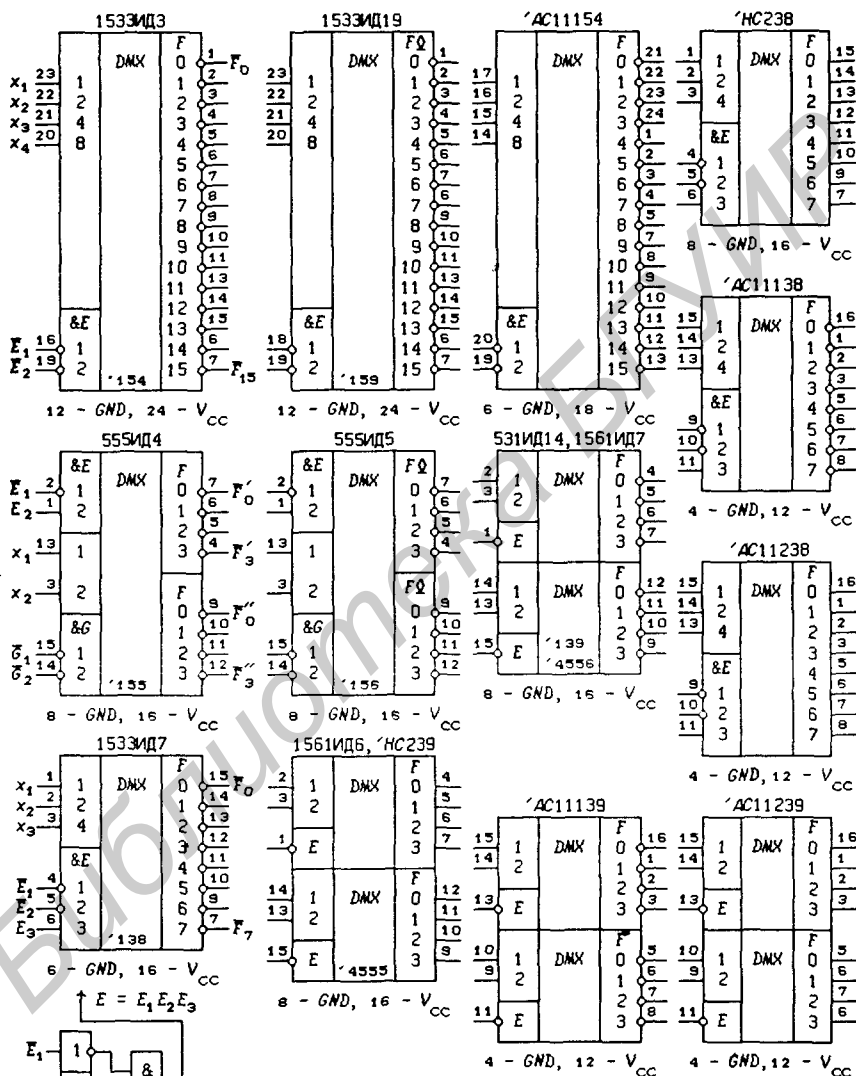


Рис. 6.7

1561ИД6, 74НС239, 74АС11239 — два  $DMX 1 \rightarrow 4$  с прямыми выходами;

74НС238, 74АС11238 —  $DMX 1 \rightarrow 8$  с прямыми выходами,  $E = E_1 E_2 E_3$ .

Любой демультимплексор может быть использован в качестве преобразователя двоичного  $n$ -разрядного кода в  $2^n$ -разрядный унитарный код, получаемый на  $2^n$  выходах полного дешифратора  $n \times 2^n$ . Так, демультимплексор 1533ИД7, описываемый табл. 6.2, при  $E = E_1 E_2 E_3 = 1$  преобразует двоичный 3-разрядный код  $x_3 x_2 x_1$  в инверсный 8-разрядный унитарный код

$$\overline{DO_7} \overline{DO_6} \overline{DO_5} \overline{DO_4} \overline{DO_3} \overline{DO_2} \overline{DO_1} \overline{DO_0},$$

только один разряд которого равен нулю.

**Демультимплексоры с Z-состоянием выходов.** Большие функциональные возможности имеют демультимплексоры с тремя состояниями выхода и управлением значением активного уровня выходных сигналов. Такие демультимплексоры представлены на рис. 6.8:

1531ИД22 —  $DMX 1 \rightarrow 10$ , описываемый функциями

$$F_i = \begin{cases} P \oplus E \cdot K_i & \text{при } OE = 1, \\ Z\text{-состояние} & \text{при } OE = 0, \end{cases}$$

где  $E = E_1 E_2$ ,  $i = 0 \dots 9$ ,  $P$  (*Polarity* — полярность) — сигнал управления значением активного уровня выходных сигналов ( $F_i$  при  $P = 0$  и  $\overline{F}_i$  при  $P = 1$ );

74F538 —  $DMX 1 \rightarrow 8$ , описываемый функциями

$$F_i = \begin{cases} P \oplus E \cdot K_i & \text{при } OE = 1, \\ Z\text{-состояние} & \text{при } OE = 0, \end{cases}$$

где  $E = E_1 E_2 E_3 E_4$ ,  $OE = OE_1 OE_2$ ,  $i = 0 \dots 7$ ;

74F539 — два  $DMX 1 \rightarrow 4$ , описываемые функциями

$$F_i = \begin{cases} P \oplus E \cdot K_i & \text{при } OE = 1, \\ Z\text{-состояние} & \text{при } OE = 0. \end{cases}$$

**Демультимплексоры с адресными регистрами.** Демультимплексоры с запоминанием адреса коммутируемого канала (рис. 6.9) выполняются на основе как синхронного, так и асинхронного адресного регистра:

74ALS131 —  $DMX 1 \rightarrow 8$  с синхронным адресным регистром и инверсными выходами  $\overline{F}_i$ , описываемый функциями

$$Q_r^+ = A_r dH \vee Q_r \overline{dH}, \quad r = 0, 1, 2,$$

$$F_i(\nu) = E \cdot K_i(\nu) = E \cdot Q_3^e Q_2^e Q_1^e, \quad i = e_3 e_2 e_1, \quad E = E_1 E_2;$$

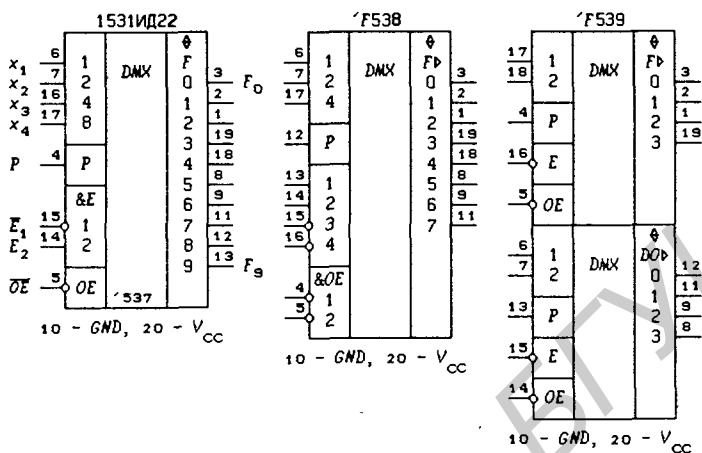


Рис. 6.8

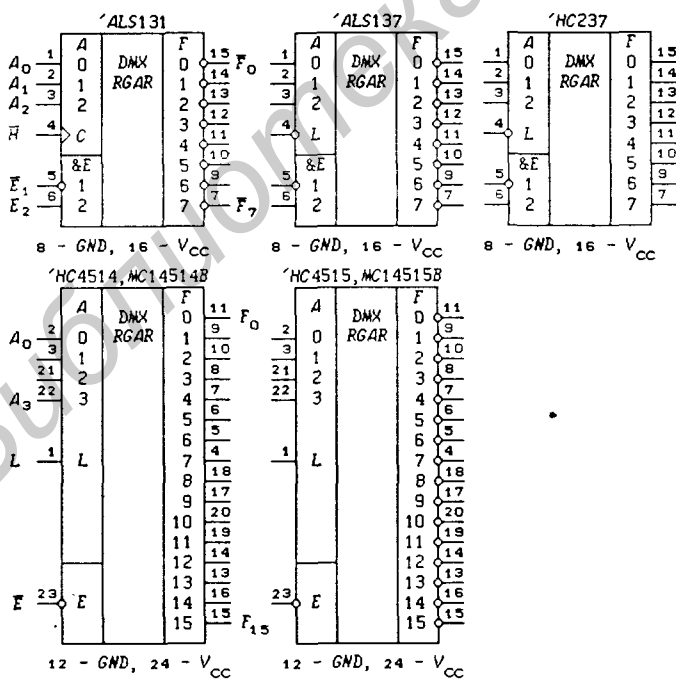


Рис. 6.9

74ALS137 — DMX 1 → 8 с асинхронным потенциальным адресным регистром и инверсными выходами  $\bar{F}_i$ , описываемый функциями

$$Q_r^+ = A_r L \vee Q_r \bar{L}, \quad r = 0, 1, 2,$$

$$F_i(\nu) = E \cdot K_i(\nu) = E \cdot Q_3^{e_3} Q_2^{e_2} Q_1^{e_1}, \quad i = e_3 e_2 e_1, \quad E = E_1 E_2;$$

74HC237 — DMX 1 → 8 с асинхронным потенциальным адресным регистром и прямыми выходами;

74HC4514, MC14514B — DMX 1 → 16 с асинхронным потенциальным адресным регистром (RGAR) и прямыми выходами, описываемые функциями

$$Q_r^+ = A_r L \vee Q_r \bar{L}, \quad r = 0, 1, 2, 3,$$

$$F_i(\nu) = E \cdot K_i(\nu) = E \cdot Q_4^{e_4} Q_3^{e_3} Q_2^{e_2} Q_1^{e_1}, \quad i = e_4 e_3 e_2 e_1;$$

74HC4515, MC14515B — DMX 1 → 16 с асинхронным потенциальным адресным регистром (RGAR) и инверсными выходами.

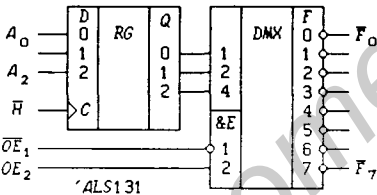


Рис. 6.10

Функциональная схема демultipлектора 74ALS131 показана на рис. 6.10. Демultipлекторы 74ALS137 и 74HC237 описываются подобной же функциональной схемой с заменой синхронного регистра памяти на асинхронный потенциальный.

**Каскадирование демultipлекторов.** Сигнал  $E$  в соответствии с (6.2) выполняет также функцию стробирования выходных сигналов демultipлектора  $1 \rightarrow 2^n$ : при  $E = 0$  выходы  $F_i = 0$ , т.е. сигнал  $E$  может его включать или выключать. Это позволяет использовать входы  $E$  для каскадирования нескольких ИС с целью увеличения числа коммутируемых каналов. На рис. 6.11,а показана схема демultipлектора  $1 \rightarrow 8$  на ИС 555ИД4, полученная на основании подстановки в (6.3) значений  $E_2 = x_3, G_1 = \bar{x}_3, E_1 = G_2 = E_0$ :

$$F'_i = E_0 x_3^1 x_2^{e_2} x_1^{e_1} = E_0 K_j(\nu) = F_j,$$

$$F''_i = E_0 x_3^0 x_2^{e_2} x_1^{e_1} = E_0 K_m(\nu) = F_m,$$

где  $\nu = (x_3, x_2, x_1), m = 0e_2e_1 = 0, 1, 2, 3, j = 1e_2e_1 = 4, 5, 6, 7$ .

На рис. 6.11,б представлена схема демultipлектора  $1 \rightarrow 16$ , построенная на двух ИС 555ИД7 по вышеизложенному способу. При использовании одного из сигналов  $E_j$  в качестве стробирующего можно построить схемы демultipлекторов, имеющие



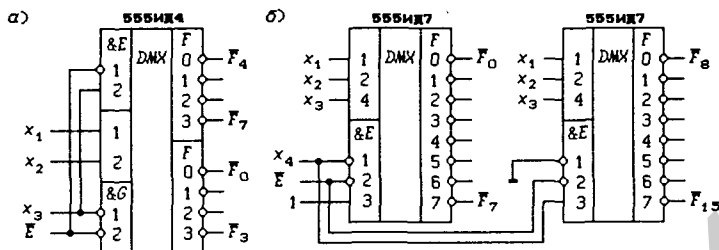


Рис. 6.11

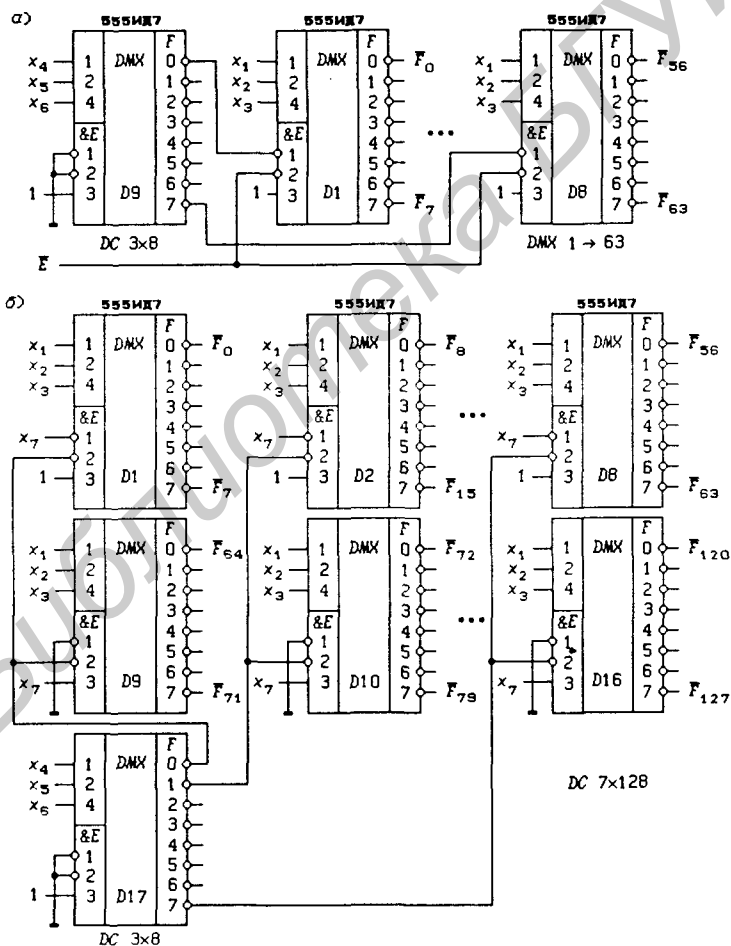


Рис. 6.12

более 16 коммутируемых каналов. Так, схема демультиплексо-ра  $1 \rightarrow 64$  может быть построена на девяти ИС 555ИД7, одна из которых (ИС  $D9$ ) используется в качестве дешифратора  $3 \times 8$  (рис. 6.12,а). Дешифратор  $3 \times 8$  при любой комбинации значений сигналов  $x_6x_5x_4$  включает только одну из восьми ИС  $D1 - D8$ , а значения сигналов  $x_3x_2x_1$  определяют, какой из выходов этих ИС имеет активный уровень. Входы  $E_3$  ИС  $D1 - D8$  можно также использовать для подачи демультиплексируемого сигнала.

Дешифратор  $7 \times 128$  можно построить на 17 ИС 555ИД7 без использования дополнительных ЛЭ (рис. 6.12,б). Демультиплексор  $D17$  включен для выполнения функции  $DC 3 \times 8$ , что обеспечивает селекцию двух из 16 ИС  $D1 - D16$ . Сигнал  $x_7$  производит выбор ИС  $D1 - D8$  при значении 0 и ИС  $D9 - D16$  — при значении 1. Этим обеспечивается однозначная адресация канала с активным уровнем выходного сигнала. Схему на рис. 6.12 можно использовать в качестве демультиплексо-ра, если на управляющие входы  $E_3$  ИС  $D1 - D8$  подать демультиплексируемый сигнал  $E$ , а на входы  $\bar{E}_1$  ИС  $D9 - D16$  — сигнал  $\bar{E}$ .

Дешифраторы  $4 \times 10$  (рис. 6.2) могут быть использованы при  $x_4 = \bar{E}$  в качестве демультиплексо-ров  $1 \rightarrow 8$  на основании соотношения

$$F_i = \bar{x}_4 x_3^{e_3} x_2^{e_2} x_1^{e_1}, \quad i = 0 \dots 7.$$

Регистры памяти с адресуемыми разрядами. На рис. 6.13 приведены ИС, в которых коммутация информационного сигнала  $D$  осуществляется с помощью демультиплексо-ра для записи значения  $D$  в один из адресуемых триггеров (структурная схема, поясняющая выполнение этой операции, показана на рис. 6.14):

555ИР30 — 8-разрядный асинхронный потенциальный регистр памяти с адресуемыми разрядами, описываемый функциями

$$Q_r^+ = DL_r \vee Q\overline{L_r \vee R}, \quad L_r = WR \cdot \prod_{p=0}^2 A_p^{e_p} = WR \cdot K_r, \quad r = e_2e_1e_0;$$

74LS256 — вдвоенный 4-разрядный асинхронный потенциальный регистр памяти с адресуемыми разрядами, описываемый функциями

$$Q_r^+ = DL_r \vee Q\overline{L_r \vee R}, \quad L_r = WR \cdot A_1^{e_1} A_0^{e_0} = WR \cdot K_r, \quad r = e_1e_0;$$

74HC4724, CD4099B — 8-разрядные асинхронные потенциальные регистры памяти с адресуемыми разрядами, отличаю-

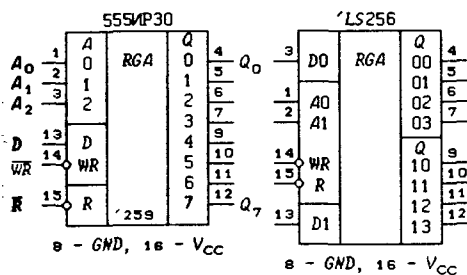


Рис. 6.13

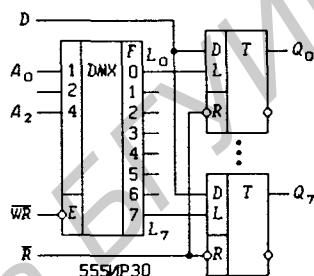


Рис. 6.14

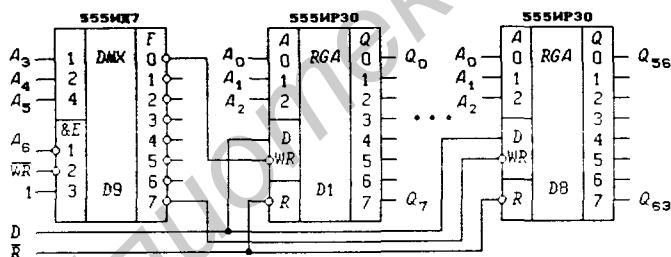


Рис. 6.15

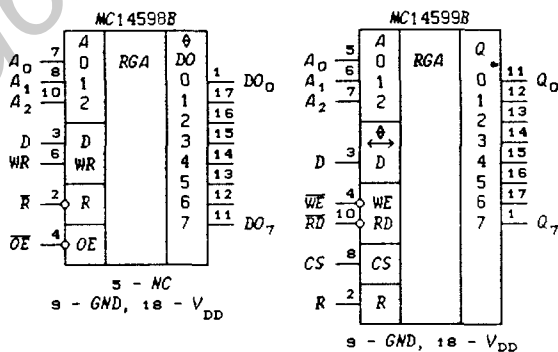


Рис. 6.16

щиеся от ИС 555ИР30 только активным уровнем сигнала сброса триггеров  $R$ .

Из вышеприведенных соотношений следует, что вход загрузки  $L_r$  имеет приоритет по отношению ко входу сброса  $R$ , что позволяет использовать адресуемые регистры при  $WR = R = 1$  в качестве демультимплексоров сигнала  $D$  с прямыми выходами. Действительно, при  $WR = R = 1$  выходы  $F_r = Q_r^+ = D \cdot K_r$ . Если положить  $WR = R = D = 1$ , то адресуемые регистры преобразуются в полные дешифраторы  $3 \times 8$  и  $2 \times 4$  с прямыми выходами.

Каскадирование адресуемых регистров при использовании ИС 555ИР30 показано на рис. 6.15 (число адресуемых разрядов равно 64). При  $\overline{WR} = \overline{R} = 0$  схема выполняет функции демультимплексора сигнала  $D$   $1 - 64$  с прямыми выходами, а при  $\overline{WR} = \overline{R} = 0$ ,  $D = 1$  — функции полного дешифратора  $6 \times 64$  с прямыми выходами.

На рис. 6.16 показаны еще два типа регистров с адресуемыми разрядами:

*МС14598В* — 8-разрядный асинхронный потенциальный регистр памяти с адресуемыми разрядами и  $Z$ -состоянием выходов, описываемый функциями

$$Q_r^+ = DL_r \vee Q\overline{L_r} \vee \overline{R}, \quad L_r = WR \cdot \prod_{p=0}^2 A_p^{e_p} = WR \cdot K_r,$$

$$DO_r = \begin{cases} Q_r & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, \end{cases}$$

где  $r = e_2e_1e_0 = 0 \dots 7$ ;

*МС14599В* — 8-разрядный асинхронный потенциальный регистр памяти с адресуемыми разрядами и двунаправленным информационным сигналом  $D$ , описываемый функциями

$$Q_r^+ = DL_r \vee Q\overline{L_r} \vee \overline{R}, \quad L_r = WE \cdot \overline{RD} \cdot CS \cdot \prod_{p=0}^2 A_p^{e_p},$$

$$D_r = \begin{cases} Q_r & \text{при } CS \cdot RD = 1, \\ Z\text{-состояние} & \text{при } CS \cdot RD = 0, \end{cases}$$

где  $r = e_2e_1e_0 = 0 \dots 7$ .

Структурная схема ИС *МС14599В* изображена на рис. 6.17. Данная ИС может быть использована в микропроцессорных системах в качестве внешнего устройства — 8-разрядного асинхронного потенциального регистра памяти с адресуемыми разрядами, позволяющего производить контроль выводимых данных с помощью операции поразрядного чтения ( $CS \cdot RD = 1$ ).

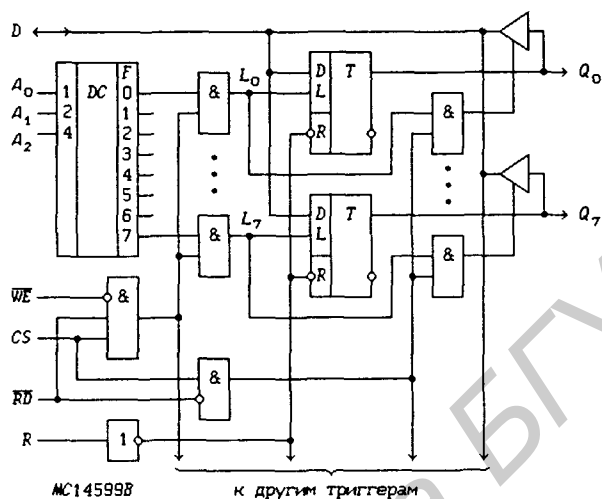


Рис. 6.17

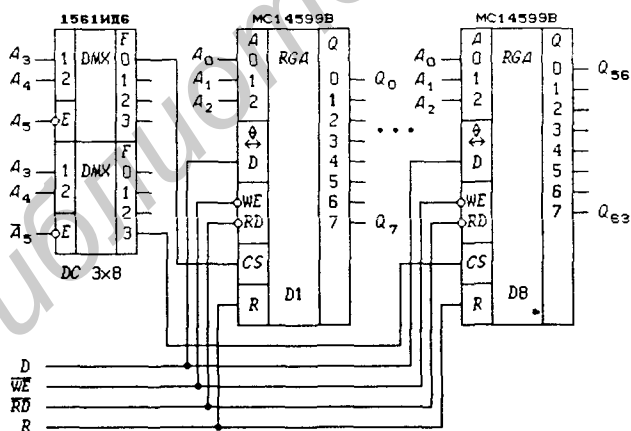


Рис. 6.18

Каскадирование ИС *MC14599B* показано на рис. 6.18 для увеличения числа адресуемых разрядов до 64. При необходимости можно построить схему и с большим числом разрядов.

### 6.3. Мультиплексоры

Мультиплексором  $2^n \rightarrow 1$  или  $2^n$ -канальным мультиплексором (рис. 6.19,а; *MUX* — *Multiplexer*) называется КС, выполняющая функцию

$$DO = \bigvee_{i=0}^{2^n-1} DI_i K_i(\nu), \quad K_i(\nu) = \prod_{p=1}^n x_p^{e_p}, \quad (6.4)$$

где  $\nu = (x_n, \dots, x_1)$  — адресные сигналы каналов мультиплексора,  $i = e_n \dots e_1$  — адрес канала,  $K_i(\nu)$  — минтермы (см. § 1.7), переключаящие каналы,  $DI$  (*Data Input*) — информационные входные сигналы,  $DO$  (*Data Output*) — выходной сигнал мультиплексора.

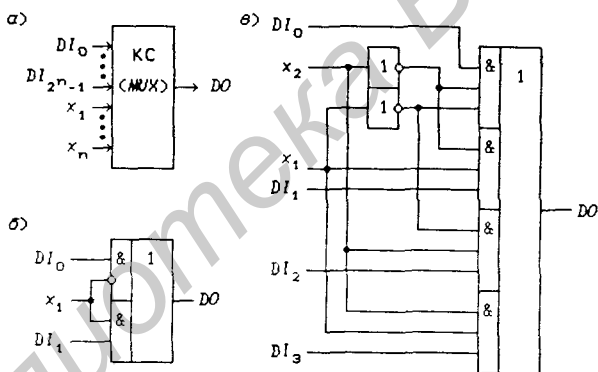


Рис. 6.19

Мультиплексор является коммутатором  $2^n$  информационных сигналов  $DI_i$  на один выход  $DO$ . Действительно, если  $K_i(\nu) = 1$ , то  $K_j(\nu) = 0$  при  $j \neq i$  и  $DO = DI_i$ . Если в (6.4) сигналы  $DI_i$  заменить на  $\bar{DI}_i$ , то функция  $DO$  изменится на  $\bar{DO}$ . Адресные сигналы каналов мультиплексора  $x_p$  иногда будем обозначать через  $A_p$  ( $A$  — *Address*,  $p = 0, 1, \dots, n - 1$ ).

На основании (6.4) может быть построена схема мультиплексора при любом числе  $n$  адресных сигналов  $x_p$ , комбинации значений которых определяют номер  $i$  информационного входа  $DI_i$ , подключенного к выходу  $DO$ . На рис. 6.19,б показан мультиплексор  $2 \rightarrow 1$ , выполняющий функцию

$$DO = DI_0 \bar{x}_1 \vee DI_1 x_1. \quad (6.5)$$

Схема мультиплексора  $4 \rightarrow 1$  представлена на рис. 6.19,в, из которого видно, что она включает в себя полный дешифратор на ЛЭ И (сравните с рис. 6.5,в). Для увеличения функциональных возможностей мультиплексоров и обеспечения их каскадирования вводится один из управляющих сигналов  $E$  (*Enable*) или  $OE$  (*Output Enable*). Структурная схема мультиплексора  $2^n \rightarrow 1$  со стробирующим сигналом  $E$  показана на рис. 6.20,а. Данный мультиплексор выполняет функцию

$$DO = E \cdot \bigvee_{i=0}^{2^n-1} DI_i K_i(\nu). \quad (6.6)$$

Схема мультиплексора  $2 \rightarrow 1$  со стробирующим сигналом  $E$  показана на рис. 6.20,б. Для уменьшения задержки сигнала  $E$  дополнительный двухходовый ЛЭ И исключен на основании соотношения

$$DO = E(DI_0 \bar{x}_1 \vee DI_1 x_1) = E \cdot DI_0 \bar{x}_1 \vee E \cdot DI_1 x_1.$$

Аналогично выполняются и другие мультиплексоры  $2^n \rightarrow 1$  со стробирующим входом  $E$ .

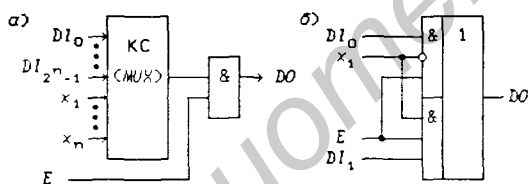


Рис. 6.20

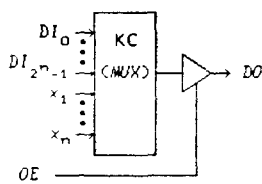


Рис. 6.21

Структурная схема мультиплексора  $2^n \rightarrow 1$  с сигналом  $OE$ , управляющим  $Z$ -состоянием его выхода  $DO$ , показана на рис. 6.21. Данный мультиплексор выполняет функцию

$$DO = \begin{cases} \bigvee_{i=0}^{2^n-1} DI_i K_i(\nu) & \text{при } OE = 1, \\ Z\text{-состояние} & \text{при } OE = 0. \end{cases} \quad (6.7)$$

Работа мультиплексора со стробирующим сигналом  $E$  наглядно поясняется электромеханической моделью, изображенной на рис. 6.22,а, а мультиплексора с  $Z$ -состоянием выхода — на рис. 6.22,б.

**Мультиплексоры без стробирования.** Мультиплексоры без дополнительных управляющих сигналов показаны на рис. 6.23:

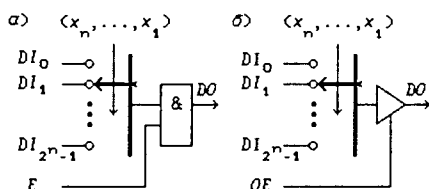


Рис. 6.22

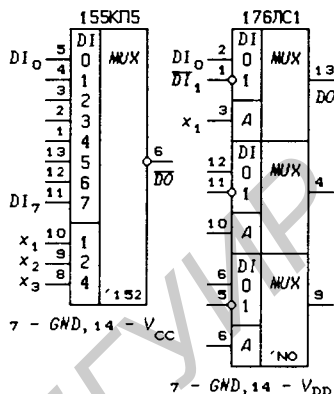


Рис. 6.23

155КП5 —  $MUX\ 8 \rightarrow 1$  с инверсным выходом  $\overline{DO}$  при

$$DO = \bigvee_{i=0}^7 DI_i x_3^{e_3} x_2^{e_2} x_1^{e_1}, \quad i = e_3 e_2 e_1;$$

176ЛС1 — три  $MUX\ 2 \rightarrow 1$  ( $A$  — Address), один из информационных входов которых — инверсный, имеющие выходы, свободные от состязаний (см. § 2.5)

$$DO = DI_0 \bar{x}_1 \vee DI_1 x_1 \vee DI_0 DI_1.$$

**Мультиплексоры со стробированием.** Мультиплексоры со стробирующим сигналом  $E$  показаны на рис. 6.24:

155КП1, 74АС11150 —  $MUX\ 16 \rightarrow 1$  с инверсным выходом  $\overline{DO}$  при

$$DO = E \cdot \bigvee_{i=0}^{15} DI_i K_i(\nu), \quad K_i(\nu) = \prod_{p=1}^4 x_p^{e_p},$$

где  $\nu = (x_4, x_3, x_2, x_1)$ ,  $i = e_4 e_3 e_2 e_1$ ;

555КП2, МС14539В — двойные  $MUX\ 4 \rightarrow 1$  с общими адресными сигналами (двухразрядные 4-канальные мультиплексоры), выходы которых описываются функциями

$$DO_j = E_j \cdot \bigvee_{i=0}^3 DI_{ji} x_2^{e_2} x_1^{e_1}, \quad i = e_2 e_1, \quad j = 0, 1$$

(термин “ $n$ -разрядный” мультиплексор всегда будет означать использование общих адресных сигналов каналов у  $n$  разрядов мультиплексора);



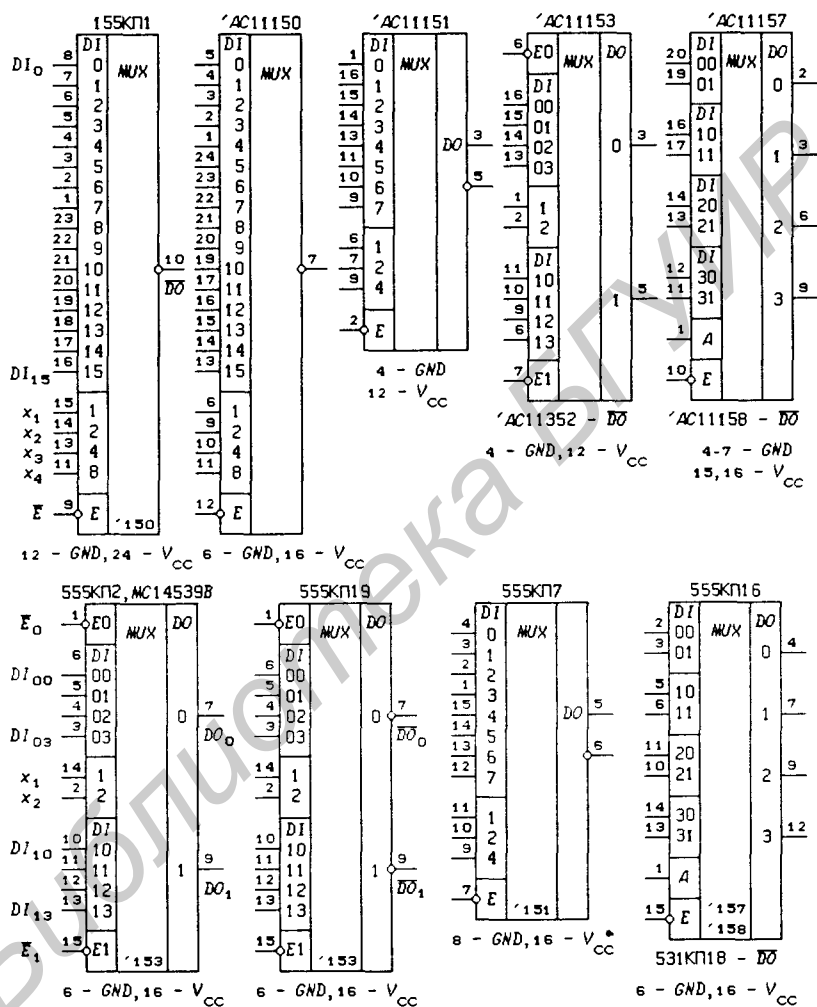


Рис. 6.24

555КП19, 74AC11352 — двухразрядные  $MUX$   $4 \rightarrow 1$  с инверсными выходами  $\overline{DO}$ ; (описание функционирования совпадает с соотношениями для ИС 555КП2);

555КП7, 74AC11151 —  $MUX$   $8 \rightarrow 1$  с прямым  $DO$  и инверсным  $\overline{DO}$  выходами при

$$DO = E \cdot \bigvee_{i=0}^7 DI_i x_3^{e_3} x_2^{e_2} x_1^{e_1}, \quad i = e_3 e_2 e_1;$$

555КП16, 74АС11157 — 4-разрядные  $MUX 2 \rightarrow 1$  с выходами

$$DO_j = E(DI_{j0} \bar{A}_1 \vee DI_{j1} A_1), \quad j = 0, 1, 2, 3;$$

531КП18, 74АС11158 — 4-разрядные  $MUX 2 \rightarrow 1$  с инверсными выходами  $\overline{DO}_j$  (описание функционирования совпадает с соотношениями для ИС 555КП16).

**Мультиплексоры с Z-состоянием выхода.** На рис. 6.25 приведены мультиплексоры с тремя состояниями выхода, выполняющие функции:

555КП11, CD40257B, 74АС11257 — 4-разрядные  $MUX 2 \rightarrow 1$  с выходами

$$DO_j = \begin{cases} DI_{j0} \bar{A} \vee DI_{j1} A & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, \end{cases}$$

где  $j = 0, 1, 2, 3$ ;

555КП12, 74АС11253 — двухразрядные  $MUX 4 \rightarrow 1$  с выходами

$$DO_j = \begin{cases} \bigvee_{i=0}^3 DI_{ji} x_2^{e_2} x_1^{e_1} & \text{при } \overline{OE}_j = 0, \\ Z\text{-состояние} & \text{при } \overline{OE}_j = 1, \end{cases}$$

где  $i = e_2 e_1$ ,  $j = 0$  и  $1$ ;

555КП14, 74АС11258 — 4-разрядные  $MUX 2 \rightarrow 1$  с инверсными выходами  $\overline{DO}_j$  (описание функционирования совпадает с соотношениями для ИС 555КП11);

555КП15, 74АС11251 —  $MUX 8 \rightarrow 1$  с прямым  $DO$  и инверсным  $\overline{DO}$  выходами при

$$DO = \begin{cases} \bigvee_{i=0}^7 DI_i x_3^{e_3} x_2^{e_2} x_1^{e_1} & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, \end{cases}$$

где  $i = e_3 e_2 e_1$ ;

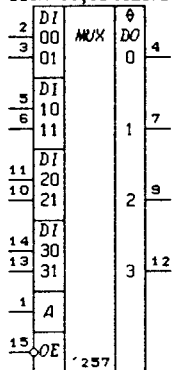
555КП17, 74АС11353 — 2-разрядные  $MUX 4 \rightarrow 1$  с инверсными выходами  $\overline{DO}_j$  (описание функционирования совпадает с соотношениями для ИС 555КП12);

1561КПЗ —  $MUX 8 \rightarrow 1$  со стробирующим сигналом  $\bar{E}$  и сигналом  $\overline{OE}$ , управляющим Z-состоянием выхода

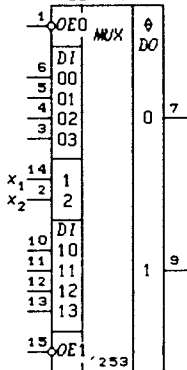
$$DO = \begin{cases} E \cdot \prod_{i=0}^7 DI_i x_3^{e_3} x_2^{e_2} x_1^{e_1} & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1; \end{cases}$$

74AS250A, 74AC11250 — MUX 16 → 1 с инверсным выходом DO;

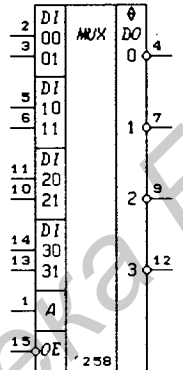
555КП11, CD40257B

8 - GND, 16 - V<sub>CC</sub>

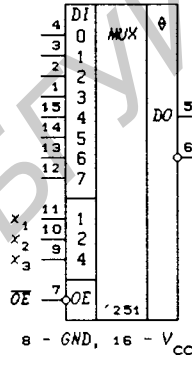
555КП12

8 - GND, 16 - V<sub>CC</sub>

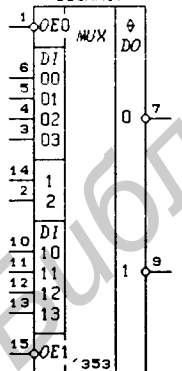
555КП14

8 - GND, 16 - V<sub>CC</sub>

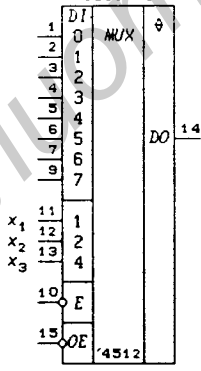
555КП15

8 - GND, 16 - V<sub>CC</sub>

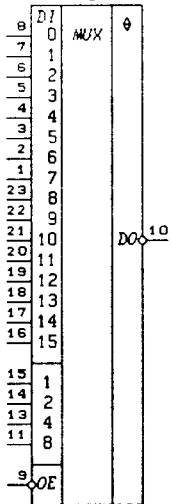
555КП17

8 - GND, 16 - V<sub>CC</sub>

1561КП3

8 - GND, 16 - V<sub>DD</sub>

74AS250A

12 - GND, 24 - V<sub>CC</sub>

74AC11250

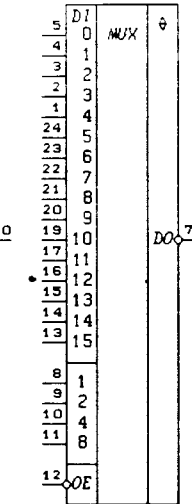
6 - GND, 18 - V<sub>CC</sub>

Рис. 6.25

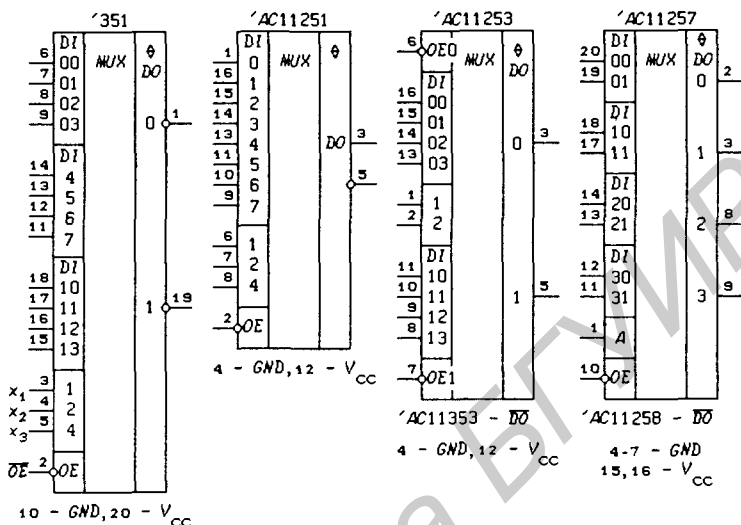


Рис. 6.25 (продолжение)

74351 — 2-разрядный MUX  $4 \rightarrow 1$  с инверсными  $\overline{DO}_j$  выходами при

$$DO_j = \begin{cases} (\bar{x}_3 \cdot \bigvee_{i=0}^3 DI_{j_i} \vee x_3 \cdot \bigvee_{i=0}^3 DI_{i+4}) x_2^{\epsilon_2} x_1^{\epsilon_1} & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, i = e_2 e_1. j = 0, 1. \end{cases}$$

В зарубежной литературе мультиплексоры называют селекторами-мультиплексорами данных (*Data Selector/Multiplexer*), однако более длинный термин использовать нет необходимости.

**Каскадирование мультиплексоров.** Один из способов увеличения числа коммутируемых каналов в схемах, построенных на мультиплексорах со стробированием, показан на рис. 6.26. Покажем, что приведенная схема представляет собой мультиплексор  $16 \rightarrow 1$ . Из рис. 6.26 видно, что функции

$$DO_1 = \bar{x}_4 \cdot \bigvee_{i=0}^7 DI_i x_3^{\epsilon_3} x_2^{\epsilon_2} x_1^{\epsilon_1}, \quad DO_2 = x_4 \cdot \bigvee_{i=0}^7 DI_i x_3^{\epsilon_3} x_2^{\epsilon_2} x_1^{\epsilon_1},$$

где  $i = e_3 e_2 e_1 = 0, 1, \dots, 7$ . Представив функции  $DO_1$  и  $DO_2$  в форме

$$DO_1 = \bigvee_{i=0}^7 DI_i x_4^0 x_3^{\epsilon_3} x_2^{\epsilon_2} x_1^{\epsilon_1}, \quad i = 0 e_3 e_2 e_1 = 0, 1, \dots, 7,$$

$$DO_2 = \bigvee_{i=8}^{15} DI_i x_4^1 x_3^{e_3} x_2^{e_2} x_1^{e_1}, \quad i = 1e_3e_2e_1 = 8, 9, \dots, 15,$$

получим:

$$DO = \overline{\overline{DO_1} \overline{DO_2}} = DO_1 \vee DO_2 = \bigvee_{i=0}^{15} DI_i x_4^{e_4} x_3^{e_3} x_2^{e_2} x_1^{e_1} = \bigvee_{i=0}^{15} DI_i K_i,$$

где  $i = e_4e_3e_2e_1 = 0, 1, \dots, 15$ .

Таким способом на основе 8-канального мультиплексора 555КП7 можно построить любой мультиплексор  $8 \cdot 2^n \rightarrow 1$ , если

дешифратор  $1 \times 2$  с выходами  $\bar{x}_4$  и  $x_4$  заменить на дешифратор  $n \times 2^n$  с инверсными выходами, а двухвходовой ЛЭ И-НЕ — на  $n$ -входовой ЛЭ И-НЕ. На данном примере подробно показано, как аналитическое описание функционирования ИС дает возможность безошибочно проектировать достаточно сложные (по числу ИС) схемы, не указывая даже конкретные ее параметры (в данном случае значение  $n$ ).

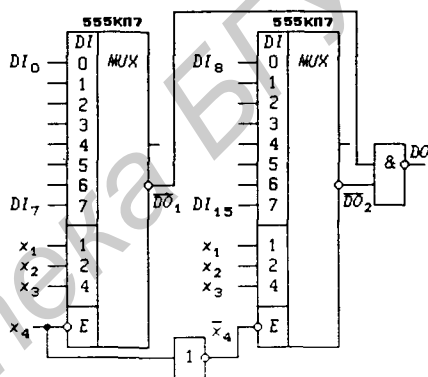


Рис. 6.26

Второй способ увеличения числа коммутируемых каналов в схемах, построенных на мультиплексорах со стробированием, показан на рис. 6.27 — вместо ЛЭ И-НЕ используется дополнительный мультиплексор  $D9$ , производящий выбор одного из мультиплексоров  $D1 - D8$  с помощью адресных сигналов  $x_6, x_5$  и  $x_4$ . Данная схема выполняет функцию:

$$DO = E \cdot \bigvee_{i=0}^{63} DI_i K_i(v).$$

Вход  $\bar{E}$  мультиплексора  $D9$  используется для стробирования выхода  $DO$ . Таким образом, схема на рис. 6.27 представляет собой мультиплексор  $64 \rightarrow 1$  со стробированием.

Мультиплексор  $512 \rightarrow 1$  можно получить на основе предыдущей схемы заменой каждой ИС  $D1 - D8$  на мультиплексор  $64 \rightarrow 1$ , выполненный на ИС  $D1 - D9$  при  $\bar{E} = 0$ , представленный на рис. 6.27.

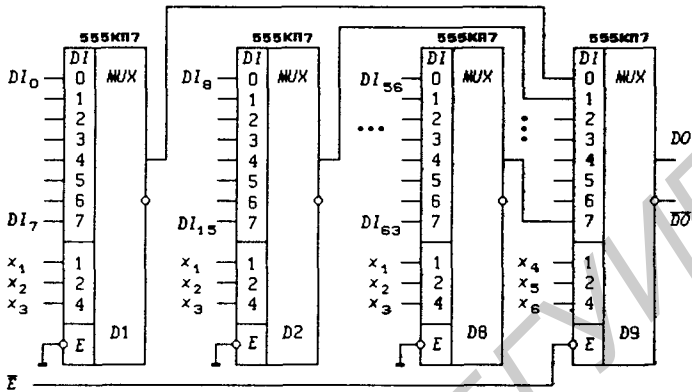


Рис. 6.27

Мультиплексоры с  $Z$ -состояниями выходов легко позволяют увеличивать число коммутируемых каналов без привлечения ЛЭ для объединения выходов нескольких мультиплексоров. На рис. 6.28 показана схема мультиплексора  $16 \rightarrow 1$ , выполненная на двух мультиплексорах  $8 \rightarrow 1$  и дешифраторе  $1 \times 2$  (выходы  $DO$  мультиплексоров соединены для реализации функции “монтажное ИЛИ”). Значение сигнала  $x_4 = 0$  включает левую ИС, и на общий выход поступает один из информационных сигналов  $DI_i$  при  $i = 0, 1, \dots, 7$ , а при значении сигнала  $x_4 = 1$  включается правая ИС, и на общий выход поступает один из информационных сигналов  $DI_i$  при  $i = 8, 9, \dots, 15$ . Выходы данного мультиплексора не имеют  $Z$ -состояния.

Если взять восемь мультиплексоров  $8 \rightarrow 1$  и демультиплексор  $1 \rightarrow 8$  (ИС 555ИД7), то будет получена схема мультиплексора  $64 \rightarrow 1$  с  $Z$ -состоянием прямого  $DO$  и инверсного  $\overline{DO}$  выходов, показанная на рис. 6.29 и выполняющая функцию

$$DO = \begin{cases} \bigvee_{i=0}^{63} DI_i x_6^{e_6} x_5^{e_5} x_4^{e_4} x_3^{e_3} x_2^{e_2} x_1^{e_1} & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, \end{cases}$$

где  $i = e_6 e_5 e_4 e_3 e_2 e_1$ .

**Функциональные мультиплексоры.** Мультиплексоры могут использоваться для коммутации не только информационных сигналов  $DI_i$ , но и некоторых функций от этих сигналов. В число таких функций могут входить константы 0 и 1. На рис. 6.30 представлены функциональные мультиплексоры:

561ЛС2 — 4-разрядный мультиплексор, описываемый функ-

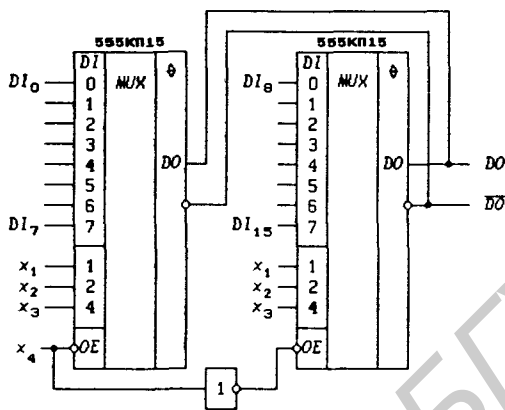


Рис. 6.28

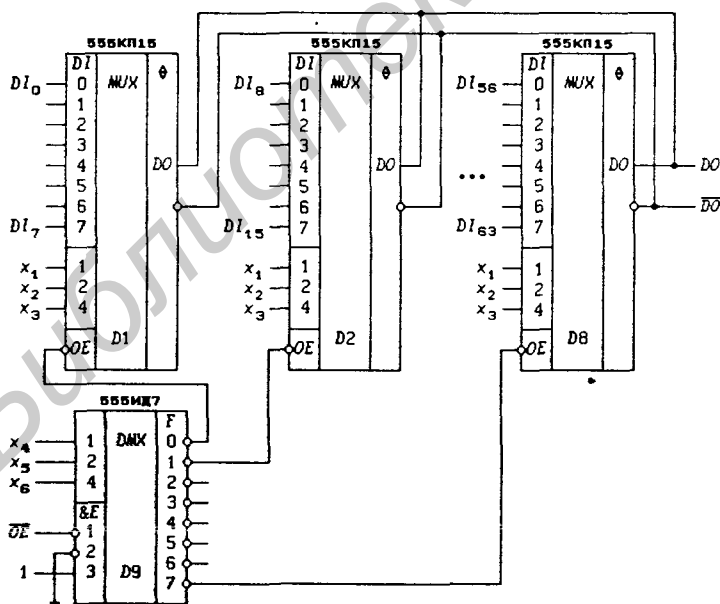


Рис. 6.29

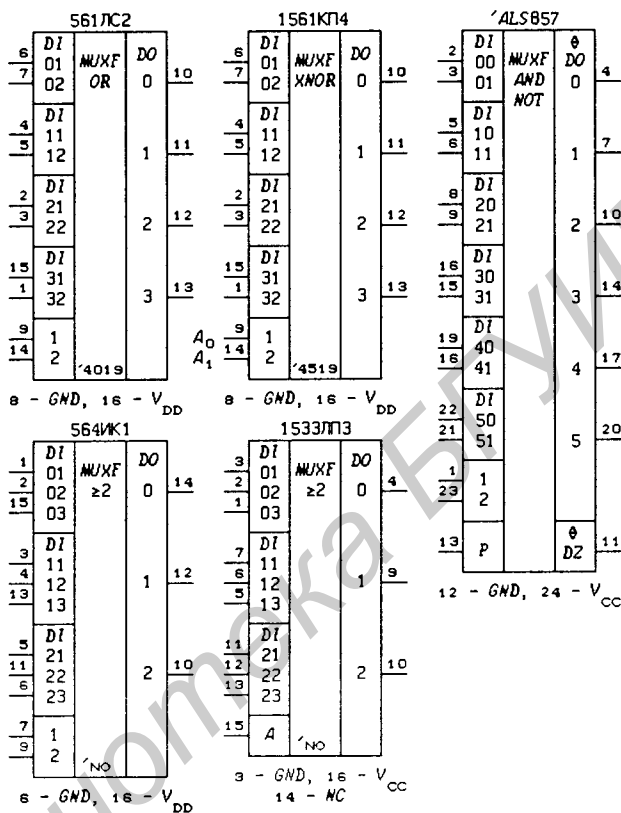


Рис. 6.30

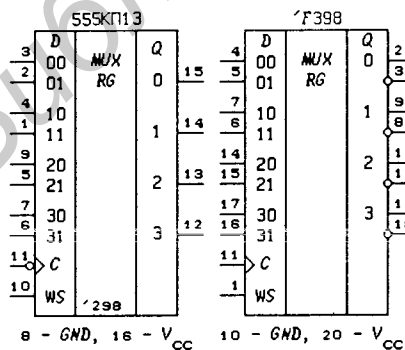


Рис. 6.31

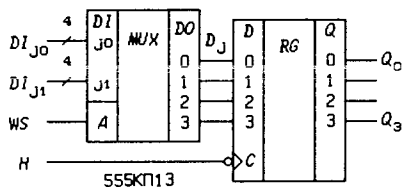


Рис. 6.32



циями

$$DO_j = 0 \cdot \bar{A}_1 \bar{A}_0 \vee DI_{j1} \bar{A}_1 A_0 \vee DI_{j2} \cdot A_1 \bar{A}_0 \vee (DI_{j2} \vee DI_{j1}) A_1 A_0,$$

где  $j = 0, 1, 2, 3$  (при подаче  $A_0 = \bar{A}_1$  получается 4-разрядный мультиплексор  $2 \rightarrow 1$ );

1561КП4 — 4-разрядный мультиплексор, описываемый функциями

$$DO_j = 0 \cdot \bar{A}_1 \bar{A}_0 \vee DI_{j1} \bar{A}_1 A_0 \vee DI_{j2} \cdot A_1 \bar{A}_0 \vee \overline{DI_{j2} \oplus DI_{j1}} A_1 A_0;$$

74ALS857 — 6-разрядный мультиплексор, описываемый функциями

$$DO_j = \begin{cases} F_j \oplus P \text{ при } \overline{OE}_1 = 0, \\ Z\text{-состояние при } \overline{OE}_1 = 1, \end{cases}$$

$$DZ = \begin{cases} \bar{A}_1 \bar{A}_0 \cdot \prod_{j=0}^5 \overline{DI}_{j0} \vee \bar{A}_1 A_0 \cdot \prod_{j=0}^5 \overline{DI}_{j1} \text{ при } \overline{OE}_2 = 0, \\ Z\text{-состояние при } \overline{OE}_2 = 1, \end{cases}$$

$$F_j = DI_{j0} \bar{A}_1 \bar{A}_0 \vee DI_{j1} \bar{A}_1 A_0 \vee DI_{j1} DI_{j0} A_1 \bar{A}_0 \vee 0 \cdot A_1 A_0,$$

где  $\overline{OE}_1 = A_1 A_0 P$ ,  $\overline{OE}_2 = A_1 \bar{A}_0 \vee A_1 P$ ;

564ИК1 — 3-разрядный мультиплексор, описываемый функциями

$$DO_j = \begin{cases} DI_{j1} DI_{j2} \vee DI_{j1} DI_{j3} \vee DI_{j2} DI_{j3}, \text{ если } i = 0, \\ \bigvee_{i=1}^3 DI_{ji} A_1^{e_1} A_0^{e_0}, \text{ если } i = 1, 2, 3, \end{cases}$$

где  $i = e_1 e_0$ , т. е. ИС 564ИК1 — мажоритарно-мультиплексорный элемент;

1533ЛПЗ — мультиплексор, описываемый функциями

$$DO_j = (DI_{j1} DI_{j2} \vee DI_{j1} DI_{j3} \vee DI_{j2} DI_{j3}) \bar{A} \vee DI_{j3} A.$$

**Регистры памяти с мультиплексными входами данных.** Мультиплексоры  $2 \rightarrow 1$  могут быть использованы для создания устройств записи в регистр памяти информации от двух источников. На рис. 6.31 приведены такие ИС:

555КП13, 74L98, 134ИР5 — 4-разрядные синхронные регистры памяти, описываемые функциями

$$Q_j^+ = D_j dH \vee Q_j \overline{dH},$$

где  $D_j = D_{j0} \overline{WS} \vee D_{j1} WS$  ( $WS$  — Word Select),  $j = 0, 1, 2, 3$ ;

74F398 — 4-разрядный синхронный регистр памяти с прямыми и инверсными выходами.

Структурная схема ИС 555КП13 показана на рис. 6.32, а одно из возможных применений — на рис. 6.33. Последняя схема представляет собой сдвигающий регистр с синхронной параллельной загрузкой 4-разрядных слов  $D_{11} - D_8$ ,  $D_7 - D_4$  и  $D_3 - D_0$ : при  $SH = 1$  — сдвиг ( $SH$  — Shift), а при  $SH = 0$  — загрузка.

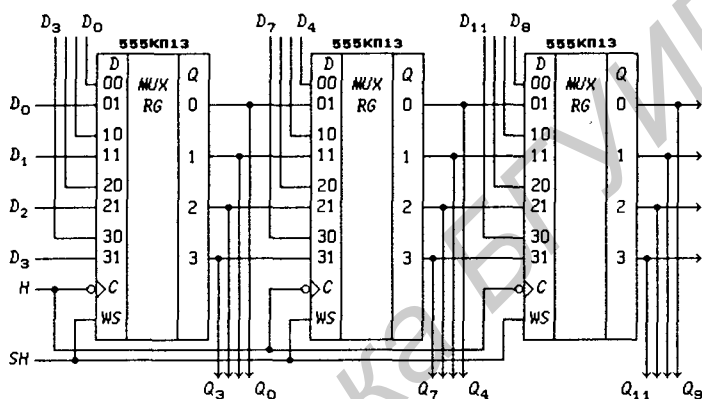


Рис. 6.33

Другие ИС, представляющие собой регистры с мультиплексными входами данных, были рассмотрены в § 5.8 (см. рис. 5.90). Этим ИС присваиваются условные сокращенные названия КП (мультиплексор) или ИР (регистр памяти) по одному из цифровых узлов, входящих в их состав.

**Мультиплексоры с регистрами памяти данных и адреса.** В мультиплексоры могут быть добавлены асинхронные потенциальные или синхронные регистры памяти для фиксации входных данных и адреса, или только данных, или только адреса. На рис. 6.34 представлены ИС:

74LS354 — MUX 8 → 1 с асинхронными потенциальными регистрами памяти входных данных  $RGD$  и адреса  $RGAR$ , описываемый функциями

$$Q_{D_i}^+ = D_i L_D \vee Q_{D_i} \bar{L}_D, \quad i = 0, 1, \dots, 7,$$

$$Q_{A_r}^+ = A_r L_A \vee Q_{A_r} \bar{L}_A, \quad r = 0, 1, 2,$$

$$DO_j = \begin{cases} \bigvee_{i=0}^7 Q_{D_i} Q_{A_2}^{e_2} Q_{A_1}^{e_1} Q_{A_0}^{e_0}, & \text{если } OE = 1, \\ Z\text{-состояние,} & \text{если } OE = 0, \end{cases}$$

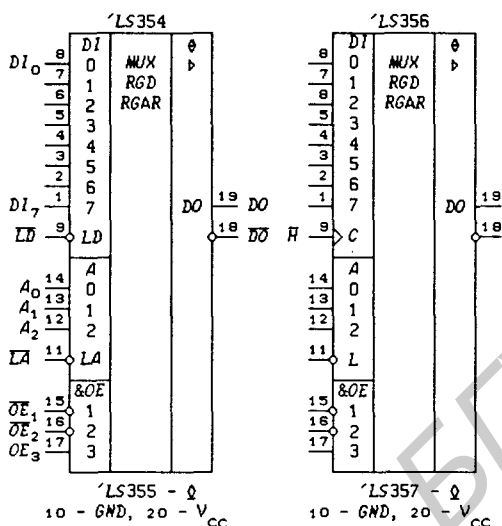


Рис. 6.34

где  $Q_{A_2}^{e_2} Q_{A_1}^{e_1} Q_{A_0}^{e_0}$  — минтермы, переключающие каналы,  $OE = OE_3 OE_2 OE_1$ ;

74LS355 —  $MUX 8 \rightarrow 1$  с асинхронными потенциальными регистрами памяти входных данных  $RGD$  и адреса  $RGAR$ , имеющий выходы с открытым коллектором (описание функционирования совпадает с соотношениями для ИС 74LS354);

74LS356 —  $MUX 8 \rightarrow 1$  с синхронным регистром памяти входных данных  $RGD$  и асинхронным потенциальным регистром адреса  $RGAR$ , описываемый функциями

$$Q_{D_i}^+ = DI_i dH \vee Q_{D_i} \overline{dH}, \quad i = 0, 1, \dots, 7,$$

$$Q_{A_r}^+ = A_r L \vee Q_{A_r} \overline{L}, \quad r = 0, 1, 2,$$

$$DO_j = \begin{cases} \bigvee_{i=0}^7 Q_{D_i} Q_{A_2}^{e_2} Q_{A_1}^{e_1} Q_{A_0}^{e_0}, & \text{если } OE = 1, \\ Z\text{-состояние,} & \text{если } OE = 0, \end{cases}$$

где  $Q_{A_2}^{e_2} Q_{A_1}^{e_1} Q_{A_0}^{e_0}$  — минтермы, переключающие каналы,  $OE = OE_3 OE_2 OE_1$ ;

74LS357 —  $MUX 8 \rightarrow 1$  с синхронным регистром памяти входных данных  $RGD$  и асинхронным потенциальным регистром адреса  $RGAR$ , имеющий выходы с открытым коллекто-

ром (описание функционирования совпадает с соотношениями для ИС 74LS356).

Структурная схема ИС 74LS354 показана на рис. 6.35. Аналогичными схемами описываются и остальные ИС.

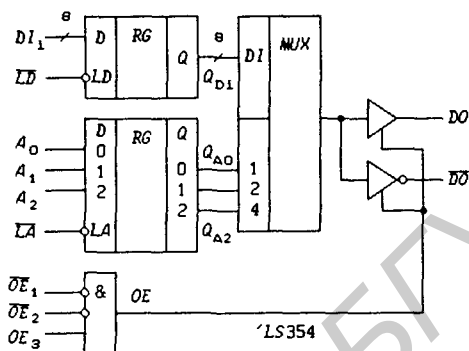


Рис. 6.35

На рис. 6.36 представлены ИС:

74LS604 — 8-разрядный двухканальный мультиплексор с двумя синхронными регистрами памяти входных данных  $RGD_0$  и  $RGD_1$ , описываемый функциями

$$Q_{ij}^+ = DI_{ij}dH \vee Q_{ij}d\bar{H}, \quad i = 0 \text{ и } 1, \quad j = 0, 1, \dots, 7,$$

$$DO_j = \begin{cases} Q_{0,j}\bar{A} \vee Q_{1,j}A, & \text{если } \bar{H} = 1, \\ Z\text{-состояние,} & \text{если } \bar{H} = 0, \end{cases}$$

где  $i$  — номер канала,  $j$  — номер разряда и выхода (проектирование ИС выполнено с целью достижения максимального быстродействия);

74LS605 — 8-разрядный двухканальный мультиплексор с двумя синхронными регистрами памяти входных данных  $RGD_0$  и  $RGD_1$ , имеющий выходы с открытым коллектором, описываемый функциями

$$Q_{ij}^+ = DI_{ij}dH \vee Q_{ij}d\bar{H}, \quad i = 0 \text{ и } 1, \quad j = 0, 1, \dots, 7,$$

$$DO_j = (Q_{0,j}\bar{A} \vee Q_{1,j}A)\bar{H},$$

где  $i$  — номер канала,  $j$  — номер разряда и выхода (проектирование ИС выполнено с целью достижения максимального быстродействия);

74LS606 — 8-разрядный двухканальный мультиплексор с двумя синхронными регистрами памяти входных данных  $RGD_0$

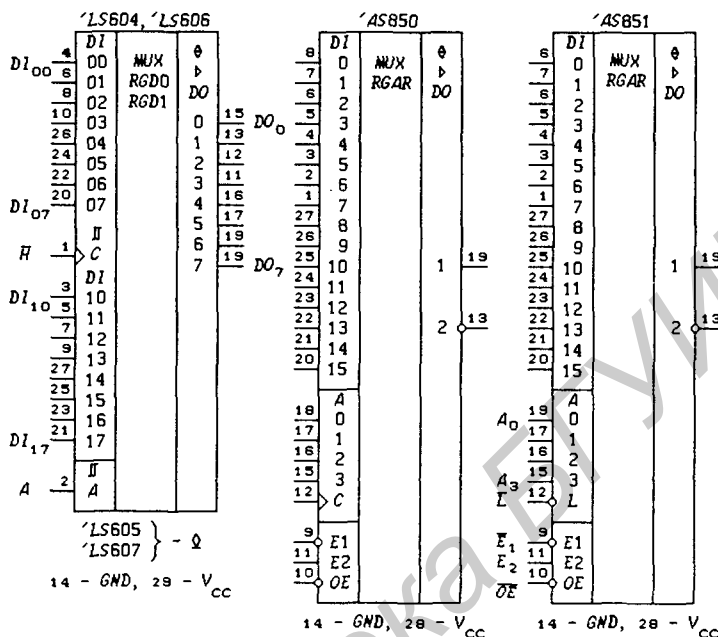


Рис. 6.36

и  $RGD_1$ , имеющий Z-состояние выходов (выходы реализованы свободными от состязаний; описание функционирования совпадает с соотношениями для ИС 74LS604);

74LS607 — 8-разрядный двухканальный мультиплексор с двумя синхронными регистрами памяти входных данных  $RGD_0$  и  $RGD_1$ , имеющий выходы с открытым коллектором (выходы реализованы свободными от состязаний; описание функционирования совпадает с соотношениями для ИС 74LS605);

74AS850 — MUX  $16 \rightarrow 1$  с синхронным регистром памяти адреса  $RGAR$ , описываемый функциями

$$Q_r^+ = A_r dH \vee Q_r \overline{dH}, \quad r = 0, 1, 2, 3,$$

$$DO_j = \begin{cases} \bigvee_{i=0}^{15} DI_i Q_3^{e3} Q_2^{e2} Q_1^{e1} Q_0^{e0}, & \text{если } OE = 1, \\ Z\text{-состояние,} & \text{если } OE = 0, \end{cases}$$

где  $Q_3^{e3} Q_2^{e2} Q_1^{e1} Q_0^{e0}$  — минтермы, переключающие каналы,  $OE = E_1 OE$  для прямого выхода  $DO_1$  и  $OE = E_2 OE$  для инверсного выхода  $\overline{DO}_2$ ;

74AS851 — MUX 16 → 1 с асинхронным регистром памяти адреса *RGAR*, описываемый функциями

$$Q_r^+ = A_r L \vee Q_r \bar{L}, \quad r = 0, 1, 2, 3,$$

$$DO_j = \begin{cases} \bigvee_{i=0}^{15} DI_i Q_3^{e3} Q_2^{e2} Q_1^{e1} Q_0^{e0}, & \text{если } OE = 1, \\ Z\text{-состояние,} & \text{если } OE = 0, \end{cases}$$

где  $Q_3^{e3} Q_2^{e2} Q_1^{e1} Q_0^{e0}$  — минтермы, переключающие каналы,  $OE = E_1 OE$  для прямого выхода  $DO_1$  и  $OE = E_2 OE$  для инверсного выхода  $\overline{DO}_2$ .

Структурная схема мультиплексов 74AS604 и 74AS606 показана на рис. 6.37,а. Мультиплексы 74AS605 и 74AS607 выполнены по такой же структурной схеме, но имеют выходы с открытым коллектором. Реализация выходных каскадов мультиплексов 74AS850 и 74AS851 приведена на рис. 6.37,б.

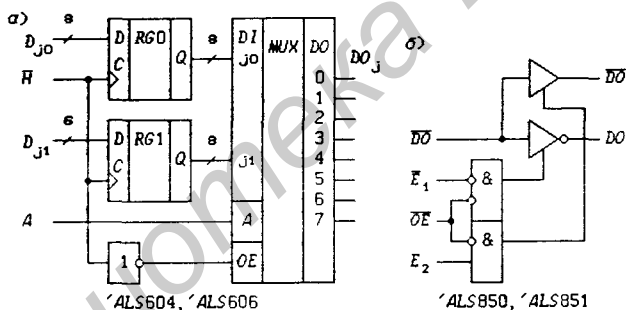


Рис. 6.37

**Сдвигающие мультиплексы.** На мультиплексе можно построить комбинационное сдвигающее устройство (КСУ) для сдвига информации на любое число разрядов. Функционирование 4-разрядного КСУ с выходами  $DO_j$  ( $j = 0, 1, 2, 3$ ) и информационными входами  $DI_m$  ( $m = -3, -2, -1, 0, 1, 2, 3$ ) задается табл. 6.3 (вместо подключаемых к выходам  $DO_j$  входов  $DI_m$  указаны их индексы  $m$ ). Из табл. 6.3 видно, что адресные сигналы  $A_1$  и  $A_0$  управляют сдвигом входной информации. Так, при  $i = 1$  выходы  $DO_3 = DI_2$ ,  $DO_2 = DI_1$ ,  $DO_1 = DI_0$  и  $DO_0 = DI_{-1}$ . Увеличение числа  $i$  на 1 приводит к сдвигу входной информации на один разряд. Сдвиг можно производить и на большее число разрядов.

Таблица 6.3. 4-разрядное сдвигающее устройство

i	A <sub>1</sub> A <sub>0</sub>	j			
		3	2	1	0
0	0 0	3	2	1	0
1	0 1	2	1	0	-1
2	1 0	1	0	-1	-2
3	1 1	0	-1	-2	-3

Описанное КСУ может быть построено на 4-разрядном мультиплексоре 4 → 1 (рис. 6.38,а), выполняющем функции

$$DO_j = \bigvee_{i=0}^3 DI_{j-i} K_i(\nu), \quad (6.8)$$

где  $\nu = (A_1, A_0)$ ,  $K_i(\nu) = A_1^{e_1} A_0^{e_0}$  — минтермы, коммутирующие каналы,  $i = e_1 e_0$ ,  $j = 0, 1, 2, 3$ ;  $j - i = m = -3, -2, -1, 0, 1, 2, 3$ .

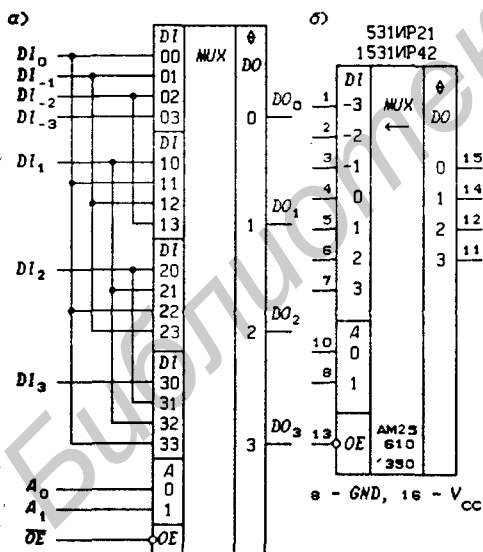


Рис. 6.38

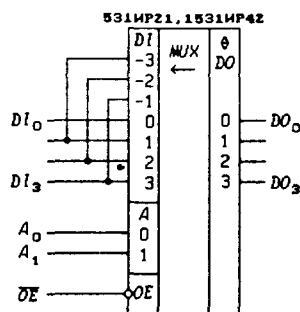


Рис. 6.39

Представленные на рис. 6.38,б ИС 531IP21 и 1531IP42 описываются функцией (6.8) при  $\overline{OE} = 0$  и имеют Z-состояние выходов при  $\overline{OE} = 1$ . На рис. 6.39 показано включение этих

Таблица 6.4. Циклическое  
4-разрядное сдвигающее  
устройство

$i$	$A_1 A_0$	$j$			
		3	2	1	0
0	0 0	3	2	1	0
1	0 1	2	1	0	3
2	1 0	1	0	3	2
3	1 1	0	3	2	1

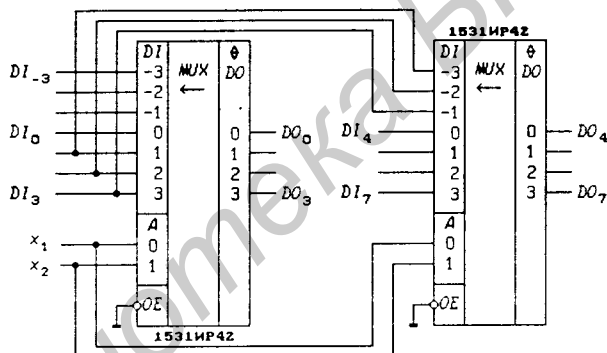


Рис. 6.40

Таблица 6.5. Сдвигающее устройство  
на 8 выходов

$i$	$A_1 A_0$	$j$							
		7	6	5	4	3	2	1	0
0	0 0	7	6	5	4	3	2	1	0
1	0 1	6	5	4	3	2	1	0	-1
2	1 0	5	4	3	2	1	0	-1	-2
3	1 1	4	3	2	1	0	-1	-2	-3



Таблица 6.6. 8-разрядное сдвигающее устройство

i	$A_2 A_1 A_0$	j							
		7	6	5	4	3	2	1	0
0	0 0 0	7	6	5	4	3	2	1	0
1	0 0 1	6	5	4	3	2	1	0	-1
2	0 1 0	5	4	3	2	1	0	-1	-2
3	0 1 1	4	3	2	1	0	-1	-2	-3
4	1 0 0	3	2	1	0	-1	-2	-3	-4
5	1 0 1	2	1	0	-1	-2	-3	-4	-5
6	1 1 0	1	0	-1	-2	-3	-4	-5	-6
7	1 1 1	0	-1	-2	-3	-4	-5	-6	-7

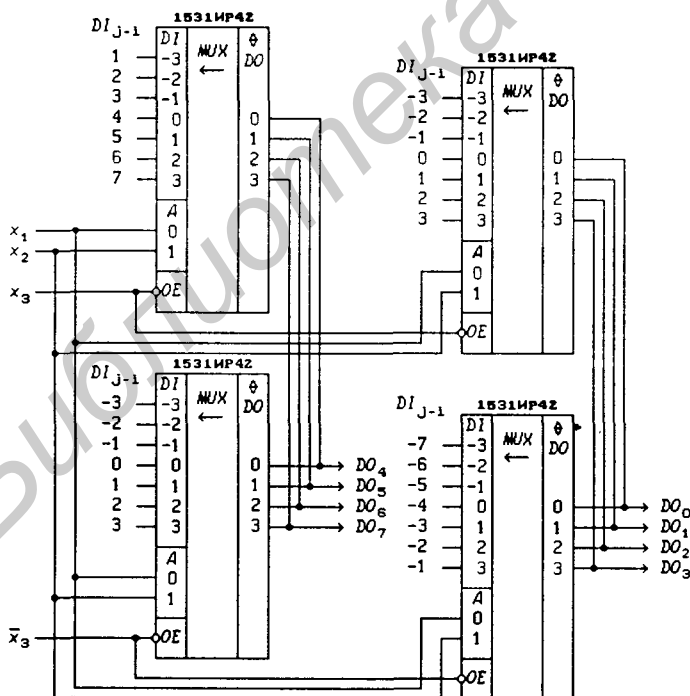


Рис. 6.41

ИС для выполнения функции кольцевого (циклического) 4-разрядного КСУ, функционирование которого поясняется табл. 6.4, из которой следует, что выходы

$$DO_j = \bigvee_{i=0}^3 DI_m K_i(\nu), \quad m = \begin{cases} j - i, & \text{если } j - i \geq 0, \\ j - i + 4, & \text{если } j - i < 0, \end{cases}$$

где  $j = 0, 1, 2, 3$ .

На рис. 6.40 показан способ наращивания разрядности выходов КСУ. Работа приведенной схемы поясняется табл. 6.5. В соответствии с (6.8) 8-разрядное КСУ описывается функцией

$$DO_j = \bigvee_{i=0}^7 DI_{j-i} K_i(\nu),$$

где  $\nu = (A_2, A_1, A_0)$ ,  $K_i(\nu) = A_2^{e_2} A_1^{e_1} A_0^{e_0}$  — минтермы,  $i = e_2 e_1 e_0$ ,  $j = 0, 1, \dots, 7$ ;  $j - i = -7, -6, \dots, 0, \dots, 6, 7$ . Эта функция представлена в табл. 6.6 и реализуется схемой, показанной на рис. 6.41. На основе последней схемы можно получить кольцевое 8-разрядное КСУ, выполняющее функции

$$DO_j = \bigvee_{i=0}^7 DI_m K_i(\nu), \quad m = \begin{cases} j - i, & \text{если } j - i \geq 0, \\ j - i + 8, & \text{если } j - i < 0, \end{cases}$$

где  $j = 0, 1, \dots, 7$ .

#### 6.4. Синтез комбинационных схем и цифровых автоматов на мультиплексорах

Функция (6.4), выполняемая мультиплексором  $2^n \rightarrow 1$ , по структуре полностью совпадает с СДНФ (1.71) представления функций  $n$  переменных. Из этого следует, что любую переключательную функцию  $n$  переменных можно реализовать на мультиплексоре  $2^n \rightarrow 1$ , подав на входы  $DI_i$  константы  $a_i = f(\nu_i) = 0$  или 1.

Схема, реализующая однозначное соответствие между комбинациями значений адресных входов  $\nu = (x_n, \dots, x_1)$  и значением выходного сигнала  $DO = 0$  или 1, называется *постоянным запоминающим устройством* (ПЗУ). Следовательно, на мультиплексорах можно реализовать ПЗУ небольшого объема памяти ( $2^n$  бит). Не следует забывать, что ПЗУ является комбинационной схемой. Прямая реализация функций  $n$  переменных на мультиплексорах в соответствии с СДНФ практически нецелесообразна из-за малой эффективности их использования. Так

как мультиплексоры, в отличие от ПЗУ, имеют информационные входы, то для реализации функций на них можно подавать не только константы 0 и 1, но и переменные  $x_p$ ,  $p = 1 \dots n$ , и некоторые функции от переменных  $x_p$ , выполняемые простейшими ЛЭ. В этом случае потребуется меньшее количество адресных входов мультиплексора, чем число переменных  $n$ .

**Синтез схем на 8-канальных мультиплексорах.** Пусть требуется реализовать функцию  $f_1(\nu)$  (рис. 6.42,а) четырех переменных  $x_4, x_3, x_2$  и  $x_1$  на мультиплексоре  $8 \rightarrow 1$ . Такой мультиплексор имеет три адресных входа, на которые можно подать три из четырех переменных. Пусть на адресные входы мультиплексора с весами 4, 2, 1 подаются переменные  $x_3, x_2$  и  $x_1$  соответственно. Тогда адрес входного канала мультиплексора  $DI_i$  будет определяться числом  $i = \epsilon_3 \epsilon_2 \epsilon_1 = 0, 1, \dots, 7$ . Напомним, что клетки диаграмм Вейча четырех переменных нумеруются числами  $j = \epsilon_4 \epsilon_3 \epsilon_2 \epsilon_1 = 0, 1, \dots, 15$  (рис. 6.42,б) на основании обозначения их сторон переменными  $x_p^{\epsilon_p}$ . Аналогично можно пронумеровать клетки диаграммы Вейча адресами каналов  $i$  мультиплексора, не учитывая переменную  $x_4^{\epsilon_4}$  (рис. 6.42,з).

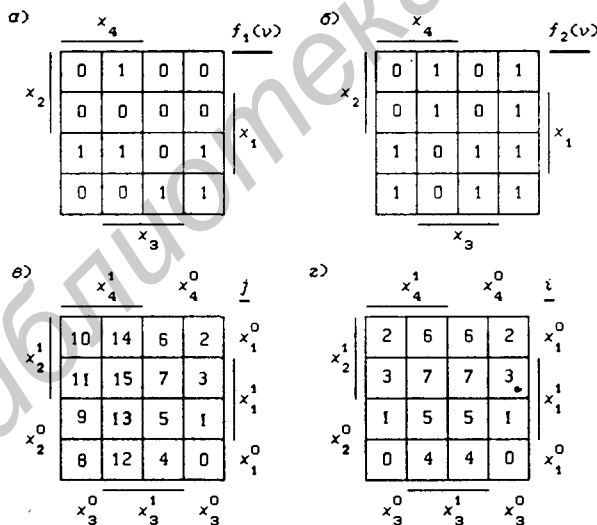


Рис. 6.42

Как видно из рис. 6.42,з числа  $i$  произвели разбиение диаграммы Вейча на восемь частей, каждая из которых представляет собой диаграмму Вейча для одной переменной  $x_4$ . Эти восемь диаграмм Вейча одной переменной  $x_4$  определяют функции

$DI_i = \varphi_i(x_4) = 0, 1, x_4, \bar{x}_4$ , которые следует подать на информационные входы мультиплексора  $DI_i$ . Из рис. 6.42,а и рис. 6.42,б следует, что

$$DI_0 = \bar{x}_4, \quad DI_1 = 1, \quad DI_2 = 0, \quad DI_3 = 0, \\ DI_4 = \bar{x}_4, \quad DI_5 = x_4, \quad DI_6 = x_4, \quad DI_7 = 0.$$

Проверка результата синтеза:

$$f_1(\nu) = \bigvee_{i=0}^7 DI_i K_i(\nu) = \bar{x}_4(K_0 \vee K_4) \vee 1 \cdot K_1 \vee x_4(K_5 \vee K_6) = \\ = \bar{x}_4(\bar{x}_3 \bar{x}_2 \bar{x}_1 \vee x_3 \bar{x}_2 \bar{x}_1) \vee (\bar{x}_4 \vee x_4) \bar{x}_3 \bar{x}_2 x_1 \vee x_4(x_3 \bar{x}_2 x_1 \vee x_3 x_2 \bar{x}_1),$$

что совпадает с функцией, представленной на рис. 6.42.

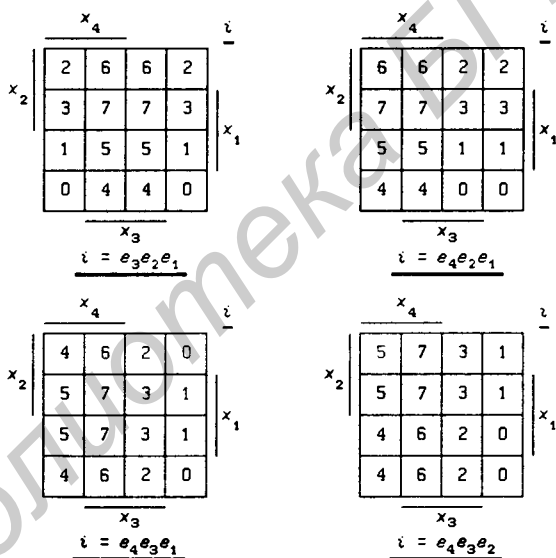


Рис. 6.43

По полученным значениям  $DI_i$  можно реализовать функцию  $f_1(\nu)$  на мультиплексоре  $8 \rightarrow 1$ . При выборе иных переменных в качестве адресных получится другая схема. Предпочтение следует отдать той схеме, на информационные входы которой подается большее число констант 0 и 1. Оптимальную с этой точки зрения схему можно получить, выполнив синтез для всех возможных вариантов комбинаций адресных сигналов, разбиения диаграмм Вейча для которых показаны на рис. 6.43. В табл.

Таблица 6.7. Синтез КС на 8-канальных мультиплексорах

Вход	<i>i</i>			
	$e_3e_2e_1$	$e_4e_2e_1$	$e_4e_3e_1$	$e_4e_3e_2$
$\overline{DI}_0$	$\overline{x}_4$	1	$\overline{x}_2$	1
$DI_1$	1	$\overline{x}_3$	$\overline{x}_2$	0
$DI_2$	0	0	$\overline{x}_2$	$\overline{x}_1$
$DI_3$	0	0	0	0
$DI_4$	$\overline{x}_4$	0	0	$x_1$
$DI_5$	$x_4$	1	$\overline{x}_2$	0
$DI_6$	$x_4$	$x_3$	$x_2$	$x_1$
$DI_7$	0	0	$\overline{x}_2$	$\overline{x}_1$

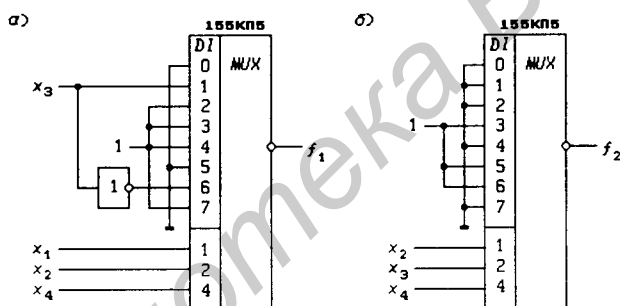


Рис. 6.44

6.7 указаны значения  $DI_i$  для различных комбинаций адресных сигналов, полученные на основании рис. 6.42,а и рис. 6.43. Наилучший вариант схемы получается при задании адресов числами  $i = e_4e_2e_1$  (рис. 6.44,а; все значения  $DI_i$  заменены на инверсные  $\overline{DI}_i$ , так как выход мультиплексора 155КП5 инверсный).

Из рис. 6.43,а следует, что МДНФ функции

$$f_1(\nu) = \overline{x}_4\overline{x}_3\overline{x}_2 \vee \overline{x}_4\overline{x}_2\overline{x}_1 \vee x_4\overline{x}_2x_1 \vee x_4x_3x_2\overline{x}_1. \quad (6.9)$$

Так как внутренний дешифратор мультиплексора  $8 \rightarrow 1$  реализует восемь минтермов трех переменных, то в качестве адресных сигналов следует использовать те переменные, которые входят в МДНФ наибольшее число раз. В этом случае внутренний дешифратор мультиплексора будет нести наибольшую логическую нагрузку. Такой подход к выбору адресных сигна-

лов позволяет исключить полный перебор всех вариантов. Из полученной МДНФ видно, что наименьшее число раз в нее входит первичный терм  $x_3^e$ , поэтому в качестве адресных сигналов предпочтительнее использовать переменные  $x_4$ ,  $x_2$  и  $x_1$  (сравните результат с табл. 6.7).

Из рис. 6.42,б следует, что МДНФ функции

$$f_2(\nu) = \bar{x}_4\bar{x}_3 \vee \bar{x}_4\bar{x}_2 \vee \bar{x}_3\bar{x}_2 \vee x_4x_3x_2. \quad (6.10)$$

Из (6.10) видно, что функция  $f_2(\nu)$  является вырожденной (не зависит от переменной  $x_1$ ). Задав адреса числами  $i = e_4e_3e_2$ , на основании рис. 6.42,б и рис. 6.43 можно получить:

$$\begin{aligned} DI_0 &= 1, \quad DI_1 = 1, \quad DI_2 = 1, \quad DI_3 = 0, \\ DI_4 &= 1, \quad DI_5 = 0, \quad DI_6 = 0, \quad DI_7 = 1. \end{aligned}$$

На рис. 6.44,б показана соответствующая схема, которая представляет собой ПЗУ объемом памяти  $8 \times 1$  бит.

**Синтез на двухразрядных 4-канальных мультиплексорах.** Двухразрядные мультиплексоры  $4 \rightarrow 1$  достаточно просто использовать для реализации двух функций трех и четырех переменных. Пусть функции  $f_1(\nu)$  и  $f_2(\nu)$  заданы диаграммами Вейча на рис. 6.42,а,б. Мультиплексор  $4 \rightarrow 1$  имеет два адресных входа, а значит, возможны шесть вариантов выбора переменных для адресных сигналов:  $x_2$  и  $x_1$ ,  $x_3$  и  $x_1$ ,  $x_4$  и  $x_1$ ,  $x_3$  и  $x_2$ ,  $x_4$  и  $x_2$ ,  $x_4$  и  $x_3$ . Соответствующие числа  $i = e_p e_q$  ( $p \neq q$ ) будут определять адреса каналов мультиплексора. Так как числа  $i$  двухразрядные, то они будут разбивать диаграмму Вейча четырех переменных на четыре части, каждая из которых представляет собой диаграмму Вейча для двух переменных, не использованных в качестве адресных. На рис. 6.45 показаны все шесть вариантов разбиения диаграмм Вейча адресами  $i$ . Так как адресные сигналы у двухразрядного мультиплексора  $4 \rightarrow 1$  общие для обоих разрядов, то можно проводить только совместную минимизацию функций  $f_1(\nu)$  и  $f_2(\nu)$ .

Для оптимального выбора адресных переменных следует подсчитать общее число первичных термов  $x_p^e$ , входящих в обе МДНФ (6.9) и (6.10), и в качестве адресных переменных выбрать те, первичные термы которых входят наибольшее число раз в эти МДНФ. В данном примере такими переменными являются  $x_4$  и  $x_2$ . Тогда на основании рис. 6.42,а,б и рис. 6.45 можно получить:

$$\begin{aligned} DI_{00} &= \bar{x}_3 \vee \bar{x}_1, \quad DI_{01} = 0, \quad DI_{02} = x_1, \quad DI_{03} = x_3\bar{x}_1 \text{ — для } f_1(\nu); \\ DI_{10} &= 1, \quad DI_{11} = \bar{x}_3, \quad DI_{12} = \bar{x}_3, \quad DI_{13} = x_3 \text{ — для } f_2(\nu). \end{aligned}$$

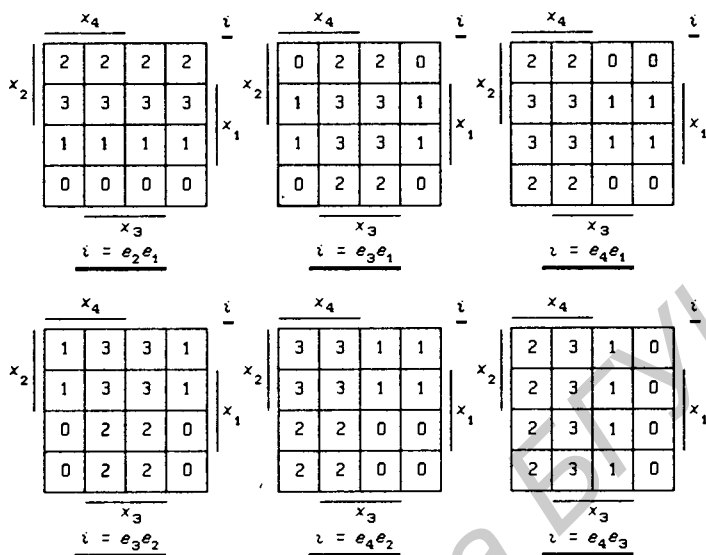


Рис. 6.45

Этим значениям информационных входов соответствует схема, изображенная на рис. 6.46.

Как известно, МДНФ и МКНФ могут значительно различаться по числу входящих в них первичных термов, поэтому для оптимального выбора адресных переменных следует использовать также подсчет вхождений первичных термов  $x_r^e$  в МКНФ (или в МДНФ инверсной функции). Изложенный метод выбора адресных переменных можно использовать в качестве инженерного метода синтеза КС на мультиплексорах для исключения перебора всех возможных вариантов.

**Синтез генератора синусоидальной функции на мультиплексорах.** Для описания генератора взята функция  $N \approx 15 \sin(i\pi/16)$  в 16 точках (табл. 6.8), график которой приведен на рис. 6.47. По диаграммам Вейча (рис. 6.48), составленным по табл. 6.8, можно синтезировать КС на двух двухразрядных мультиплексорах  $4 \rightarrow 1$ . Если для функций  $f_4$  и  $f_3$  в качестве адресных сигналов выбрать переменные  $x_4$  и  $x_3$ , а для функций  $f_2$  и  $f_1$  — переменные  $x_2$  и  $x_1$ , то можно получить:

$$DI_{00} = x_2 x_1, DI_{01} = DI_{02} = 1, DI_{03} = \bar{x}_2 \text{ — для } f_4;$$

$$DI_{10} = DI_{13} = x_2 \bar{x}_1, DI_{11} = x_2 \vee \bar{x}_1, DI_{12} = 1 \text{ — для } f_3;$$

$$DI_{00} = x_4 \vee x_3, DI_{01} = \bar{x}_3, DI_{02} = 1, DI_{03} = x_3 \text{ — для } f_2;$$

$$DI_{10} = DI_{13} = x_4 \vee x_3, DI_{11} = \bar{x}_4 \vee \bar{x}_3, DI_{12} = 0 \text{ — для } f_1.$$

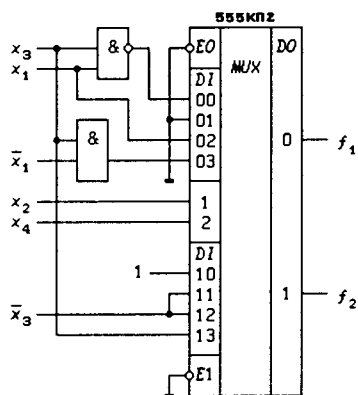


Рис. 6.46

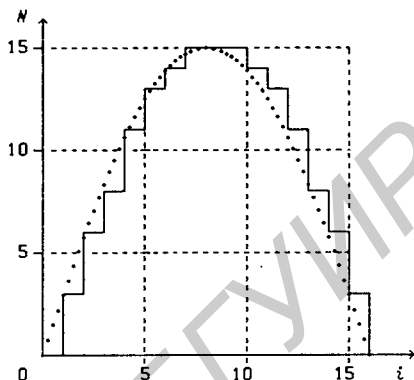


Рис. 6.47

Таблица 6.8. Таблица истинности генератора функции  $\sin y$ 

$i$	$x_4 x_3 x_2 x_1$	$f_4 f_3 f_2 f_1$	$N$	$15 \sin(i\pi/16)$
0	0 0 0 0	0 0 0 0	0	0
1	0 0 0 1	0 0 1 1	3	2,926
2	0 0 1 0	0 1 1 0	6	5,740
3	0 0 1 1	1 0 0 0	8	8,334
4	0 1 0 0	1 0 1 1	11	10,607
5	0 1 0 1	1 1 0 1	13	12,472
6	0 1 1 0	1 1 1 0	14	13,858
7	0 1 1 1	1 1 1 1	15	14,712
8	1 0 0 0	1 1 1 1	15	15,000
9	1 0 0 1	1 1 1 1	15	14,712
10	1 0 1 0	1 1 1 0	14	13,858
11	1 0 1 1	1 1 0 1	13	12,472
12	1 1 0 0	1 0 1 1	11	10,607
13	1 1 0 1	1 0 0 0	8	8,334
14	1 1 1 0	0 1 1 0	6	5,740
15	1 1 1 1	0 0 1 1	3	2,926



$x_4$				$f_4$
$x_2$	1	0	1	0
	1	0	1	1
	1	1	1	0
	1	1	1	0
$x_3$				$x_1$

$x_4$				$f_3$
$x_2$	1	1	1	1
	1	0	1	0
	1	0	1	0
	1	0	0	0
$x_3$				$x_1$

$x_4$				$f_2$
$x_2$	1	1	1	1
	0	1	1	0
	1	0	0	1
	1	1	1	0
$x_3$				$x_1$

$x_4$				$f_1$
$x_2$	0	0	0	0
	1	1	1	0
	1	0	1	1
	1	1	1	0
$x_3$				$x_1$

Рис. 6.48

Схема генератора, выполненная на основании этих функций, показана на рис. 6.49.

**Синтез триггеров на мультиплексах.** Синтез асинхронных потенциальных триггеров на мультиплексах основан на том, что они представляют собой КС с обратными связями (см. § 3.3). Из сравнения (6.5) с функцией переходов  $D$ - $L$ -триггера (3.15) видно, что если положить  $DO = Q^+$ ,  $DI_0 = Q$ ,  $DI_1 = D$  и  $x_1 = L$ , то из мультиплекса 2  $\rightarrow$  1 получится асинхронный потенциальный  $D$ - $L$ -триггер, описываемый функцией переходов

$$Q^+ = D \cdot L \vee Q \cdot \bar{L}.$$

Мультиплексор 2  $\rightarrow$  1 со стробированием выполняет функцию

$$DO = E(DI_0 \bar{x}_1 \vee DI_1 x_1),$$

а асинхронный потенциальный  $D$ - $L$ - $R$ -триггер описывается функцией переходов (3.21)

$$Q^+ = (D \cdot L \vee Q \cdot \bar{L}) \bar{R}.$$

Структура приведенных функций одинакова, а значит, на мультиплексе 2  $\rightarrow$  1 со стробирующим входом  $E$  можно выполнить асинхронный потенциальный  $D$ - $L$ - $R$ -триггер. На рис. 6.50,а показана схема  $D$ - $L$ - $R$ -триггера с прямым входом загрузки  $L$ , а на рис. 6.50,б — с инверсным входом загрузки  $\bar{L}$ . Схемы выполнены на основе одного и того же мультиплекса 2  $\rightarrow$  1. Условные графические обозначения этих триггеров показаны на рис. 6.50,в.

**Синтез счетчиков на мультиплексах.** Синхронные триггеры и асинхронные потенциальные счетчики могут быть синтезированы на асинхронных потенциальных триггерах (см. §§ 3.6 и 3.4). На рис. 6.51,а приведена схема асинхронного потенциального счетчика

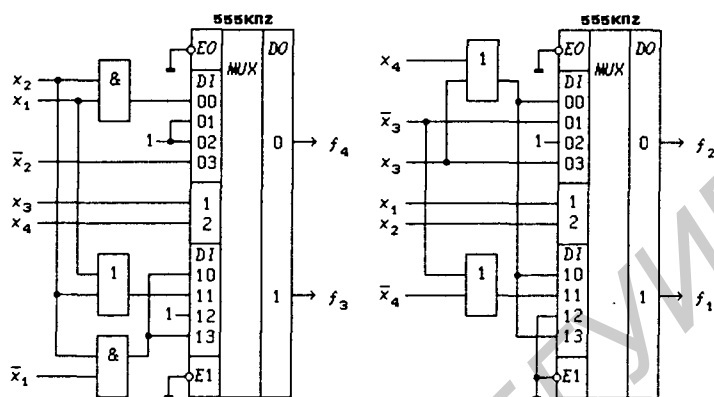


Рис. 6.49

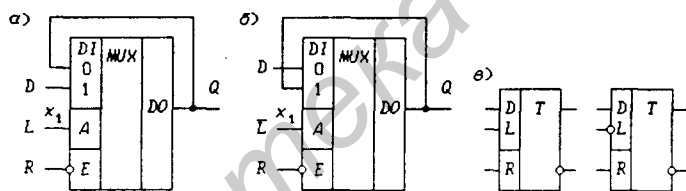


Рис. 6.50

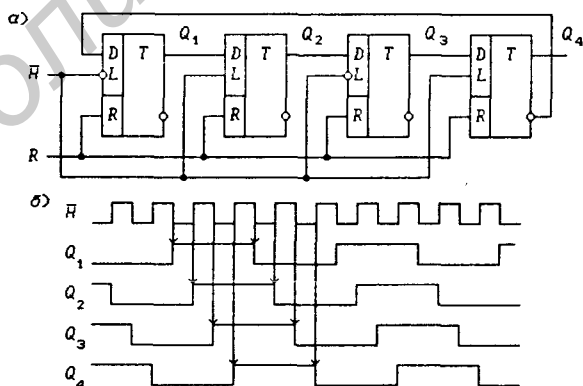


Рис. 6.51

по  $mod 4$ , выполненная на четырех  $D-L-R$ -триггерах. Если эту схему разделить на две части, состоящие из триггеров  $Q_1, Q_2$  и  $Q_3, Q_4$ , то каждая из них будет представлять собой синхронные  $D$ -триггеры. Такие триггеры легко могут быть синтезированы по структурной схеме, приведенной на рис. 3.52,а, если вместо двух элементов задержки  $D$  использовать два асинхронных потенциальных  $D-L$ -триггера.

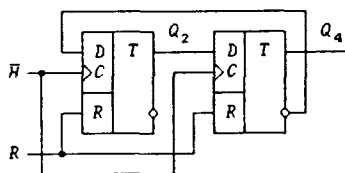


Рис. 6.52

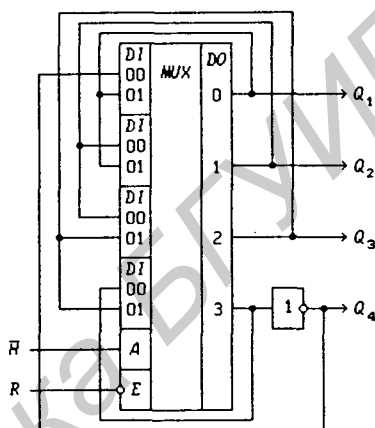


Рис. 6.53

Синтез счетчика по  $mod 4$ , показанного на рис. 6.51,а, как синхронного автомата, выходами которого являются сигналы  $Q_2$  и  $Q_4$ , может быть проведен методом, изложенным в § 4.5. Схема же на рис. 6.51,а названа асинхронным потенциальным счетчиком в силу того, что ее выходами являются и сигналы  $Q_1$  и  $Q_3$ . Временные диаграммы на рис. 6.51,б поясняют работу этого счетчика. Из рис. 6.51,б видно, что состояние триггеров  $Q_2$  и  $Q_4$  изменяется при изменении сигнала  $H$  с 1 на 0 (при  $dH = 1$ ). Эквивалентный счетчик по  $mod 4$ , выполненный на  $D/R$ -триггерах и имеющий только выходы  $Q_2$  и  $Q_4$ , приведен на рис. 6.52. На рис. 6.53 показана схема асинхронного потенциального счетчика, выполненная на 4-разрядном мультиплексоре  $2 \rightarrow 1$ .

## 6.5. Аналоговые ключи и мультиплексоры-демультиплексоры

Принцип построения аналоговых ключей был рассмотрен в § 5.2 (см. рис. 5.20). Эти ключи выполняются по КМОП-технологии и позволяют создавать схемы с двунаправленной передачей сигналов, представленных как в аналоговой, так и в цифровой форме. Выпускаемые в интегральном исполнении аналоговые ключи пригодны для коммутации и двуполярных аналоговых сигналов. Ключ управляется цифровым сигналом

$OE$  (*Output Enable*), переводящим его в открытое ( $OE = 1$ ) или закрытое состояние ( $OE = 0$ ). В открытом состоянии сопротивление  $R_{ON}$  ключа мало — от единиц до сотен Ом ( $On$  — включено), а в выключенном состоянии сопротивление  $R_{OFF}$  ключа велико — от десятков до сотен МОм ( $Off$  — выключено).

**Аналоговые ключи.** На рис. 6.54 приведены аналоговые ключи  $SW$  (*Switch* — ключ):

176КТ1, 561КТ3, 74НС4016, 74НС4066 — четыре аналоговых ключа, различающиеся величиной  $R_{ON}$  и видом передаточной функции (при  $OE = 1$  ключ открыт, при  $OE = 0$  ключ закрыт);

74НС4316 — четыре аналоговых ключа (при  $OE_i \cdot OE = 1$  соответствующий ключ открыт, при  $OE_i \cdot OE = 0$  — ключ закрыт,  $i = 0, 1, 2, 3$ ).

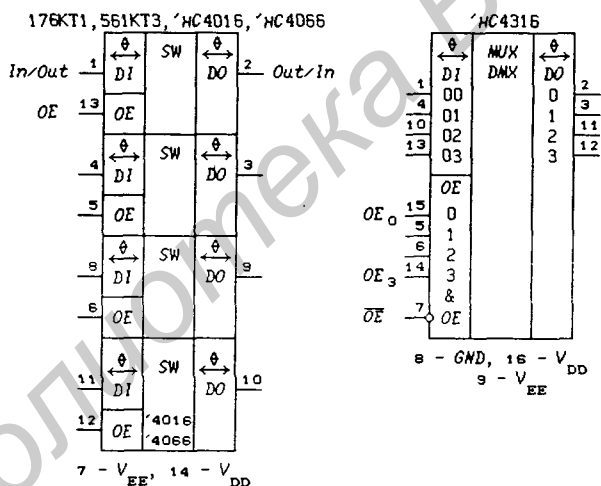


Рис. 6.54

Для аналоговых ключей входы и выходы неразличимы, поэтому любой вход  $DI_i$  (*Data Input*) может служить выходом, а любой выход  $DO_i$  (*Data Output*) — входом.

Основными параметрами, характеризующими качество аналоговых ключей, являются сопротивление ключа в открытом состоянии  $R_{ON\text{тип}}$  и  $R_{ON\text{max}}$  (типичное и максимальное значения), время включения  $t_p$  и максимальный коммутируемый ток  $I_{AN\text{max}}$  (ток аналогового сигнала;  $AN$  — *Analog*). Для типовых аналоговых ключей и мультиплексов-демультиплексов

$I_{AN \max} = 10$  мА. Параметры некоторых ключей приведены в табл. П2.3.

Для обозначения питания аналоговых ключей используются обозначения:  $V_{DD} > 0$  и  $V_{EE} \leq 0$  В ( $V_{EE} = 0$  при коммутации цифровых и однополярных аналоговых сигналов). На величину коммутируемого аналогового сигнала накладывается ограничение:  $V_{EE} \leq V_{AN} \leq V_{DD}$ , где  $V_{AN}$  — напряжение аналогового сигнала. Напряжение питания  $V_{DD} = +3 \dots +15$ , но при этом всегда должно выполняться соотношение  $V_{DD} + |V_{EE}| \leq 15$  В.

Одной из важнейших характеристик аналоговых ключей является их линейность — степень независимости передаточной функции (величины сопротивления  $R_{ON}$ ) от уровня входного коммутируемого напряжения. Ключи можно считать линейными только при малых уровнях входного сигнала по сравнению с величиной напряжений питания  $V_{DD}$ ,  $|V_{EE}|$  и уровнями управляющего сигнала  $OE$ .

На рис. 6.55,а показана схема включения ИС 561КТЗ для коммутации двухполярных аналоговых сигналов с уровнями до  $\pm 5$  В. Цифровые управляющие сигналы обычно имеют КМОП-уровни, для коммутации же двухполярных аналоговых сигналов требуется переключение их уровней с  $V_{DD}$  на  $V_{EE} < 0$ . Для преобразования КМОП-уровней управляющих сигналов  $OE_i$  включена ИС 564УМ1, выходные сигналы  $F_i$  которой переключаются с  $V_{DD}$  на  $V_{EE}$  (если сигнал  $OE_i$  имеет уровень логической 1, то уровень сигнала  $F_i$  равен  $V_{DD}$ , а если сигнал  $OE_i$  имеет уровень логического 0, то уровень  $F_i$  равен  $V_{EE}$ ).

В структурных схемах удобно использовать упрощенное графическое изображение аналоговых ключей, показанное на рис. 6.55,б. Аналоговые ключи находят применение для коммутации резисторов и конденсаторов с целью изменения их величины в цепях между некоторыми двумя полюсами. На рис. 6.55,в показана схема коммутации резисторов в цепи между полюсами  $A$  и  $B$ . Сопротивление данной цепи определяется соотношением

$$R = \sum_{i=0}^3 R_i OE_i.$$

Такие схемы могут быть использованы для создания электронных аттенуаторов. Для коммутации конденсаторов в цепи между полюсами  $A$  и  $B$  используется схема, показанная на рис. 6.55,г. Емкость цепи между полюсами  $A$  и  $B$  определяется соотношением

$$C = \sum_{i=0}^3 C_i OE_i.$$

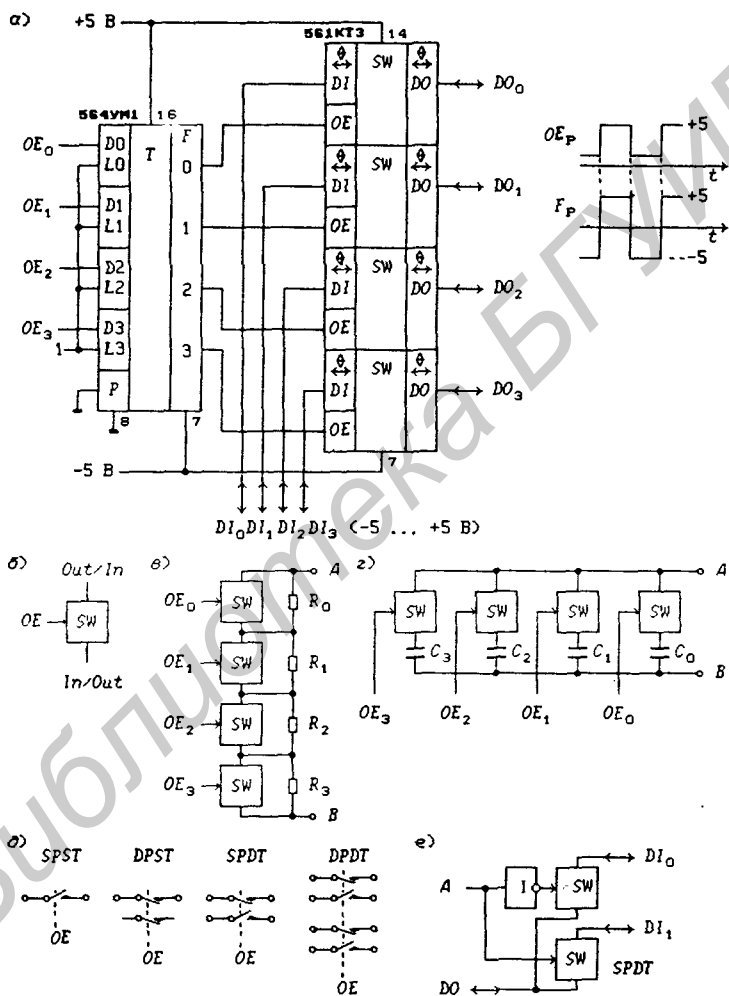


Рис. 6.55

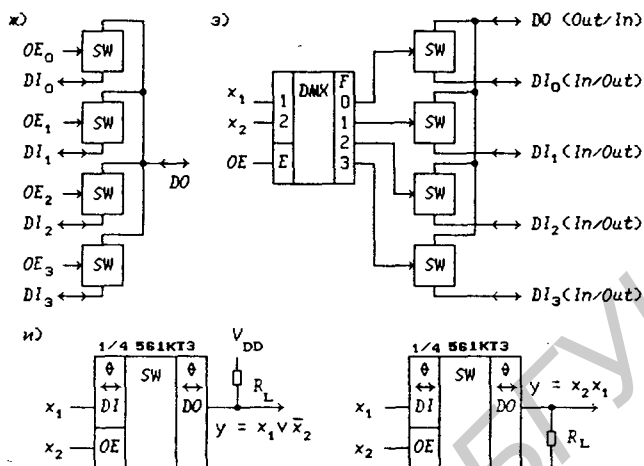


Рис. 6.55 (продолжение)

Классификация типов выпускаемых аналоговых ключей поясняется рис. 6.55, д:

*SPST* (*Single-pole single-throw*) — однополюсный выключатель,

*DPST* (*Double-pole single-throw*) — двухполюсный выключатель,

*SPDT* (*Single-pole double-throw*) — однополюсный переключатель на два положения,

*DPDT* (*Double-pole double-throw*) — двухполюсный переключатель на два положения.

Все аналоговые ключи, изображенные на рис. 6.54 принадлежат к типу *SPST*. На аналоговых ключах легко построить аналоговый мультиплексор-демультиплексор (*MUX-DMUX*), который может выполнять функции как мультиплексора, так и демультиплексора в силу двунаправленности передачи информации аналоговыми ключами. На рис. 6.55, е показана схема *MUX-DMUX* 1 → 2/2 → 1. Здесь также входы  $DI_i$  могут служить выходами, а выход  $DO$  — входом, если схема используется в качестве демультиплексора.

Схема *MUX-DMUX* 1 → 4/4 → 1 с независимым управлением ключами сигналами  $OE_i$  ( $i = 0, 1, 2, 3$ ) показана на рис. 6.55, ж. Управление данным *MUX-DMUX* должно производиться прямым унитарным кодом  $DI_3DI_2DI_1DI_0$ , только один разряд которого имеет активный уровень.

Схема *MUX-DMUX* 1 → 4/4 → 1 с адресными сигналами

$x_2$  и  $x_1$  приведена на рис. 6.55,з (значение сигнала  $OE = 0$  переводит все ключи в закрытое состояние). Для коммутации двупольярных аналоговых сигналов демультиплексор, формирующий управляющие сигналы  $F_i$ , должен содержать преобразователь уровней, подобный показанному на рис. 6.55,а. При коммутации цифровых сигналов  $MUX-DMUX 1 \rightarrow 4/4 \rightarrow 1$  описывается функциями:

$$DO = \begin{cases} \bigvee_{i=0}^3 DI_i x_2^{e_2} x_1^{e_1} & \text{при } OE = 1, i = e_2 e_1, \\ Z\text{-состояние} & \text{при } OE = 0 \end{cases} \quad (6.11)$$

при использовании  $MUX-DMUX$  в качестве мультиплексора и

$$DI_i = \begin{cases} DO \cdot \prod_{p=1}^2 x_p^{e_p} & \text{при } OE = 1, \\ Z\text{-состояние} & \text{при } OE = 0 \end{cases} \quad (6.12)$$

при использовании  $MUX-DMUX$  в режиме демультиплексора.

При желании аналоговые ключи можно использовать для выполнения элементарных переключательных функций ИЛИ и И. Способы включения ключей для этой цели представлены на рис. 6.55,и. Нагрузочные резисторы  $R_L$  обеспечивают необходимые логические уровни выходного сигнала  $y$  в  $Z$ -состоянии выхода  $DO$  ключей. Величина сопротивления  $R_L$  может составлять сотни кОм. Аналоговые ключи находят широкое применение в системах обработки аналоговой и цифровой обработки.

**Мультиплексоры-демультиплексоры.** Выпускаемые в интегральном исполнении  $MUX-DMUX$  строятся по принципу, показанному на рис. 6.55,з, и содержат встроенный преобразователь уровней управляющих сигналов. На рис. 6.56 приведены ИС:

561КП1, 74НС4052 — 2-разрядный  $MUX-DMUX 4 \rightarrow 1/1 \rightarrow 4$ ;

564КП2, 74НС4051 —  $MUX-DMUX 8 \rightarrow 1/1 \rightarrow 8$ ;

1561КП5 — три  $MUX-DMUX 2 \rightarrow 1/1 \rightarrow 2$  с независимой адресацией и общим сигналом включения  $\overline{OE}$ ;

СD4053В, 74НС4053 — три  $MUX-DMUX 2 \rightarrow 1/1 \rightarrow 2$  с независимыми адресными сигналами и общим сигналом включения  $\overline{OE}$ ;

СD4067В, 74НС4067 —  $MUX-DMUX 16 \rightarrow 1/1 \rightarrow 16$ ;

СD4097В — двухразрядный  $MUX-DMUX 8 \rightarrow 1/1 \rightarrow 8$ ;

МС14529В — двухразрядный  $MUX-DMUX 4 \rightarrow 1/1 \rightarrow 4$  с независимыми сигналами включения  $\overline{OE}_j, j = 1, 2$ ;



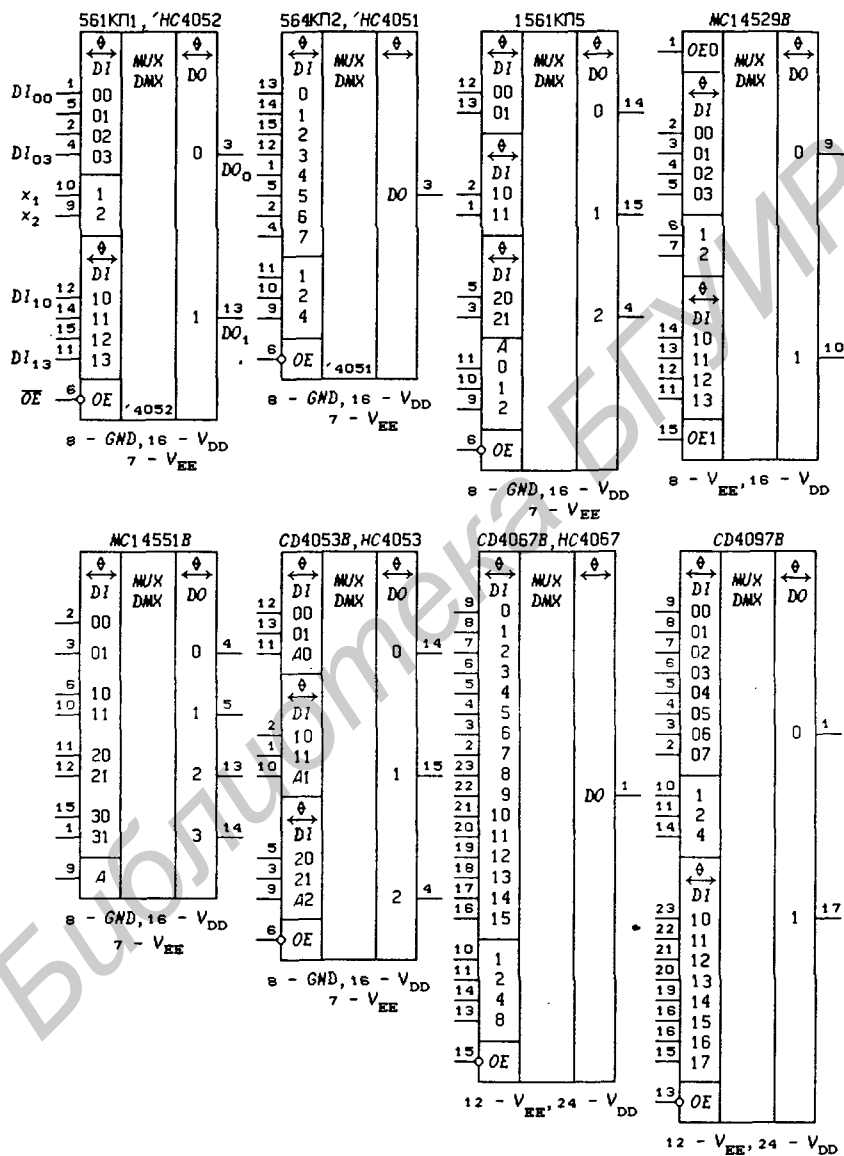


Рис. 6.56

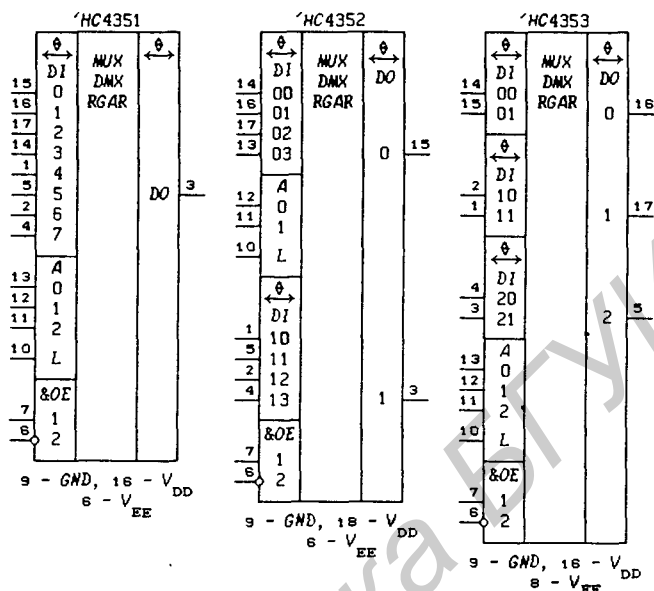


Рис. 6.56 (продолжение)

MC14551B — 4-разрядный MUX-DMUX 2 — 1/1 — 2;  
 74HC4351 — MUX-DMUX 8 — 1/1 — 8 с асинхронным потенциальным адресным регистром;  
 74HC4352 — двухразрядный MUX-DMUX 4 — 1/1 — 4 с асинхронным потенциальным адресным регистром;  
 74HC4353 — три MUX-DMUX 2 — 1/1 — 2 с асинхронным потенциальным адресным регистром. независимой адресацией и общим сигналом включения  $OE = OE_1 OE_2$ .

Все MUX-DMUX описываются соотношениями, подобными (6.11) и (6.12), при использовании их для коммутации цифровых сигналов. Независимая адресация каналов в ИС 1561КП5 и 74HC4353 описывается соотношением:

$$DO_j = \begin{cases} DI_{j0} \bar{A}_j \vee DI_{j1} A_j & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1. \end{cases}$$

Адресные регистры в ИС 74HC4351, 74HC4352 и 74HC4353 описываются функцией переходов

$$Q_r^+ = A_r L \vee Q_r \bar{L},$$

где  $r$  — номер триггера в адресном регистре.

На величину коммутируемого аналогового сигнала накладывается ограничение:  $V_{EE} \leq V_{AN} \leq V_{DD}$ , где  $V_{AN}$  — допустимые значения аналогового сигнала. Напряжение питания  $V_{DD} = +3 \dots +15$ , но при этом всегда должно выполняться соотношение  $V_{DD} + |V_{EE}| \leq 15$  В.

Двухразрядный  $MUX-DMUX$   $4 \rightarrow 1/1 \rightarrow 4$ , например 561КП1, можно включить так, что один разряд будет работать как мультиплексор, а другой — как демультиплексор. Если же у ИС 561КП1 соединить выводы 3 и 13, то получится 4-разрядный адресуемый ключ (вывод  $DI_0$ ; соединяется с выводом  $DI_i$ ; при подаче на адресные входы числа  $i$ , а при подаче числа  $j \neq i$  оба ключа, соединяющих вывод  $DI_0$ ; с выводом  $DI_i$ , разомкнуты).

**Аналоговые ключи и мультиплексоры-демультиплексоры серий 590 и 591.** На рис. 6.57 показаны аналоговые ключи и мультиплексоры-демультиплексоры для цифровых и аналоговых сигналов серии 590, выполняющие функции:

590КН1 —  $MUX-DMUX$   $8 \rightarrow 1/1 \rightarrow 8$  ( $V_{DD} = +5$  В,  $V_{EE} = -15$  В);

590КН2, 590КН10, 590КН13 — четыре аналоговых ключа типа  $SPST$  (при  $\overline{OE} = 0$  ключ открыт, при  $\overline{OE} = 1$  ключ закрыт;  $V_{DD} = +12$  В,  $V_{EE} = -12$  В — для КН2 и КН10 и  $V_{DD} = +15$  В,  $V_{EE} = -15$  В — для КН13);

590КН3 — двухразрядный  $MUX-DMUX$   $4 \rightarrow 1/1 \rightarrow 4$  ( $V_{DD} = +15$  В,  $V_{EE} = -15$  В);

590КН4 — два аналоговых ключа типа  $SPDT$  (при  $A = 0$  включен канал 0, а канал 1 закрыт; при  $A = 1$  включен канал 1, а канал 0 закрыт; если соединить выводы 5 и 9, то получится  $MUX-DMUX$   $2 \rightarrow 1/1 \rightarrow 2$  — ключ типа  $SPDT$ ;  $V_{DD} = +15$  В,  $V_{EE} = -15$  В);

590КН5 — то же, что и 590КН2, но для больших значений коммутируемых напряжений ( $V_{DD} = +15$  В,  $V_{EE} = -15$  В);

590КН6 —  $MUX-DMUX$   $8 \rightarrow 1/1 \rightarrow 8$  ( $V_{CC} = +5$  В,  $V_{DD} = +15$  В,  $V_{EE} = -15$  В);

590КН7 — аналоговый ключ типа  $DPDT$  (при  $A = 0$  замкнуты ключи 00 и 10, а при  $A = 1$  замкнуты ключи 01 и 11; если соединить выводы 3 и 1, то получится  $MUX-DMUX$   $2 \rightarrow 1/1 \rightarrow 2$ ;  $V_{DD} = +15$  В,  $V_{EE} = -15$  В);

590КН9 — два низкоомных аналоговых ключа типа  $SPST$  ( $V_{DD} = +15$  В,  $V_{EE} = -15$  В);

590КН12 — четыре аналоговых ключа типа  $SPST$  с асинхронным потенциальным адресным регистром, описываемым

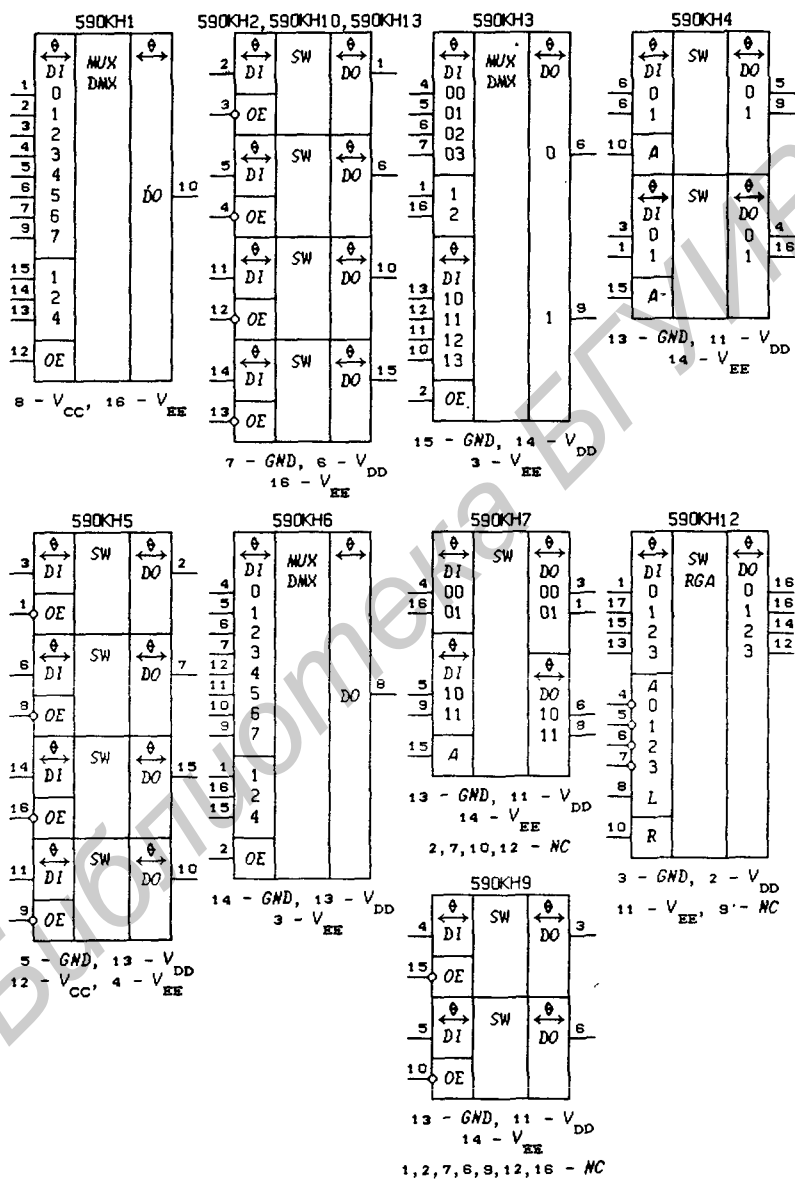


Рис. 6.57

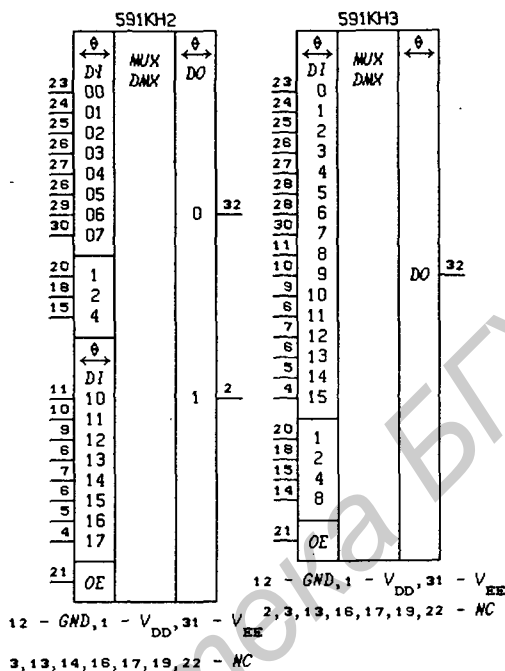


Рис. 6.57 (продолжение)

Таблица 6.9. Основные параметры ИС серий 590/591

ИС	$R_{ON}$ , Ом (max)	$V_{AN}$ , В (max)	$t_{ON}$ , мкс (max)	$I_{AN}$ , мА (max)	$I_{DD}$ , мА (max)
590KH1	200	±5	0,5	10	3,5
590KH2	100	±10	0,5	10	1
590KH3	300	±15	0,3	1	1
590KH4	75	±15	0,15	1	0,2
590KH5	70	±15	0,25	20	0,05
590KH6	300	±15	0,3	1	1
590KH7	30	±15	0,3	20	0,2
590KH9	10	±15	0,5	50	0,3
590KH10	200	±1	0,1	5	3
590KH12	50	±15	0,3	20	3
590KH13	50	±15	0,05	20	6
591KH2	300	±15	0,3	20	1
591KH3	270	±15	0,3	20	1

соотношением

$$Q_r^+ = (A_r L \vee Q_r \bar{L}) \cdot \bar{R},$$

где  $r$  — номер триггера в адресном регистре ( $V_{DD} = +15$  В,  $V_{EE} = -15$  В);

591КН2 — двухразрядный  $MUX-DMUX$   $8 \rightarrow 1/1 \rightarrow 8$  ( $V_{DD} = +15$  В,  $V_{EE} = -15$  В);

591КН3 —  $MUX-DMUX$   $16 \rightarrow 1/1 \rightarrow 16$  ( $V_{DD} = +15$  В,  $V_{EE} = -15$  В).

Ключи 590КН10 характеризуются малой амплитудой выбросов напряжения на аналоговых выходах при изменении управляющего сигнала, а ключи 590КН13 — высоким быстродействием. Основные параметры аналоговых ключей и мультиплексоров-демультиплексоров серий 590 и 591 приведены в табл. 6.9 ( $t_{ON}$  — время включения,  $I_{DD}$  — ток потребления от источника питания  $V_{DD}$  или  $V_{CC}$ ).

## 6.6. Шифраторы

Дешифраторы (6.1) являются преобразователями двоичного  $n$ -разрядного кода в унитарный  $2^n$ -разрядный код, все разряды которого, за исключением одного, равны нулю. Шифраторы выполняют обратное преобразование, т. е. на вход шифратора подается унитарный код, а на выходе получается соответствующий двоичный код. Первые четыре строки табл. 6.10 описывают шифратор, выполняющий преобразование 4-разрядного унитарного кода  $I_3 I_2 I_1 I_0$  в двухразрядный двоичный код  $A_1 A_0$ . Для шифраторов должно выполняться условие  $I_i \cdot I_j = 0$  при  $i \neq j$ .

Таблица 6.10. Приоритетный шифратор  $4 \times 2$

$I_3$	$I_2$	$I_1$	$I_0$	$A_1$	$A_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1
0	0	0	1	0	0
0	0	1	Φ	0	1
0	1	Φ	Φ	1	0
1	Φ	Φ	Φ	1	1

Если сигналы на входы  $I_i$  поступают от независимых источников, то это условие невыполнимо. В этом случае каждому входу назначается свой приоритет. Будем считать, что чем больше номер входа  $i$ , тем выше его приоритет. Шифратор должен выдавать двоичный код числа  $i$ , если  $I_i = 1$ , а на все входы  $I_j$ , имеющие бóльший приоритет, поданы нули. Такие шифраторы называются *приоритетными шифраторами* (*PRCD*). Табл. 6.10 задает приоритетный шифратор  $4 \times 2$ .

**Приоритетные шифраторы.** Приоритетные шифраторы используются для построения шифраторов клавиатуры, контроллеров прерываний для микроЭВМ и т. п. Функционирование приоритетного шифратора  $8 \times 3$  555ИВ1 (рис. 6.58) описывается табл. 6.11. Входные и выходные сигналы шифратора имеют назначение:

$EI$  (*Enable Input*) — сигнал включения шифратора,

$GS$  (*Group Signal*) — сигнал, говорящий о наличии хотя бы одного возбужденного входа  $I_i$  при включенном состоянии шифратора ( $GS = 1$  при  $I_i = 1$  хотя бы для одного  $i$  при  $EI = 1$ ),

$EO$  (*Enable Output*) — выходной сигнал разрешения, указывающий на отсутствие возбужденных входов  $I_i$  при включенном состоянии шифратора ( $EO = 1$  при  $EI = 1$  и  $I_i = 0$  для всех  $i$ ),

$A_2, A_1, A_0$  — три разряда выходного двоичного кода.

Сигналы  $EI$  и  $EO$  предназначены для каскадирования приоритетных шифраторов. Понятно, что двоичный код  $A = A_2A_1A_0$  можно считать только при значении сигнала  $GS = 1$  (сигнал  $GS$  может быть использован в микроЭВМ для запроса прерываний по вектору  $A$ ).

Непосредственная строчная запись значений функций по табл. 6.11 дает:

$$GS = EI \bigvee_{i=0}^7 I_i, \quad EO = EI \prod_{i=0}^7 \bar{I}_i, \quad A_2 = EI \bigvee_{i=4}^7 I_i, \quad GS = EI \cdot \overline{EO},$$

$$A_1 = EI \cdot (I_7 \vee \bar{I}_7 \bar{I}_6 \vee \bar{I}_7 \bar{I}_6 \bar{I}_5 \bar{I}_4 I_3 \vee \bar{I}_7 \bar{I}_6 \bar{I}_5 \bar{I}_4 \bar{I}_3 I_2),$$

$$A_0 = EI \cdot (I_7 \vee \bar{I}_7 \bar{I}_6 I_5 \vee \bar{I}_7 \bar{I}_6 \bar{I}_5 \bar{I}_4 I_3 \vee \bar{I}_7 \bar{I}_6 \bar{I}_5 \bar{I}_4 \bar{I}_3 \bar{I}_2 I_1). \quad (6.13)$$

Функции  $A_1$  и  $A_0$  на основании тождеств (1.32) могут быть упрощены:

$$A_1 = EI \cdot (I_7 \vee I_6 \vee \bar{I}_5 \bar{I}_4 I_3 \vee \bar{I}_5 \bar{I}_4 I_2),$$

$$A_0 = EI \cdot (I_7 \vee \bar{I}_6 I_5 \vee \bar{I}_7 \bar{I}_6 \bar{I}_5 \bar{I}_4 I_3 \vee \bar{I}_7 \bar{I}_6 \bar{I}_5 \bar{I}_4 \bar{I}_3 \bar{I}_2 I_1).$$

Проведенный синтез приоритетного шифратора позволяет глубже понять функции, им выполняемые. Все выпускаемые в

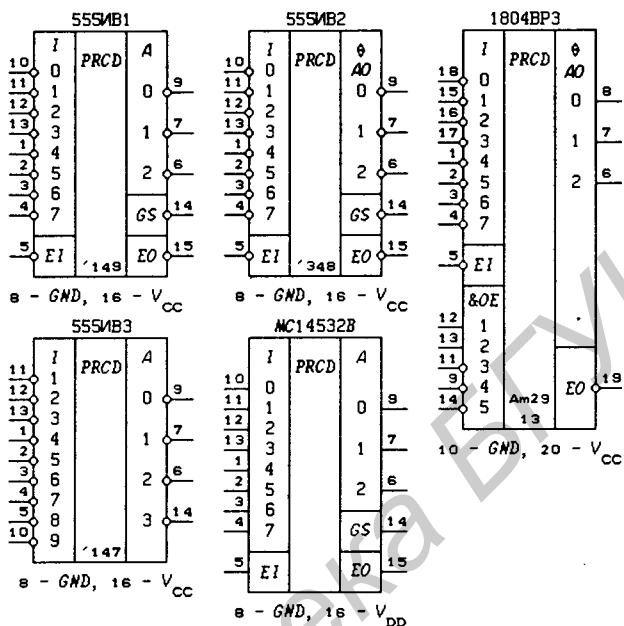


Рис. 6.58

Таблица 6.11. Приоритетный шифратор 8×3 555ИВ1

$EI$	$I_7$	$I_6$	$I_5$	$I_4$	$I_3$	$I_2$	$I_1$	$I_0$	$A_2$	$A_1$	$A_0$	$GS$	$EO$
0	Φ	Φ	Φ	Φ	Φ	Φ	Φ	Φ	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	0	0	1	Φ	0	1	0	1	0
1	0	0	0	0	1	Φ	Φ	Φ	0	1	1	1	0
1	0	0	0	1	Φ	Φ	Φ	Φ	1	0	0	1	0
1	0	0	1	Φ	Φ	Φ	Φ	Φ	1	0	1	1	0
1	0	1	Φ	Φ	Φ	Φ	Φ	Φ	1	1	0	1	0
1	1	Φ	Φ	Φ	Φ	Φ	Φ	Φ	1	1	1	1	0



интегральном исполнении приоритетные шифраторы  $8 \times 3$  строятся на основании полученных функций.

На рис. 6.58 приведены ИС:

555ИВ1, МС14532В — приоритетные шифраторы  $8 \times 3$ , выполняющие функции (6.13);

555ИВ2 — приоритетный шифратор  $8 \times 3$  с Z-состоянием выходов разрядов двоичного кода;

555ИВ3 — приоритетный шифратор  $10 \times 4$ ;

1804ВР3 — приоритетный шифратор  $8 \times 3$  с Z-состоянием выходов разрядов двоичного кода.

У шифратора 555ИВ1 все входы и выходы инверсные по отношению к указанным в табл. 6.11, т.е. активные уровни этих сигналов равны 0. Реализация выходов с Z-состоянием ИС 1804ВР1 и 555ИВ2 представлена на рис. 6.59:

$$OE = OE_1 OE_2 OE_3 OE_4 OE_5 \text{ — для ИС } 1804ВР3,$$

$$OE = EI \cdot \bigvee_{i=0}^7 I_i \text{ — для ИС } 555ИВ2.$$

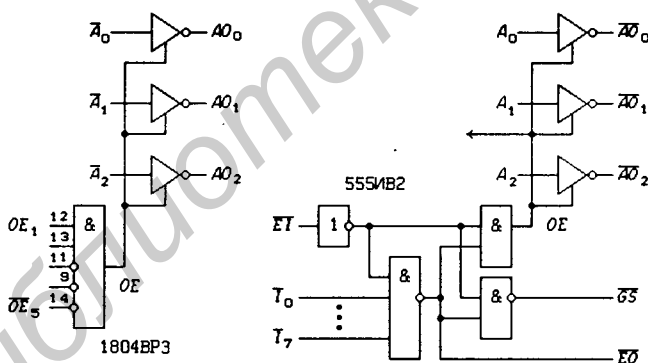


Рис. 6.59

Функционирование приоритетного шифратора  $10 \times 4$  555ИВ3 описывается табл. 6.12. Как и для предыдущего шифратора, по табл. 6.12 с помощью построчной записи значений функций и последующей их минимизации на основании тождеств (1.32) можно получить:

$$A_3 = I_9 \vee I_8, \quad A_2 = \bar{I}_9 \bar{I}_8 (I_7 \vee I_6 \vee I_5 \vee I_4),$$

$$A_1 = \bar{I}_9 \bar{I}_8 (I_7 \vee I_6 \vee \bar{I}_5 \bar{I}_4 I_3 \vee \bar{I}_5 \bar{I}_4 I_2),$$

$$A_0 = I_9 \vee \bar{I}_9 \bar{I}_8 (I_7 \vee \bar{I}_6 I_5 \vee \bar{I}_6 \bar{I}_4 I_3 \vee \bar{I}_6 \bar{I}_4 I_2 I_1)$$

Таблица 6.12. Приоритетный шифратор  $10 \times 4$  555ИВЗ

$I_9$	$I_8$	$I_7$	$I_6$	$I_5$	$I_4$	$I_3$	$I_2$	$I_1$	$A_3$	$A_2$	$A_1$	$A_0$
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	1	Ф	0	0	1	0
0	0	0	0	0	0	1	Ф	Ф	0	0	1	1
0	0	0	0	0	1	Ф	Ф	Ф	0	1	0	0
0	0	0	0	1	Ф	Ф	Ф	Ф	0	1	0	1
0	0	0	1	Ф	Ф	Ф	Ф	Ф	0	1	1	0
0	0	1	Ф	Ф	Ф	Ф	Ф	Ф	0	1	1	1
0	1	Ф	Ф	Ф	Ф	Ф	Ф	Ф	1	0	0	0
1	Ф	Ф	Ф	Ф	Ф	Ф	Ф	Ф	1	0	0	1

(в принципе в выражении для функции  $A_0$  переменную  $\bar{I}_9$  можно исключить).

**Каскадирование приоритетных шифраторов.** На рис. 6.60 показана схема приоритетного шифратора  $16 \times 4$  (наивысший приоритет имеет вход  $\bar{I}_{15}$ ). Верхний шифратор включается только в том случае, если не возбужден ни один из входов  $\bar{I}_i$  нижнего шифратора (все  $\bar{I}_i = 1$ ). Четвертый разряд  $A_3$  двоичного числа может быть снят также с выхода  $\overline{GS}$  верхнего шифратора. Логические элементы И-НЕ выполняют функцию ИЛИ для сигналов  $\overline{A_3}$  и  $\overline{GS}$  двух шифраторов. Так, например, сигнал

$$INT = \overline{\overline{GS_1} \overline{GS_2}} = GS_1 \vee GS_2$$

( $INT = 1$  только в том случае, если возбужден хотя бы один вход  $\bar{I}_0 - \bar{I}_{15}$ ;  $INT$  — Interrupt Request — запрос прерывания).

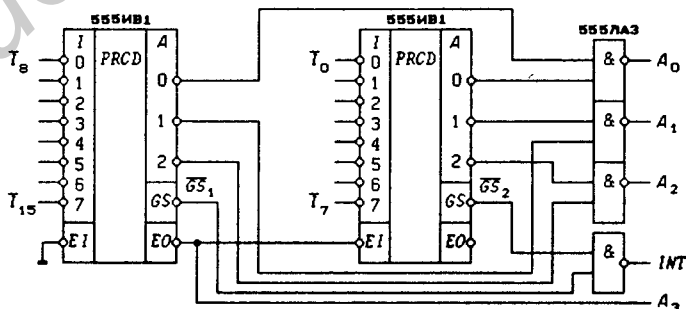


Рис. 6.60

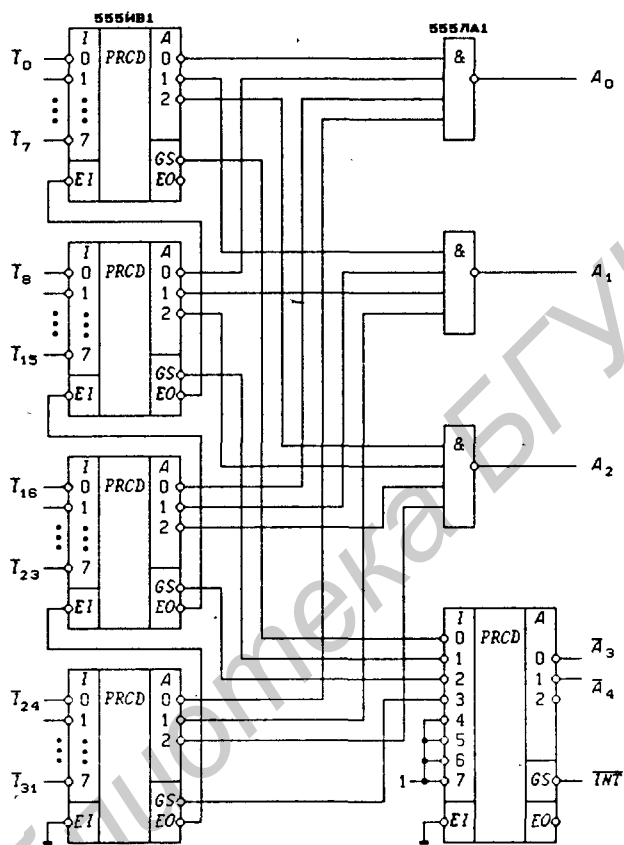


Рис. 6.61

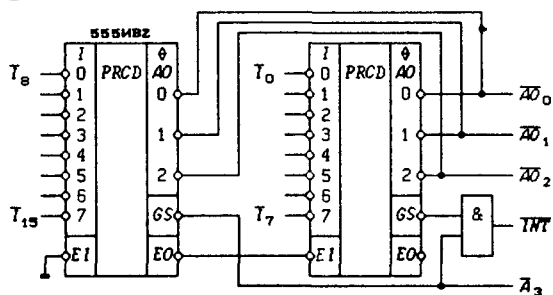


Рис. 6.62

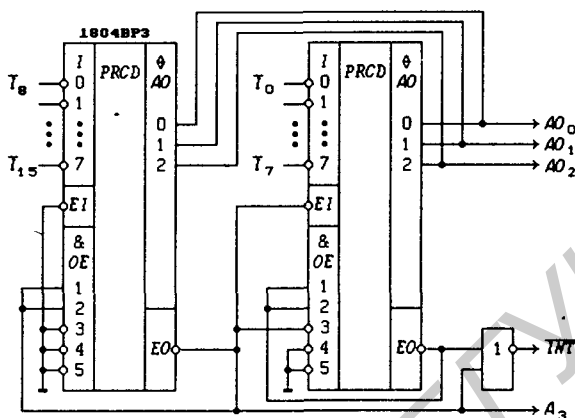


Рис. 6.63

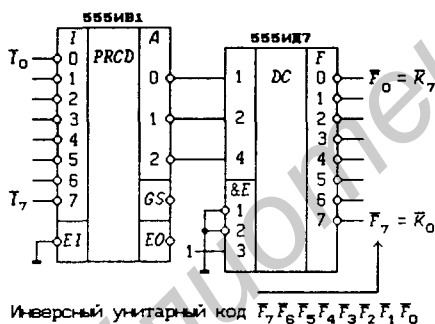


Рис. 6.64

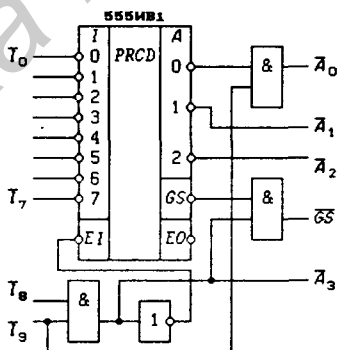


Рис. 6.65

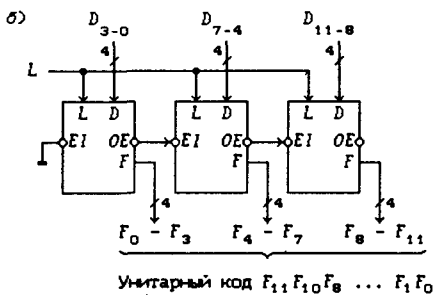
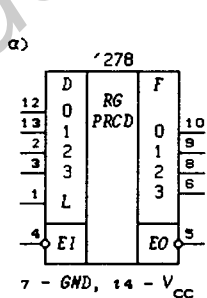


Рис. 6.66

На рис. 6.61 показана схема приоритетного шифратора  $32 \times 5$  (наивысший приоритет имеет вход  $\bar{I}_{31}$ ), которая может быть расширена до схемы приоритетного шифратора  $64 \times 6$  добавлением еще четырех ИС 155ИВ1 и заменой 4-входовых ЛЭ И-НЕ на 8-входовые.

Приоритетный шифратор  $8 \times 3$  555ИВ2 имеет выходы  $A_j$  с тремя состояниями, что позволяет использовать при каскадировании этих ИС функцию монтажное ИЛИ, исключив тем самым ЛЭ И-НЕ (рис. 6.62).

Приоритетный шифратор 1804ВР3 разработан для расширения контроллеров прерывания, используемых в микроЭВМ, построенных на базе микропрограммируемых секционных (разрядно-модульных) микропроцессоров серии 1804 [46]. Однако их можно использовать и для других целей, например в шифраторах клавиатуры. На рис. 6.63 показан способ каскадирования приоритетных шифраторов 1804ВР3.

**Применения приоритетных шифраторов.** Одним из важных приложений приоритетных шифраторов является построение на их основе преобразователей произвольного  $n$ -разрядного кода в  $n$ -разрядный унитарный код. Схема преобразователя произвольного 8-разрядного кода, для разрядов которого установлены определенные уровни приоритетов, в 8-разрядный унитарный код показана на рис. 6.64. Шифратор 555ИВ1 преобразует произвольный код  $\bar{I}_7\bar{I}_6 \dots \bar{I}_0$  в двоичный 3-разрядный код, а дешифратор  $3 \times 8$  (ИС 555ИД7) преобразует этот код в инверсный унитарный код  $\bar{F}_7\bar{F}_6 \dots \bar{F}_0$ . Такие преобразователи используются в контроллерах системных шин микропроцессорных систем.

На рис. 6.65 показано преобразование приоритетного шифратора  $3 \times 8$  в приоритетный шифратор  $4 \times 10$ .

Приоритетные регистры памяти могут быть построены на основе асинхронного потенциального регистра памяти и приоритетного шифратора. Приоритетный 4-разрядный регистр памяти 74278 (рис. 6.66,а) описывается функциями

$$Q_r^+ = D_r L \vee Q_r \bar{L}, \quad E_0 = EI \cdot \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \quad F_0 = EI \cdot Q_0, \\ F_1 = EI \cdot Q_1 \bar{Q}_0, \quad F_2 = EI \cdot Q_2 \bar{Q}_1 \bar{Q}_0, \quad F_3 = EI \cdot Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0,$$

где  $r = 0, 1, 2, 3$ . Сигналы  $EI$  и  $E_0$  предназначены для каскадирования приоритетных регистров памяти.

Принцип каскадирования приоритетных регистров памяти показан на рис. 6.66,б. Приведенная схема представляет собой преобразователь произвольного кода  $D_{11}D_{10} \dots D_0$  в прямой унитарный код  $F_{11}F_{10} \dots F_0$ .

## 6.7. Цифровые компараторы

Пусть заданы две совокупности переменных

$$\nu' = (x_n, \dots, x_p, \dots, x_1) \text{ и } \nu'' = (y_n, \dots, y_p, \dots, y_1).$$

Так как  $x_p = 0$  или 1 и  $y_p = 0$  или 1, то каждая из совокупностей переменных  $\nu'$  и  $\nu''$  имеет по  $2^n$  комбинаций значений. Для краткости такие совокупности значений переменных принято называть кодами, а величины  $x_p$  и  $y_p$  — разрядами кодов. Комбинационная схема, реализующая функцию  $f(\nu) = f(\nu', \nu'')$ , где  $\nu = (x_n, \dots, x_1, y_n, \dots, y_1)$ , которая равна 1 только при  $x_p = y_p$  для всех  $p = 1, 2, \dots, n$ , называется  $n$ -разрядным *цифровым компаратором*, или схемой равнозначности кодов. Разряды  $x_p$  и  $y_p$  равны только в том случае, если  $x_p \oplus \bar{y}_p = 1$ , поэтому функция

$$f(\nu) = \prod_{p=1}^n (x_p \oplus \bar{y}_p) = \prod_{p=1}^n \overline{x_p \oplus y_p} = \overline{\bigvee_{p=1}^n x_p \oplus y_p} \quad (6.14)$$

принимает значение, равное 1, только при попарном равенстве всех одноименных разрядов кодов. На рис. 6.67,а,б показаны две схемы, реализующие функцию  $f(\nu)$ , которые построены для  $n = 4$  на основании полученного выражения. Цифровой компаратор значительно упрощается при использовании ЛЭ сумма по модулю два с открытым коллекторным выходом (рис. 6.67,в), позволяющих реализовать функцию “монтажное И” для высоких уровней выходных сигналов ЛЭ.

На рис. 6.67,г показан стробируемый 4-разрядный компаратор, выполняющий функцию

$$f(\nu) = E \cdot \prod_{p=1}^4 \overline{x_p \oplus y_p},$$

где  $E$  (*Enable*) — стробирующий сигнал. Сигнал управления  $E$  можно использовать как для блокирования (выключения) функции сравнения, так и для каскадирования компараторов (рис. 6.67,д). На рис. 6.67,е изображен каскадируемый компаратор, полученный на основе схемы, показанной на рис. 6.67,б (при каскадировании выход  $\bar{f}$  одного компаратора подается на вход  $\bar{E}$  другого компаратора; таким способом последовательно можно соединять любое число компараторов).

Стробируемый  $n$ -разрядный компаратор можно построить на демультимплексоре  $1 \rightarrow 2^n$  и мультимплексоре  $2^n \rightarrow 1$ . На рис.

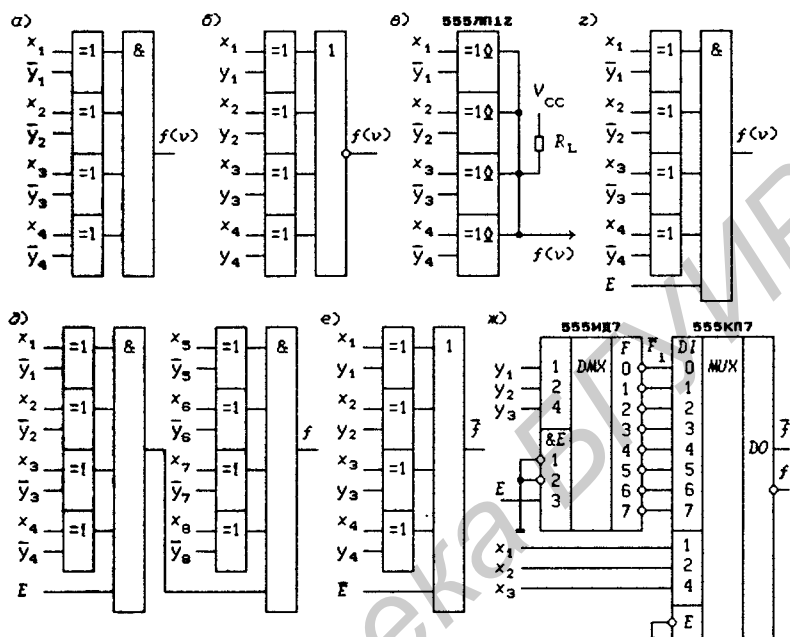


Рис. 6.67

6.67, ж изображена КС, описываемая функцией

$$f(\nu) = \overline{DO} = \bigvee_{i=0}^7 \overline{DI}_i K_i(\nu) = \bigvee_{i=0}^7 F_i K_i(\nu),$$

где  $\nu = (x_3, x_2, x_1)$  — адресные сигналы каналов мультиплектора,  $K_i(\nu) = x_3^{e_3} x_2^{e_2} x_1^{e_1}$ ,  $i = e_3 e_2 e_1$  — адрес канала,  $F_i = E \cdot y_3^{e_3} y_2^{e_2} y_1^{e_1}$ . На этом основании легко показать, что КС выполняет функцию

$$f(\nu) = E \cdot \bigvee_{i=0}^7 y_3^{e_3} y_2^{e_2} y_1^{e_1} x_3^{e_3} x_2^{e_2} x_1^{e_1} = E \cdot \overline{x_3 \oplus y_3} \oplus \overline{x_2 \oplus y_2} \oplus \overline{x_1 \oplus y_1},$$

т. е. КС представляет собою 3-разрядный стробируемый компаратор. Действительно, на основании свойств первичных термов и минтермов функция

$$f(\nu) = \begin{cases} \bigvee_{i=0}^7 x_3^{e_3} x_2^{e_2} x_1^{e_1} = 1 & \text{при } E = 1 \text{ и } y_p = x_p \text{ для } p = 1, 2, 3, \\ 0 & \text{при } y_p \neq x_p \text{ хотя бы для одного значения } p, \end{cases}$$

что совпадает с общим определением цифрового компаратора.

**Цифровые компараторы.** Выпускаемые в интегральном исполнении компараторы описываются функциями (6.14) при  $n \geq 6$ . На рис. 6.68 представлены ИС:

559СК1 — 8-разрядный цифровой компаратор, выполняющий функцию

$$F = \bigvee_{p=0}^7 (A_p \oplus B_p)$$

( $t_{pd} = 25$  нс,  $I_{OL} = 70$  мА,  $I_{CC} = 130$  мА);

559СК2 — 6-разрядный цифровой компаратор с фиксацией результата сравнения в асинхронном потенциальном триггере, описываемый функциями

$$F = \bigvee_{p=0}^5 (A_p \oplus B_p), \quad Q^+ = F \cdot L \vee Q \cdot \bar{L}$$

( $t_{pd} = 45$  нс по входам  $A$ ,  $t_{pd} = 30$  нс по входам  $B$  и  $\bar{L}$ ,  $I_{OL} = 16$  мА,  $I_{CC} = 74$  мА).

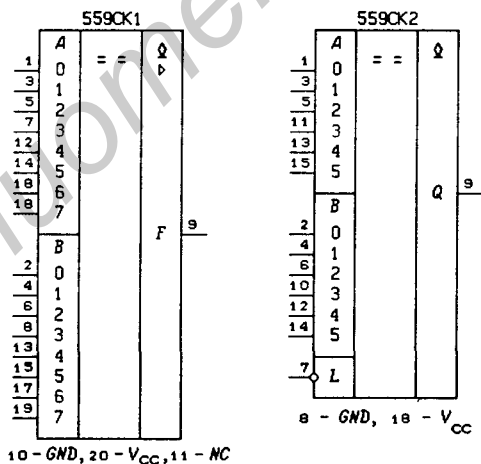


Рис. 6.68

Выходы цифровых компараторов с открытым коллектором облегчают их каскадирование. На рис. 6.69 показан 18-разрядный цифровой компаратор с фиксацией результата сравнения в триггере  $Q$ . При значении сигнала загрузки  $\bar{L} \equiv 0$  выход  $Q = F$ , т. е. получается обычный компаратор без фиксации результата.



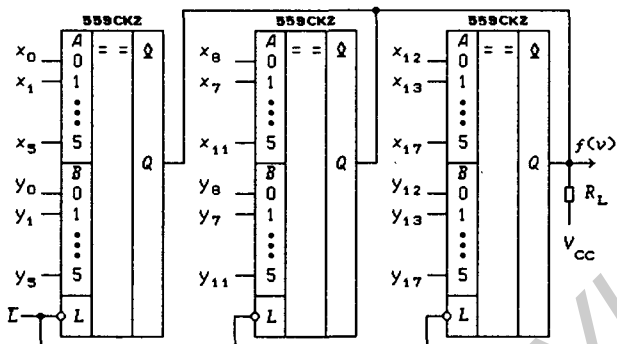


Рис. 6.69

На рис. 6.70 приведены цифровые компараторы со стробирующим входом  $\bar{E}$ :

74ALS518 — 8-разрядный компаратор с прямым открытым коллекторным выходом и внутренними резисторами  $R = 20$  кОм на входах  $B_p$ , подключенными к питанию  $V_{CC}$  (знак “ $\nabla$ ” указывает задание высокого уровня сигнала на входах);

74ALS519 — 8-разрядный компаратор с прямым открытым коллекторным выходом;

74ALS520, 74AC11520 — 8-разрядные компараторы с инверсным выходом и внутренними резисторами  $R = 20$  кОм на входах  $B_p$ , подключенными к питанию  $V_{CC}$ ;

74ALS521, 74ALS688, 74AC11521 — 8-разрядные компараторы с инверсным выходом;

74ALS522 — 8-разрядный компаратор с инверсным открытым коллекторным выходом и внутренними резисторами  $R = 20$  кОм на входах  $B_p$ , подключенными к питанию  $V_{CC}$ ;

74ALS689 — 8-разрядный компаратор с инверсным открытым коллекторным выходом.

Все перечисленные компараторы описываются функцией

$$F = E \cdot \prod_{p=0}^7 \frac{A_p \oplus B_p}{A_p \oplus B_p}, \quad (6.15)$$

где  $E$  — стробирующий сигнал.

Входы  $B_p$  компараторов с внутренними резисторами можно подключать к переключателям, выключенному состоянию которых соответствует подача на входы  $B_p$  уровня сигнала логической 1. Это позволяет не ставить на входах компаратора внешние резисторы.

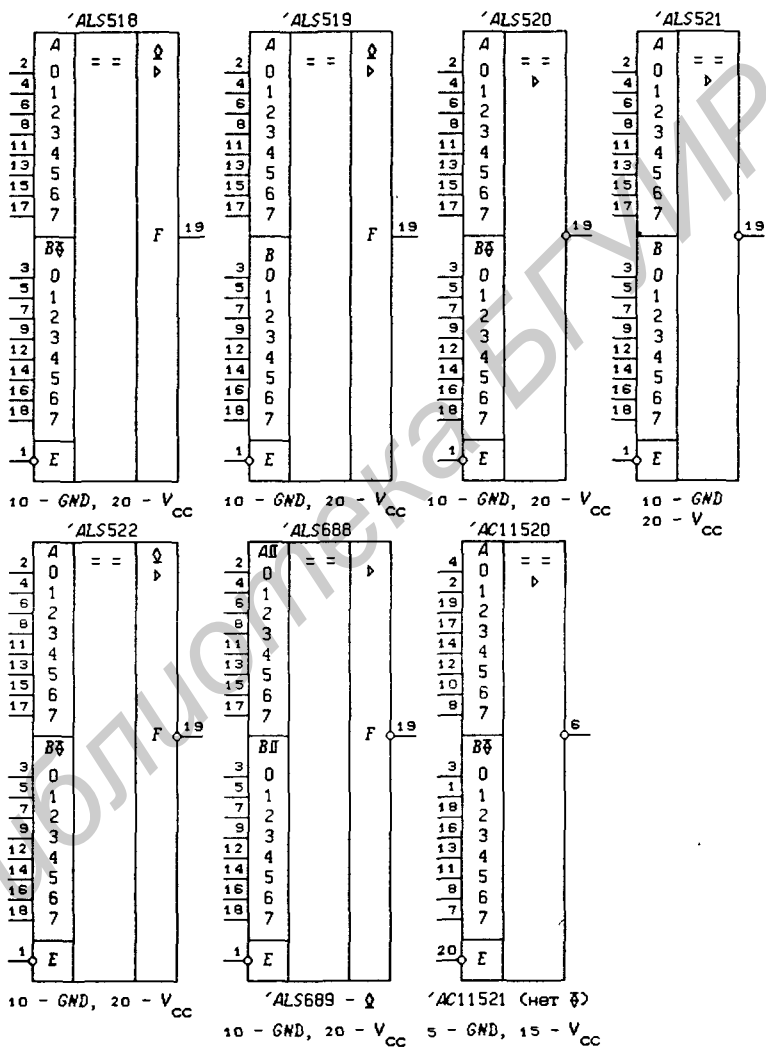


Рис. 6.70

Для каскадирования компараторов с инверсными выходами можно использовать вход стробирования  $\bar{E}$ . Пусть, например, два 8-разрядных компаратора в соответствии с (6.15) выполняют функции:

$$F_1 = E_1 \cdot \prod_{p=0}^7 \overline{A_p \oplus B_p}, \quad F_2 = E_2 \cdot \prod_{p=8}^{15} \overline{A_p \oplus B_p}.$$

Тогда, положив  $\bar{E}_1 = \bar{E}$  и  $\bar{E}_2 = \bar{F}_1$ , получим:

$$F_2 = E \cdot \prod_{p=0}^7 \overline{A_p \oplus B_p} \cdot \prod_{p=8}^{15} \overline{A_p \oplus B_p} = E \cdot \prod_{p=0}^{15} \overline{A_p \oplus B_p}.$$

Рассмотренному методу каскадирования цифровых компараторов соответствует схема с их последовательным включением в отличие от параллельного включения, показанного на рис. 6.69. Каскадирование  $m$  компараторов осуществляется на основании соотношений:  $\bar{E}_1 = \bar{E}$  и  $\bar{E}_j = \bar{F}_{j-1}$  ( $j = 2, 3, \dots, m$ ), что дает схему с последовательным включением  $m$  компараторов (рис. 6.71;  $m = 4$ ). Для каскадирования компараторов, имеющих прямой открытый коллекторный выход, можно использовать параллельное их включение, подобное показанному на рис. 6.69.

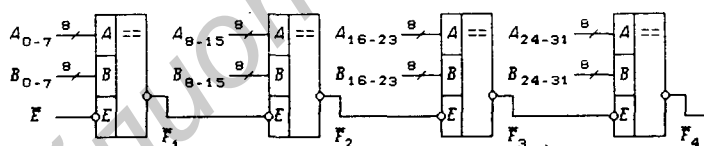


Рис. 6.71

Выпускаются ИС, содержащие цифровой компаратор и дешифратор, который включается только при равенстве кодов, подаваемых на компаратор, или компаратор и некоторые схемы, вырабатывающие дополнительные управляющие сигналы. На рис. 6.72 показаны такие ИС:

74ALS29806 — 6-разрядный компаратор с управляемым дешифратором  $2 \times 4$ , выполняющий функции

$$F = E \cdot \prod_{p=0}^5 \overline{A_p \oplus B_p}, \quad ACK = F \cdot G, \quad F_i = F \cdot x_2^{e_2} x_1^{e_1}, \quad i = e_2 e_1$$

(ACK — Acknowledge — подтверждение);

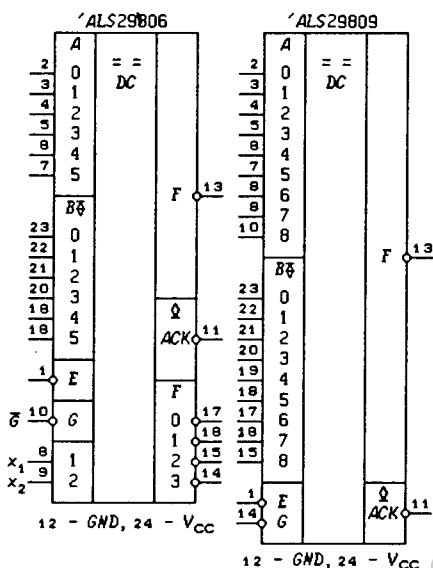


Рис. 6.72

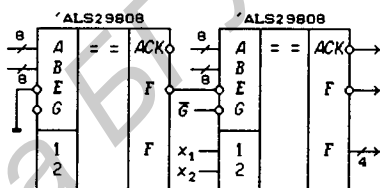


Рис. 6.73

74ALS29809 — 9-разрядный компаратор с управляющим сигналом подтверждения (ACK), выполняющий функции

$$F = E \cdot \prod_{p=0}^8 A_p \oplus B_p, \quad ACK = F \cdot G.$$

Каскадирование ИС 74ALS29806 показано на рис. 6.73. Данная схема выполняет функции

$$F = \prod_{p=0}^{11} A_p \oplus B_p, \quad ACK = F \cdot G, \quad F_i = F \cdot x_2^{e_2} x_1^{e_1}, \quad i = e_2 e_1.$$

При каскадировании можно последовательно включать любое число ИС для увеличения разрядности сравниваемых кодов.

**Программируемые цифровые компараторы.** Для сравнения двух  $n$ -разрядных кодов компаратор должен иметь не менее  $2n$  входов. Из-за ограничений на число выводов ИС приходится принимать  $n \leq 9$ . Если один из кодов предварительно записать в ИС, то потребуется только  $n$  входов для подачи другого кода. Запись кода в ИС можно производить пережиганием плавких перемычек при программировании ИС. Выпускаемые в интегральном исполнении программируемые цифровые компараторы (*Fuse-Programmable Identity Comparator*) представлены

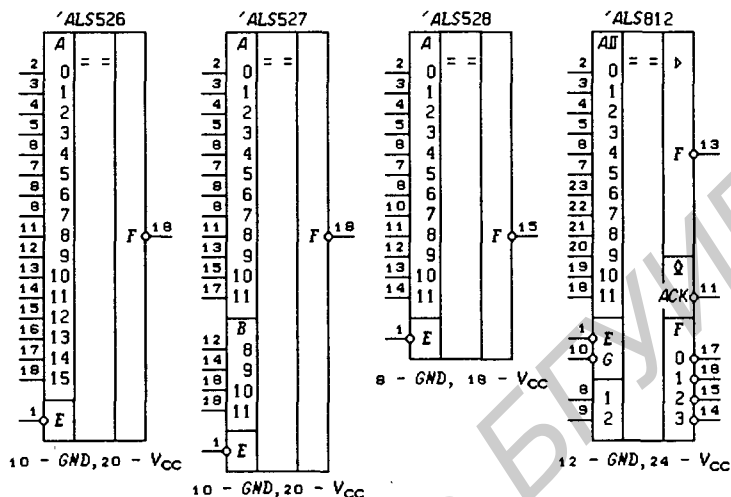


Рис. 6.74

на рис. 6.74:

74ALS526 — 16-разрядный компаратор с программированием 16 разрядов кода  $B$ , выполняющий функцию

$$F = E \cdot \prod_{p=0}^{15} \overline{A_p \oplus FB_p},$$

где  $FB_p$  — запрограммированные разряды кода  $B$ ;

74ALS527 — 12-разрядный компаратор с программированием только 8 младших разрядов кода  $B$ , выполняющий функцию

$$F = E \cdot \prod_{p=0}^7 \overline{A_p \oplus FB_p} \cdot \prod_{p=8}^{11} \overline{A_p \oplus B_p},$$

где  $FB_p$  — запрограммированные разряды кода  $B$ ;

74ALS528 — 12-разрядный компаратор с программированием 12 разрядов кода  $B$ , выполняющий функцию

$$F = E \cdot \prod_{p=0}^{11} \overline{A_p \oplus FB_p},$$

где  $FB_p$  — запрограммированные разряды кода  $B$ ;

74ALS812 — 12-разрядный компаратор с управляемым де-

шифратором  $2 \times 4$ , выполняющий функции

$$F = E \cdot \prod_{p=0}^{11} \overline{A_p \oplus FB_p}, \quad ACK = F \cdot G, \quad F_i = F \cdot x_2^{e_2} x_1^{e_1}, \quad i = e_2 e_1,$$

где  $FB_p$  — запрограммированные разряды кода  $B$  ( $ACK$  — Acknowledge).

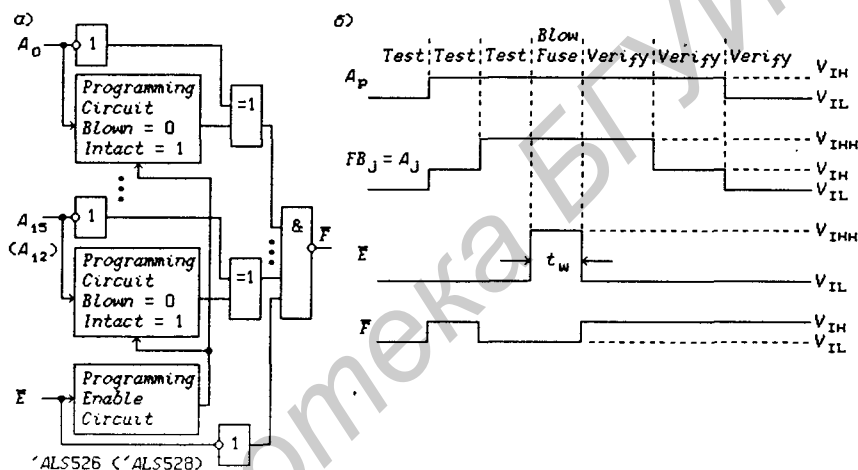


Рис. 6.75

Функциональная схема программируемых компараторов 74ALS526 и 74ALS528 показана на рис. 6.75,а. При программировании кода  $B$  он подается на выходы  $A_j$  ( $A_j = FB_j$ ). При пережигании (*Blown*) переключки программируется значение  $FB_j = 0$ . Временные диаграммы, определяющие алгоритм программирования, изображены на рис. 6.75,б (уровни напряжений входных сигналов  $V_{IH} = 2 \dots 5,5$  В,  $V_{IL} = 0 \dots 0,8$  В,  $V_{IHH} = 11,5 \dots 12,5$  В; напряжение источника питания  $V_{CC} = 6,5 \dots 7,5$  В и длительность импульса программирования  $t_w = 10 \dots 50$  мкс). Переключки должны пережигаться по одной последовательно во времени. Потребляемый по программируемому входу  $A_j = FB_j$  ток  $I_{IHH} \leq 10$  мА, а по входу управления  $\bar{E}$  —  $I_{IHH} \leq 1,24$  мА.

**Адресные компараторы.** Комбинационные схемы, имеющие  $2^{n-1} < N \leq 2^n$  информационных  $A_j$  и  $n$  управляющих  $P_p$

Таблица 6.13. 16-разрядный адресный компаратор

$P_3 P_2 P_1 P_0$	j																F
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0 0 0 0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0 0 0 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0 0 1 0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
0 0 1 1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
0 1 0 0	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0
0 1 0 1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
0 1 1 0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
0 1 1 1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
1 0 0 0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
1 0 0 1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
1 0 1 0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
1 0 1 1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
1 1 0 0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1 1 0 1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1 1 1 0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1 1 1 1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Все другие комбинации																	0

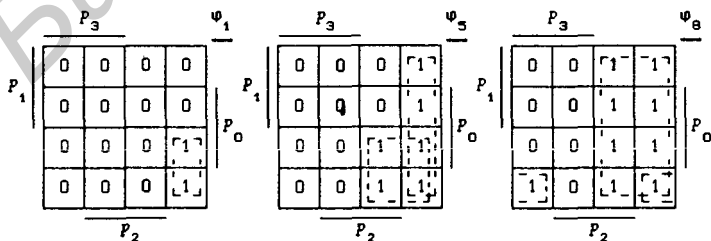


Рис. 6.76

входов и выполняющие функцию

$$F = \prod_{j=m}^{n-1} A_j \cdot \prod_{j=0}^{m-1} \bar{A}_j, \quad \prod_{j=0}^{n-1} \bar{A}_j = 1,$$

где  $m = P_{n-1} \dots P_1 P_0$ , называются  $N$ -разрядными адресными компараторами (*Address Comparator*). Из последнего выражения видно, что адресные компараторы представляют собой программируемые ЛЭ И или И-НЕ (при инверсном выходе  $\bar{F}$ ), число  $m$  инверсных входов которого задается с помощью управляющих входов  $P_p$ .

Функционирование 16-разрядного адресного компаратора описывается табл. 6.13 (вместо функций  $A_j$  указаны только индексы  $j$ ). Синтез его достаточно просто осуществить на основании соотношения

$$F = \prod_{j=0}^{15} (\bar{\varphi}_j \oplus A_j),$$

где  $\varphi_j = A_j = \varphi_j(P_3 P_2 P_1 P_0)$ , т.е. задача синтеза 20-входовой КС с одним выходом  $F$  сводится к синтезу 16 4-входовых КС, реализующих функции  $\bar{\varphi}_j$ . На рис. 6.76 приведены диаграммы Вейча для трех функций  $\varphi_1$ ,  $\varphi_5$  и  $\varphi_8$ , составленные по табл. 6.13, из которых следует, что функции  $f_j = \bar{\varphi}_j \oplus A_j$  для  $j = 1, 5$  и  $8$  описываются выражениями:

$$f_1 = \overline{P_3 P_2 P_1} \oplus A_1, \quad f_5 = \overline{P_3 P_2} \vee \overline{P_3 P_1} \oplus A_5, \quad f_8 = \overline{P_3} \vee \overline{P_2 P_1 P_0} \oplus A_8.$$

Аналогично могут быть найдены и остальные функции  $f_j$  и построена схема адресного компаратора.

На рис. 6.77 приведены адресные компараторы с инверсными выходами:

74ALS677A, 74AC11677 — 16-разрядные компараторы с инверсным стробирующим входом  $\bar{E}$ , выполняющие функцию

$$F = \bar{E} \cdot \prod_{j=0}^{15} (\bar{\varphi}_j \oplus A_j); \quad (6.16)$$

74ALS678, 74AC11678 — 16-разрядные компараторы с фиксацией функции  $F$  в асинхронном потенциальном триггере, описываемые функциями

$$F = \prod_{j=0}^{15} (\bar{\varphi}_j \oplus A_j), \quad Q^+ = F \cdot L \vee Q \cdot \bar{L};$$



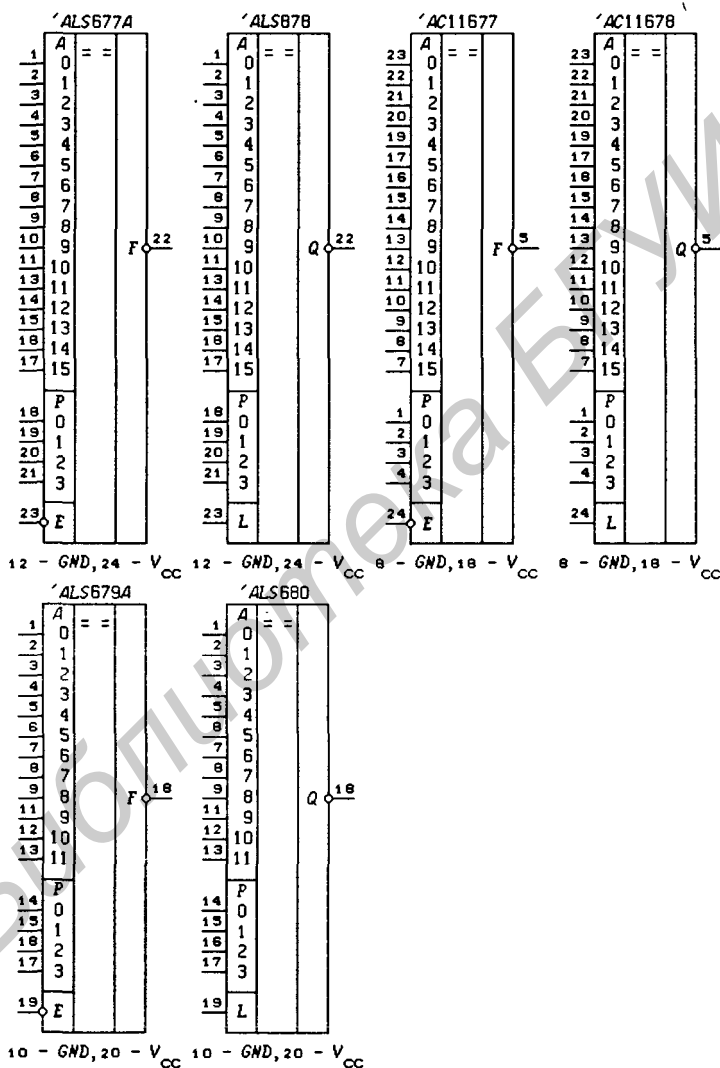


Рис. 6.77

Таблица 6.14. 12-разрядный адресный компаратор

$P_3 P_2 P_1 P_0$	j												F	
	11	10	9	8	7	6	5	4	3	2	1	0		
0 0 0 0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0 0 0 1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0 0 1 0	1	1	1	1	1	1	1	1	1	1	0	0	0	1
0 0 1 1	1	1	1	1	1	1	1	1	1	0	0	0	0	1
0 1 0 0	1	1	1	1	1	1	1	0	0	0	0	0	0	1
0 1 0 1	1	1	1	1	1	1	0	0	0	0	0	0	0	1
0 1 1 0	1	1	1	1	1	0	0	0	0	0	0	0	0	1
0 1 1 1	1	1	1	1	0	0	0	0	0	0	0	0	0	1
1 0 0 0	1	1	1	1	0	0	0	0	0	0	0	0	0	1
1 0 0 1	1	1	1	0	0	0	0	0	0	0	0	0	0	1
1 0 1 0	1	1	0	0	0	0	0	0	0	0	0	0	0	1
1 0 1 1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
1 1 0 0	0	1	1	0	0	0	0	0	0	0	0	0	0	1
1 1 0 1	0	1	1	0	0	0	0	0	0	0	0	0	0	1
1 1 1 0	0	1	0	0	0	0	0	0	0	0	0	0	0	1
1 1 1 1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
Все другие комбинации														0

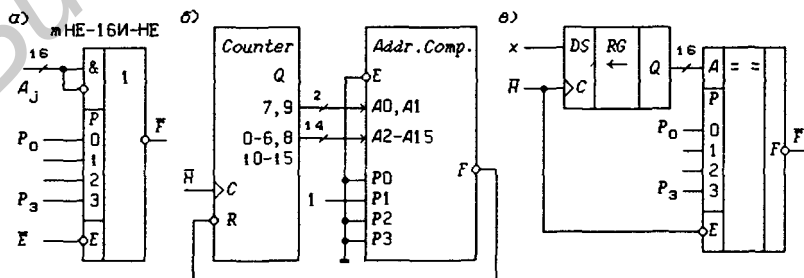


Рис. 6.78

74ALS679A — 12-разрядный компаратор с инверсным stroбирующим входом  $\bar{E}$ , описываемый табл. 6.14;

74ALS680 — 12-разрядный компаратор с фиксацией функции  $F$ , описываемой табл. 6.14, в асинхронном потенциальном триггере.

**Применения адресных компараторов.** На рис. 6.78,а 16-разрядный адресный компаратор, выполняющий функцию (6.16), изображен в виде ЛЭ mHE-16И-HE ( $m$  — аппаратно программируемое управляющими сигналами  $P_p$  число инверсных входов). Таким образом, данный компаратор может реализовать любой один макстерм (инверсный минтерм) 16 переменных. Из этого следуют все применения адресных компараторов.

Адресные компараторы могут использоваться в качестве детекторов состояния счетчиков, дешифраторов адреса памяти в микропроцессорных системах и др. На рис. 6.78,б показана структурная схема 16-разрядного двоичного счетчика с синхронным сбросом в нулевое состояние сигналом  $\bar{R} = 0$ , модуль пересчета которого  $M = 64896$  установлен с помощью адресного компаратора, срабатывающего при состоянии счетчика 1111.1101.0111.1111. Другими словами, адресный компаратор является детектором кода

$$Q_{15}Q_{14}Q_{13}Q_{12}Q_{11}Q_{10}\bar{Q}_9Q_8\bar{Q}_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0.$$

Достоинством такого способа управления модулем пересчета является представление состояний счетчика двоичным кодом чисел от 0 до 64895, что часто необходимо при использовании выходов счетчика для управления другими устройствами.

На рис. 6.78.б показана структурная схема детектора последовательности, состоящей из  $m$  нулей, содержащихся во входной последовательности  $x$ . В процессе работы детектора число  $m$  можно изменять подачей определенного кода  $P_3P_2P_1P_0$ .

## 6.8. Схемы сравнения двоичных чисел

Пусть заданы два  $n$ -разрядных двоичных числа

$$X_n = x_n \dots x_2 x_1 \text{ и } Y_n = y_n \dots y_2 y_1,$$

где  $x_n$  и  $y_n$  — старшие разряды этих чисел. Соотношения между числами  $X_n$  и  $Y_n$  описываются пятью функциями:

$$F(X_n = Y_n) = \begin{cases} 0 & \text{при } X_n \neq Y_n, \\ 1 & \text{при } X_n = Y_n; \end{cases} \quad F(X_n < Y_n) = \begin{cases} 0 & \text{при } X_n \geq Y_n, \\ 1 & \text{при } X_n < Y_n; \end{cases}$$

$$F(X_n \leq Y_n) = \begin{cases} 0 & \text{при } X_n > Y_n, \\ 1 & \text{при } X_n \leq Y_n; \end{cases} \quad F(X_n > Y_n) = \begin{cases} 0 & \text{при } X_n \leq Y_n, \\ 1 & \text{при } X_n > Y_n; \end{cases}$$

$$F(X_n \geq Y_n) = \begin{cases} 0 & \text{при } X_n < Y_n, \\ 1 & \text{при } X_n \geq Y_n. \end{cases} \quad (6.17)$$

Легко заметить, что можно рассматривать только две функции, например,  $F(X_n \leq Y_n)$  и  $F(X_n = Y_n)$ , так как остальные достаточно просто выражаются через них:

$$\begin{aligned} F(X_n > Y_n) &= \overline{F(X_n \leq Y_n)}, \quad F(X_n < Y_n) = F(X_n \leq Y_n) \overline{F(X_n = Y_n)}, \\ F(X_n \geq Y_n) &= \overline{F(X_n < Y_n)} = \overline{F(X_n \leq Y_n)} \vee F(X_n = Y_n). \end{aligned}$$

Схемы, реализующие все соотношения (6.17) или несколько из них, называются *схемами сравнения чисел* (*Magnitude Comparator*).

Соотношения (6.17) между числами в позиционных системах счисления, в которых вес любого старшего разряда больше веса любого младшего разряда, довольно просто могут быть установлены на основании последовательного сравнения их одноименных разрядов. Сравнение чисел можно производить, начиная или с младшего или со старшего разряда. Предпочтительнее первый вариант сравнения, так как он допускает более естественный способ наращивания разрядности чисел.

**Схемы сравнения чисел.** Для описания схем сравнения двоичных чисел введем в рассмотрение переключательные функции  $2n$  переменных:

$$\begin{aligned} f_n &= f(X_n, Y_n) = \begin{cases} 0, & \text{если } X_n > Y_n, \\ 1, & \text{если } X_n \leq Y_n; \end{cases} \\ \varphi_n &= \varphi(X_n, Y_n) = \begin{cases} 0, & \text{если } X_n \neq Y_n, \\ 1, & \text{если } X_n = Y_n. \end{cases} \end{aligned} \quad (6.18)$$

Сравнение чисел будем производить, начиная с младшего разряда. Из соотношений (6.18) следует, что

$$\overline{f_n} \varphi_n = \overline{F(X_n \leq Y_n)} \cdot F(X_n = Y_n) \equiv 0.$$

Табл. 6.15 задает функции  $f_1$  и  $\varphi_1$  для одноразрядных двоичных чисел  $X_1 = x_1$  и  $Y_1 = y_1$  ( $n = 1$ ). Из нее следует, что

$$\begin{aligned} \varphi_1 &= \overline{x_1 \oplus y_1} = F(X_1 = Y_1), \quad f_1 = \overline{x_1} y_1 \vee \overline{x_1 \oplus y_1} = \\ &= F(X_1 < Y_1) \vee F(X_1 = Y_1) = F(X_1 \leq Y_1). \end{aligned} \quad (6.19)$$

Пусть теперь имеются функции  $f_1$  и  $\varphi_1$  для младших разрядов  $x_1$  и  $y_1$ , а числа двухразрядные, т. е.  $X_2 = x_2 x_1$  и  $Y_2 = y_2 y_1$ . Структурная схема сравнения этих чисел изображена на рис. 6.79,а. Требуется синтезировать КС для функций  $f_2$  и  $\varphi_2$ , аргументами которых являются переменные  $f_1, \varphi_1, x_2$  и  $y_2$ . Табл.

Таблица 6.15. Сравнение одноразрядных чисел

$x_1 y_1$	$f_1 \varphi_1$	$x_1 y_1$	$f_1 \varphi_1$
0 0	1 1	1 0	0 0
0 1	1 0	1 1	1 1

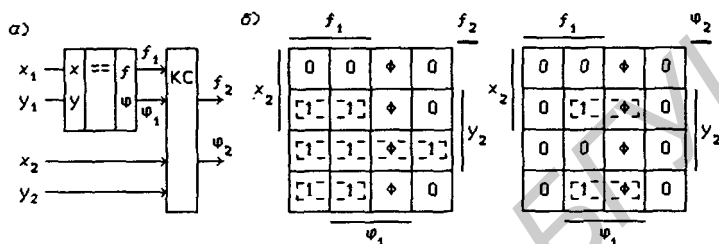


Рис. 6.79

6.16 представляет собой таблицу истинности, описывающую эту КС. В строках с номерами  $i = 4, 5, 6, 7$  значения функций не определены ( $f_2 = \Phi$  и  $\varphi_2 = \bar{\Phi}$ ), так как не выполняется условие  $\bar{f}_1 \varphi_1 = 0$ . Функция  $f_2 = 1$  при  $x_2 < y_2$  (старший разряд числа  $X_2$  меньше старшего разряда числа  $Y_2$ ), а также при  $x_2 = y_2$  и  $f_1 = 1$ . Функция  $\varphi_2 = 1$  только при  $\varphi_1 = 1$  и  $x_2 = y_2$ . Из диаграмм Вейча (рис. 6.79, б), построенных на основании табл. 6.16, следует, что

$$\varphi_2 = \varphi_1 \bar{x}_2 \oplus y_2, \quad f_2 = \bar{x}_2 y_2 \vee f_1 \bar{x}_2 \oplus y_2. \quad (6.20)$$

Если теперь составить таблицу истинности для функций  $f_3$  и  $\varphi_3$ , аргументами которых являются переменные  $f_2, \varphi_2, x_3$  и

Таблица 6.16. Сравнение двухразрядных чисел

$i$	$f_1 \varphi_1 x_2 y_2$	$f_2 \varphi_2$	Примечание	$i$	$f_1 \varphi_1 x_2 y_2$	$f_2 \varphi_2$	Примечание
0	0 0 0 0	0 0		8	1 0 0 0	1 0	
1	0 0 0 1	1 0	$x_1 \neq y_1$	9	1 0 0 1	1 0	$x_1 \neq y_1$
2	0 0 1 0	0 0	$x_1 > y_1$	10	1 0 1 0	0 0	$x_1 < y_1$
3	0 0 1 1	0 0		11	1 0 1 1	1 0	
4	0 1 0 0	$\Phi \Phi$	$x_1 = y_1$	12	1 1 0 0	1 1	
5	0 1 0 1	$\Phi \Phi$	$x_1 > y_1$	13	1 1 0 1	1 0	$x_1 = y_1$
6	0 1 1 0	$\Phi \Phi$	(несовместимо)	14	1 1 1 0	0 0	$x_1 \leq y_1$
7	0 1 1 1	$\Phi \Phi$		15	1 1 1 1	1 1	

$y_3$ , то она будет иметь такой же вид, что и табл. 6.16, а значит

$$\varphi_3 = \varphi_2 \overline{x_3} \oplus y_3, \quad f_3 = \overline{x_3} y_3 \vee f_2 \overline{x_3} \oplus y_3. \quad (6.21)$$

Из соотношений (6.19) – (6.21) следует общая рекуррентная формула

$$\varphi_n = \varphi_{n-1} \overline{x_n} \oplus y_n, \quad f_n = \overline{x_n} y_n \vee f_{n-1} \overline{x_n} \oplus y_n, \quad (6.22)$$

в которой необходимо задать значения  $\varphi_0$  и  $f_0$ , равными 0 или 1. Из выражений (6.22) следует, что

$$\varphi_1 = \varphi_0 \overline{x_1} \oplus y_1, \quad f_1 = \overline{x_1} y_1 \vee f_0 \overline{x_1} \oplus y_1. \quad (6.23)$$

Из сравнения (6.23) с (6.19) находим  $\varphi_0 = 1$  и  $f_0 = 1$ . Представляет интерес установить, какие функции из (6.17) будут соответствовать рекуррентным соотношениям (6.22) при других значениях  $\varphi_0$  и  $f_0$ . Легко показать, что

$$\varphi_n = \varphi_0 \prod_{p=1}^n \overline{x_p} \oplus y_p = \varphi_0 F(X_n = Y_n) = \begin{cases} 0 & \text{при } \varphi_0 = 0, \\ F(X_n = Y_n) & \text{при } \varphi_0 = 1; \end{cases}$$

$$f_n = F(X_n < Y_n) \vee f_0 F(X_n = Y_n) = \begin{cases} F(X_n < Y_n) & \text{при } f_0 = 0, \\ F(X_n \leq Y_n) & \text{при } f_0 = 1. \end{cases} \quad (6.24)$$

Докажем, например, последнее соотношение, которое на основании (6.19) справедливо при  $n = 1$ . Для этого следует показать, что соотношение (6.24) истинно и для  $n + 1$ . Из (6.22) следует, что

$$\begin{aligned} f_{n+1} &= \overline{x_{n+1}} y_{n+1} \vee f_n \overline{x_{n+1}} \oplus y_{n+1} = \\ &= \overline{x_{n+1}} y_{n+1} \vee [F(X_n < Y_n) \vee f_0 F(X_n = Y_n)] f_n \overline{x_{n+1}} \oplus y_{n+1} = \\ &= F(X_{n+1} < Y_{n+1}) \vee f_0 F(X_{n+1} = Y_{n+1}), \end{aligned}$$

т. е. утверждение (6.24) справедливо при любом  $n$ .

На рис. 6.80,а изображена схема сравнения одноразрядных двоичных чисел  $x_1$  и  $y_1$ , построенная на основании выражений (6.23), а на рис. 6.80,б — ее условное графическое обозначение. Схема сравнения 4-разрядных двоичных чисел  $X_4 = x_4 x_3 x_2 x_1$  и  $Y_4 = y_4 y_3 y_2 y_1$ , реализующая функции  $\varphi_4$  и  $f_4$ , может быть построена по рекуррентным соотношениям (6.22) при  $n = 1, 2, 3, 4$  (рис. 6.80,в). Недостатком такой КС является низкое быстродействие, так как сигналы  $x_1$  и  $y_1$ , соответствующие младшим разрядам сравниваемых чисел, последовательно проходят через все элементы, имеющие конечное быстродействие. Достоинство данной КС — простота ее реализации при программируемости выполняемых функций с помощью входов  $f_0$  и  $\varphi_0$ .

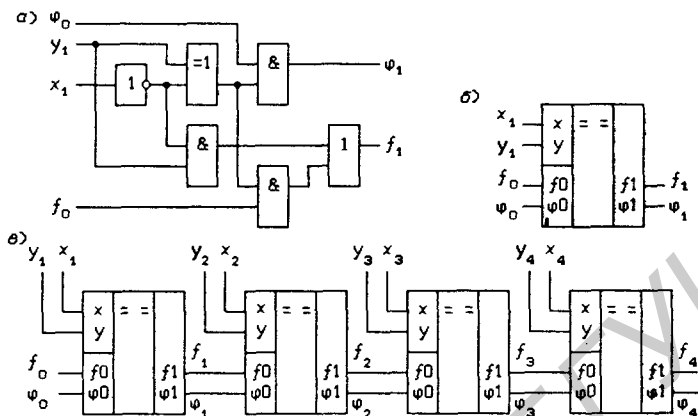


Рис. 6.80

Если последовательными подстановками значений  $\varphi_{n-1}$  и  $f_{n-1}$  развернуть соотношения (6.22) при  $n = 4$ , то можно получить:

$$\varphi_4 = \varphi_0 \cdot \prod_{p=1}^4 \overline{x_p \oplus y_p},$$

$$f_4 = \overline{x_4}y_4 \vee \overline{x_3}y_3x_4 \oplus y_4 \vee \overline{x_2}y_2x_3 \oplus y_3x_4 \oplus y_4 \vee \overline{x_1}y_1x_2 \oplus y_2x_3 \oplus y_3x_4 \oplus y_4 \vee f_0 \cdot \prod_{p=1}^4 \overline{x_p \oplus y_p}. \quad (6.25)$$

Схема, реализованная в соответствии с этими функциями, будет иметь значительно большее быстродействие, чем схема, показанная на рис. 6.80, так как раскрытие скобок при развертывании соотношений (6.22) уменьшило порядок переключательных функций  $\varphi_4$  и  $f_4$ .

Из (6.24) следует, что

$$\varphi_4 = \varphi_0 F(X_4 = Y_4), \quad f_4 = F(X_4 < Y_4) \vee f_0 F(X_4 = Y_4). \quad (6.26)$$

Рассмотрим функцию

$$g_4 = E \cdot \overline{f_4 \vee \varphi_4} = E \cdot [F(X_4 > Y_4) \vee \overline{f_0} \overline{\varphi_0} F(X_4 = Y_4)]. \quad (6.27)$$

Докажем это соотношение, используя закон двойственности и другие тождества алгебры логики:

$$\overline{f_4 \vee \varphi_4} = \overline{F(X_4 < Y_4) \vee (f_0 \vee \varphi_0) F(X_4 = Y_4)} =$$

$$\begin{aligned}
 &= \overline{F(X_4 < Y_4)} \cdot [\overline{f_0 \overline{\varphi_0}} \vee \overline{F(X_4 = Y_4)}] = \overline{F(X_4 < Y_4)} \overline{F(X_4 = Y_4)} \vee \\
 &\vee \overline{f_0 \overline{\varphi_0}} \overline{F(X_4 < Y_4)} = F(X_4 > Y_4) \vee \overline{f_0 \overline{\varphi_0}} [F(X_4 > Y_4) \vee F(X_4 = Y_4)] = \\
 &= F(X_4 > Y_4) \vee \overline{f_0 \overline{\varphi_0}} F(X_4 = Y_4).
 \end{aligned}$$

Из соотношений (6.26) и (6.27) следует, что

$$\varphi_4 = \begin{cases} 0 & \text{при } \varphi_0 = 0, \\ F(X_4 = Y_4) & \text{при } \varphi_0 = 1; \end{cases} \quad f_4 = \begin{cases} F(X_4 < Y_4) & \text{при } f_0 = 0, \\ F(X_4 \leq Y_4) & \text{при } f_0 = 1; \end{cases}$$

$$g_4 = \begin{cases} F(X_4 > Y_4), & \text{если } f_0 \vee \varphi_0 = 1 \text{ при } E = 1, \\ F(X_4 \geq Y_4), & \text{если } f_0 \vee \varphi_0 = 0 \text{ при } E = 1, \\ 0 & \text{при } E = 0. \end{cases} \quad (6.28)$$

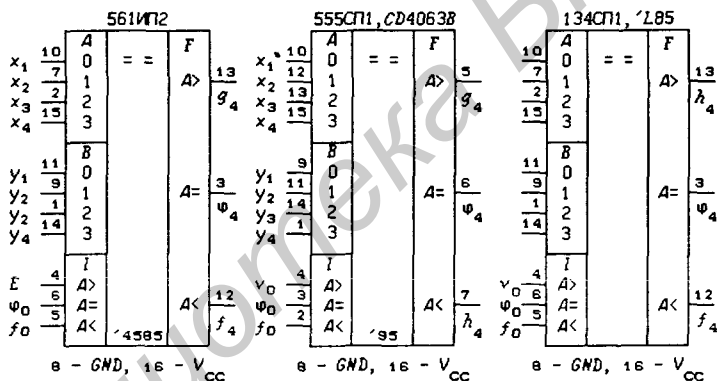


Рис. 6.81

Приведенные соотношения не являются единственными для построения схем сравнения двоичных чисел. На рис. 6.81 приведены ИС:

561ИП2 — схема сравнения 4-разрядных двоичных чисел, реализующая функции  $F(X_4 = Y_4)$ ,  $F(X_4 < Y_4)$ ,  $F(X_4 \leq Y_4)$ ,  $F(X_4 > Y_4)$  и  $F(X_4 \geq Y_4)$ ;

555СП1 — схема сравнения 4-разрядных двоичных чисел, реализующая функции  $F(X_4 = Y_4)$ ,  $F(X_4 < Y_4)$ ,  $F(X_4 \leq Y_4)$ ,  $F(X_4 > Y_4)$  и  $F(X_4 \geq Y_4)$ ;

CD4063B — схема сравнения 4-разрядных двоичных чисел, реализующая функции  $F(X_4 = Y_4)$ ,  $F(X_4 < Y_4)$  и  $F(X_4 > Y_4)$ ;

74L85 (134СП1) — схема сравнения 4-разрядных двоичных чисел, реализующая функции  $F(X_4 = Y_4)$ ,  $F(X_4 < Y_4)$ ,  $F(X_4 \leq Y_4)$ ,  $F(X_4 > Y_4)$  и  $F(X_4 \geq Y_4)$ .



Схема сравнения 561ИП2 спроектирована в соответствии с соотношениями (6.25) и (6.27). Функции, выполняемые ИС 561ИП2, программируются с помощью входов  $E$ ,  $\varphi_0$  и  $f_0$ , что видно из табл. 6.17, составленной на основании выражений (6.28) ( $X = X_4$  и  $Y = Y_4$ ). На рис. 6.81 для ИС 561ИП2 введены обозначения:

$$I_{A>} = I_{A>B} = E, I_{A=} = I_{A=B} = \varphi_0, I_{A<} = I_{A<B} = f_0$$

(входные управляющие сигналы, используемые для каскадирования ИС и программирования выполняемых функций),

$$F_{A>} = F_{A>B} = g_4, F_{A=} = F_{A=B} = \varphi_4, F_{A<} = F_{A<B} = f_4$$

(выходные сигналы ИС). Аналогичные обозначения введены и для остальных ИС, представленных на рис. 6.81.

Таблица 6.17. Функционирование ИС 561ИП2

$E \varphi_0 f_0$	$g_4$	$\varphi_4$	$f_4$
0 0 0	0	0	$F(X < Y)$
0 0 1	0	0	$F(X \leq Y)$
0 1 0	0	$F(X = Y)$	$F(X < Y)$
0 1 1	0	$F(X = Y)$	$F(X \leq Y)$
1 0 0	$F(X \geq Y)$	0	$F(X < Y)$
1 0 1	$F(X > Y)$	0	$F(X \leq Y)$
1 1 0	$F(X > Y)$	$F(X = Y)$	$F(X < Y)$
1 1 1	$F(X > Y)$	$F(X = Y)$	$F(X \leq Y)$

Интегральные схемы, имеющие одинаковые номера (например, 74LS85 и 74L85), всегда имеют одно и то же функциональное назначение, но могут выполнять несколько различающиеся функции. Это вызвано тем, что при совершенствовании технологии изготовления ИС вводились и усовершенствования схемотехнических решений функциональных узлов. Для построения 4-разрядных ИС сравнения двоичных чисел можно использовать самые различные преобразования функций  $\varphi_4$  и  $f_4$ , а также и другие функции. Введем функцию

$$v_n = v(X_n, Y_n) = \begin{cases} 0, & \text{если } X_n < Y_n, \\ 1, & \text{если } X_n \geq Y_n. \end{cases} \quad (6.29)$$

Из сравнения соотношения (6.29) с (6.18) следует, что функция  $v_n$  может быть получена из выражения (6.22) для функции

$f_n$  взаимной заменой  $x_n$  и  $y_n$ :

$$v_n = x_n \bar{y}_n \vee v_{n-1} \overline{x_n \oplus y_n} = F(X_n > Y_n) \vee v_0 F(X_n = Y_n),$$

а функция  $v_4$  — из выражения (6.25) для  $f_4$  взаимной заменой переменных  $x_p$  и  $y_p$ :

$$v_4 = x_4 \bar{y}_4 \vee x_3 \bar{y}_3 \overline{x_4 \oplus y_4} \vee x_2 \bar{y}_2 \overline{x_3 \oplus y_3} \overline{x_4 \oplus y_4} \vee x_1 \bar{y}_1 \overline{x_2 \oplus y_2} \overline{x_3 \oplus y_3} \overline{x_4 \oplus y_4} \vee f_0 \prod_{p=1}^4 \overline{x_p \oplus y_p}. \quad (6.30)$$

Реализация функций  $f_4$  и  $\varphi_4$  позволяет получить полностью симметричную схему относительно операций “меньше” и “больше”. Интегральная схема 555СП1 (рис. 6.81) выполняет функции сравнения 4-разрядных двоичных чисел:

$$\left. \begin{aligned} \varphi_4 &= \varphi_0 F(X_4 = Y_4), \\ g_4 &= \overline{f_4} \vee \varphi_4 = F(X_4 > Y_4) \vee \bar{f}_0 \bar{\varphi}_0 F(X_4 = Y_4), \\ h_4 &= \overline{v_4} \vee \bar{\varphi}_4 = F(X_4 < Y_4) \vee \bar{v}_0 \bar{\varphi}_0 F(X_4 = Y_4), \end{aligned} \right\} \quad (6.31)$$

где переключательные функции  $\varphi_4$ ,  $f_4$  и  $v_4$  определяются соотношениями (6.25) и (6.30). Как видно из (6.31), функции, выполняемые ИС 555СП1, могут программироваться сигналами  $v_0$ ,  $\varphi_0$  и  $f_0$  (табл. 6.18).

Таблица 6.18. Функционирование ИС 555СП1<sup>1</sup>

$v_0 \varphi_0 f_0$	$g_4$	$\varphi_4$	$h_4$	$g_8$	$\varphi_8$	$h_8$	$g_{12}$	$\varphi_{12}$	$h_{12}$
0 0 0	$X > Y$	0	$X \leq Y$	$X > Y$	0	$X < Y$	$X \geq Y$	0	$X \leq Y$
0 0 1	$X > Y$	0	$X \leq Y$	$X > Y$	0	$X \leq Y$	$X > Y$	0	$X \leq Y$
0 1 0	$X > Y$	$X = Y$	$X < Y$	$X > Y$	$X = Y$	$X < Y$	$X > Y$	$X = Y$	$X < Y$
0 1 1	$X > Y$	$X = Y$	$X < Y$	$X > Y$	$X = Y$	$X < Y$	$X > Y$	$X = Y$	$X < Y$
1 0 0	$X \geq Y$	0	$X < Y$	$X \geq Y$	0	$X < Y$	$X \geq Y$	0	$X < Y$
1 0 1	$X > Y$	0	$X < Y$	$X \geq Y$	0	$X \leq Y$	$X > Y$	0	$X < Y$
1 1 0	$X > Y$	$X = Y$	$X < Y$	$X > Y$	$X = Y$	$X < Y$	$X > Y$	$X = Y$	$X < Y$
1 1 1	$X > Y$	$X = Y$	$X < Y$	$X > Y$	$X = Y$	$X < Y$	$X > Y$	$X = Y$	$X < Y$

<sup>1</sup> В таблице указаны только аргументы функций  $F$  (например, вместо  $F(X \geq Y)$  написано  $X \geq Y$ ).

Третий вариант схемы сравнения реализован в ИС  $CD4063B$ , которая выполняет функции  $h_4$ ,  $g_4$  и  $\varphi_4 = \varphi_0 \bar{h}_4 \bar{g}_4$ , где

$$\begin{aligned} \bar{h}_4 &= \bar{x}_4 y_4 (\bar{x}_3 y_3 \vee x_4 \oplus y_4) (\bar{x}_2 y_2 \vee x_3 \oplus y_3 \vee x_4 \oplus y_4) \& \\ &\& (\bar{x}_1 y_1 \vee x_2 \oplus y_2 \vee x_3 \oplus y_3 \vee x_4 \oplus y_4) (\bar{f}_0 \vee \bigvee_{p=1}^4 x_p \oplus y_p), \end{aligned}$$

а функция  $\bar{g}_4$  получается из функции  $\bar{h}_4$  взаимной заменой переменных  $x_p$  и  $y_p$  и заменой  $\bar{f}_0$  на  $\bar{v}_0$ . Легко убедиться, что при  $f_0 = v_0 = 0$  схема выполняет функции

$$\varphi_4 = \varphi_0 F(X_4 = Y_4), \quad g_4 = F(X_4 > Y_4), \quad h_4 = F(X_4 < Y_4).$$

Четвертый вариант схемы сравнения реализован в ИС 74L85, которая выполняет функции

$$\varphi_4 = \varphi_0 F(X_4 = Y_4), \quad f_4 = F(X_4 < Y_4) \vee f_0 F(X_4 = Y_4), \\ h_4 = F(X_4 > Y_4) \vee v_0 F(X_4 = Y_4),$$

Из этих соотношений следует, что

$$\varphi_4 = \begin{cases} 0 & \text{при } \varphi_0 = 0, \\ F(X_4 = Y_4) & \text{при } \varphi_0 = 1, \end{cases} \quad f_4 = \begin{cases} F(X_4 < Y_4) & \text{при } f_0 = 0, \\ F(X_4 \leq Y_4) & \text{при } f_0 = 1, \end{cases} \\ h_4 = \begin{cases} F(X_4 > Y_4) & \text{при } v_0 = 0, \\ F(X_4 \geq Y_4) & \text{при } v_0 = 1. \end{cases}$$

**Каскадирование схем сравнения двоичных чисел.** На рис. 6.82 показана 12-разрядная схема сравнения двоичных чисел, построенная на трех 4-разрядных ИС 561ИП2 (символ “Ф” означает, что вход  $I_A$  следует подключить либо к корпусу, либо к источнику питания). Из рис. 6.82 и соотношений (6.26) и (6.27) следует, что функции

$$\varphi_8 = \varphi_4 F(X'_4 = Y'_4), \quad g_8 = E \cdot \overline{f_8 \vee \varphi_8}, \\ f_8 = F(X'_4 < Y'_4) \vee f_4 F(X'_4 = Y'_4), \quad (6.32)$$

где  $X'_4 = x_8 x_7 x_6 x_5$  и  $Y'_4 = y_8 y_7 y_6 y_5$ . Подставив (6.26) в (6.32), получим:

$$\varphi_8 = \varphi_0 F(X_4 = Y_4) \cdot F(X'_4 = Y'_4) = \varphi_0 F(X_8 = Y_8), \\ f_8 = F(X'_4 < Y'_4) \vee [F(X_4 < Y_4) \vee f_0 F(X_4 = Y_4)] \cdot F(X'_4 = Y'_4) = \\ = F(X_8 < Y_8) \vee f_0 F(X_8 = Y_8), \\ g_8 = E \cdot [F(X_8 > Y_8) \vee \bar{f}_0 \bar{\varphi}_0 F(X_8 = Y_8)].$$

Аналогично на основании рис. 6.82 можно получить:

$$\varphi_{12} = \varphi_0 F(X_{12} = Y_{12}), \quad f_{12} = F(X_{12} < Y_{12}) \vee f_0 F(X_{12} = Y_{12}), \\ g_{12} = E \cdot [F(X_{12} > Y_{12}) \vee \bar{f}_0 \bar{\varphi}_0 F(X_{12} = Y_{12})].$$

Из этих соотношений видно, что функции, выполняемые схемой на рис. 6.82, также задаются табл. 6.17 (индексы “4” следует просто заменить на индексы “8” и “12”). Сигналы  $\varphi_0$  и  $f_0$  подаются на младшую ИС, а сигнал  $E$  — на старшую ИС (деление на младшую и старшие ИС производится в соответствии

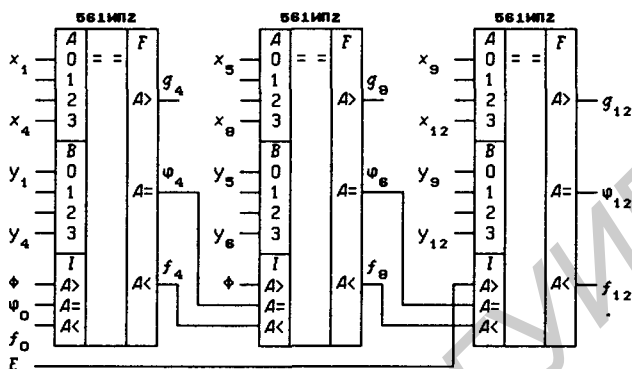


Рис. 6.82

с младшими и старшими разрядами сравниваемых чисел). На входы  $E$  всех остальных ИС подаются значения  $\Phi$  (либо 0 В, либо  $V_{DD}$ ).

Можно построить схему последовательного включения и большего числа ИС 561ИП2 для сравнения  $4m$ -разрядных чисел, где  $m$  — число ИС. На рис. 6.83,а показана структурная схема сравнения 16-разрядных чисел при последовательном включении ИС 561ИП2. Каскадирование схем сравнения  $CD4063B$  при последовательном их включении представлено на рис. 6.83,б.

На рис. 6.84 показана схема сравнения 12-разрядных двоичных чисел, построенная на трех ИС 555СП1. Из рис. 6.84 на основании (6.31) следует, что

$$\left. \begin{aligned} \varphi_8 &= \varphi_4 F(X'_4 = Y'_4) = \varphi_0 F(X_4 = Y_4) \cdot F(X'_4 = Y'_4), \\ g_8 &= F(X'_4 > Y'_4) \vee \bar{h}_4 \bar{\varphi}_4 F(X'_4 = Y'_4), \\ h_8 &= F(X'_4 < Y'_4) \vee \bar{g}_4 \bar{\varphi}_4 F(X'_4 = Y'_4), \end{aligned} \right\} \quad (6.33)$$

где  $X'_4 = x_8 x_7 x_6 x_5$  и  $Y'_4 = y_8 y_7 y_6 y_5$ . Подставив в (6.33) значения (6.31) функций  $\varphi_4$ ,  $g_4$  и  $h_4$ , получим:

$$\begin{aligned} \varphi_8 &= \varphi_0 F(X_8 = Y_8), \\ g_8 &= F(X'_4 > Y'_4) \vee [F(X_4 > Y_4) \vee v_0 \bar{\varphi}_0 F(X_4 = Y_4)] F(X'_4 = Y'_4) = \\ &= F(X_8 > Y_8) \vee v_0 \bar{\varphi}_0 F(X_8 = Y_8), \\ h_8 &= F(X'_4 < Y'_4) \vee [F(X_4 < Y_4) \vee f_0 \bar{\varphi}_0 F(X_4 = Y_4)] F(X'_4 = Y'_4) = \\ &= F(X_8 < Y_8) \vee v_0 \bar{\varphi}_0 F(X_8 = Y_8). \end{aligned}$$

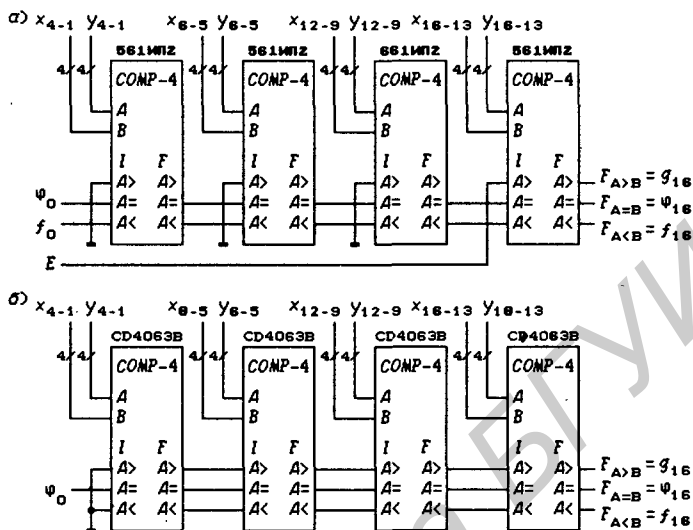


Рис. 6.83

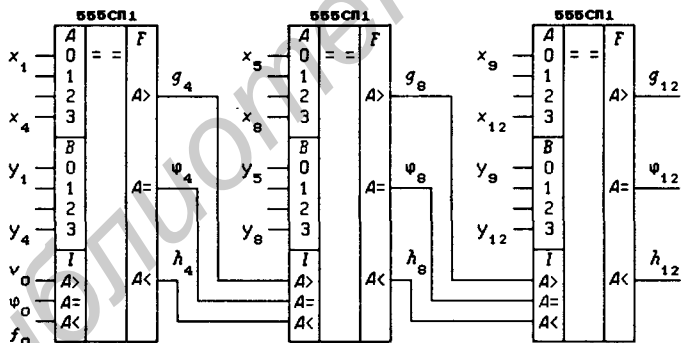


Рис. 6.84

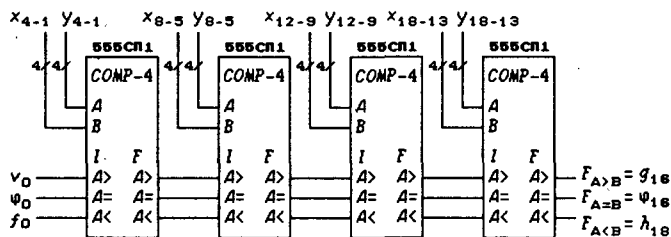


Рис. 6.85

Аналогично можно получить и функции

$$\begin{aligned}\varphi_{12} &= \varphi_0 F(X_{12} = Y_{12}), \\ g_{12} &= F(X_{12} > Y_{12}) \vee \bar{f}_0 \bar{\varphi}_0 F(X_{12} = Y_{12}), \\ h_{12} &= F(X_{12} < Y_{12}) \vee \bar{v}_0 \bar{\varphi}_0 F(X_{12} = Y_{12}),\end{aligned}$$

т.е. функции, выполняемые схемой на рис. 6.84, программируются сигналами  $v_0$ ,  $\varphi_0$  и  $f_0$  (табл. 6.18).

Аналогично схеме на рис. 6.84 можно построить схему сравнения  $4m$ -разрядных чисел с последовательным включением  $m$  ИС. На рис. 6.85 изображена структурная схема для сравнения 16-разрядных двоичных чисел. Программирование функций при последовательном включении  $m$  ИС сигналами  $v_0$ ,  $\varphi_0$  и  $f_0$  будет определяться табл. 6.18:  $g_{4m} = g_4$  при нечетном  $m$  и  $g_{4m} = g_8$  при четном  $m$ . При последовательном включении ИС значительно снижается быстродействие схем сравнения много-разрядных чисел.

Каскадирование ИС сравнения двоичных чисел можно производить и при параллельном их включении. На рис. 6.86,а показано включение ИС 561ИП2 в качестве преобразователя разрядности сравниваемых чисел. Из рис. 6.86,а следует, что  $E = 1$ ,  $\varphi_0 = 1$  и  $f_0 = 0$ . Подставив эти значения в (6.26) и (6.27), получим:

$$g_4 = F(X_4 > Y_4), \quad f_4 = F(X_4 < Y_4), \quad g_4 f_4 = 0 \quad (6.34)$$

(при  $X_4 = Y_4$  функция  $g_4 = f_4 = 0$ ). Из (6.34) видно, что соотношения “меньше”, “больше” и “равно” между 4-разрядными числами  $X_4$  и  $Y_4$  полностью переносятся на функции  $g_4$  и  $f_4$  (например, если  $X_4 > Y_4$ , то и  $g_4 > f_4$ ), которые можно рассматривать, как одноразрядные числа. На рис. 6.86,б приведено упрощенное обозначение этого преобразователя.

Схема сравнения 20-разрядных двоичных чисел при параллельном включении ИС 561ИП2 показана на рис. 6.87, а полная ее структурная схема — на рис. 6.88 (все входные сигналы последовательно проходят только через две ИС). Интегральные схемы  $D2 - D5$  включены в качестве преобразователей разрядности сравниваемых чисел. Программирование выполняемых схемой функций осуществляется сигналами  $E$ ,  $\varphi_0$  и  $f_0$  в соответствии с табл. 6.17. Если в схеме на рис. 6.87 положить  $E = 1$ ,  $\varphi_0 = 1$  и  $f_0 = 0$ , то ее можно использовать в качестве преобразователя 20-разрядных чисел в одноразрядные числа  $g_{20}$  и  $f_{20}$  с сохранением соотношений “меньше”, “больше” и “равно”. Тогда вместо ИС  $D2 - D5$  можно включить такие 20-разрядные преобразователи, а ИС  $D1$  можно заменить на схему из ИС  $D1 - D6$ . В результате получится схема сравнения 100-разрядных

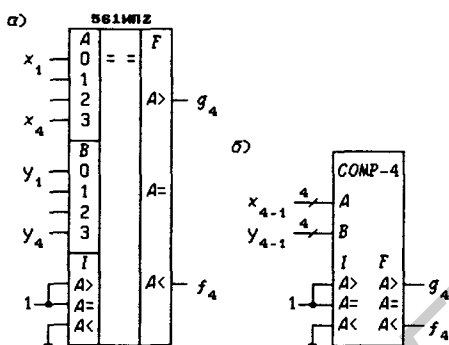


Рис. 6.86

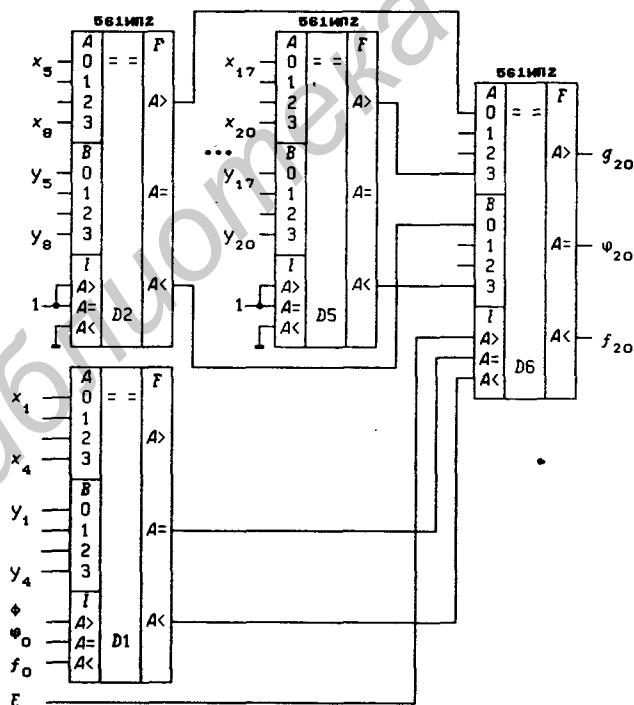


Рис. 6.87

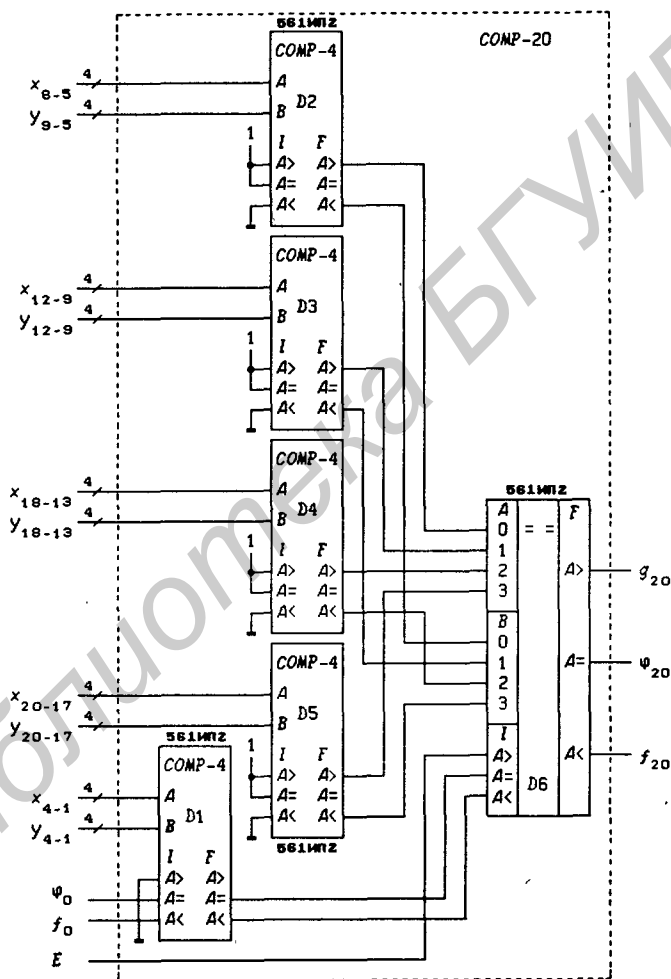


Рис. 6.88



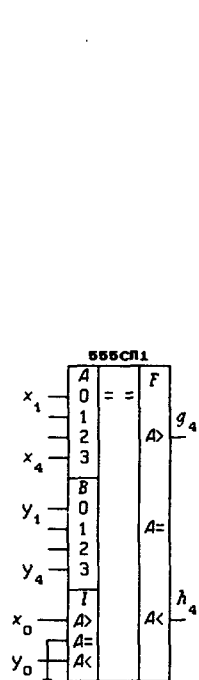


Рис. 6.89

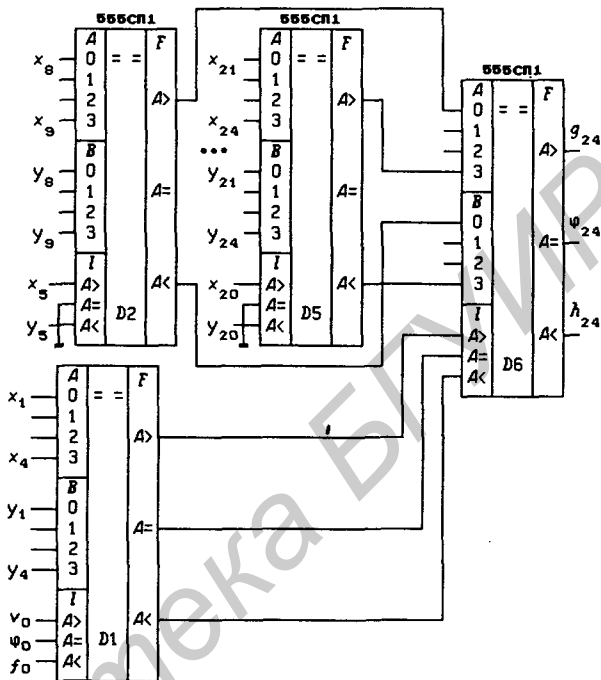


Рис. 6.90

двоичных чисел, причем последовательно будет включено не более трех ИС 551ИП2.

На рис. 6.89 показано включение ИС 555СП1 в качестве преобразователя разрядности сравниваемых чисел. Из рис. 6.89 следует, что

$$v_0 = I_{A>} = x_0, \varphi_0 = I_{A=} \equiv 0, f_0 = I_{A<} = y_0.$$

Подставив эти значения в (6.33), получим:

$$g_4 = F(X_4 > Y_4) \vee \bar{y}_0 F(X_4 = Y_4) = \begin{cases} \bar{y}_0 & \text{при } X_4 = Y_4, \\ F(X_4 > Y_4) & \text{при } X_4 \neq Y_4; \end{cases}$$

$$h_4 = F(X_4 < Y_4) \vee \bar{x}_0 F(X_4 = Y_4) = \begin{cases} \bar{x}_0 & \text{при } X_4 = Y_4, \\ F(X_4 < Y_4) & \text{при } X_4 \neq Y_4. \end{cases} \quad (6.35)$$

Из (6.35) видно, что соотношения “меньше”, “больше” и “равно” между 5-разрядными числами  $X_5 = x_4 x_3 x_2 x_1 x_0$  и  $Y_5 = y_4 y_3 y_2 y_1 y_0$  полностью переносятся на функции  $g_4$  и  $h_4$  (напри-

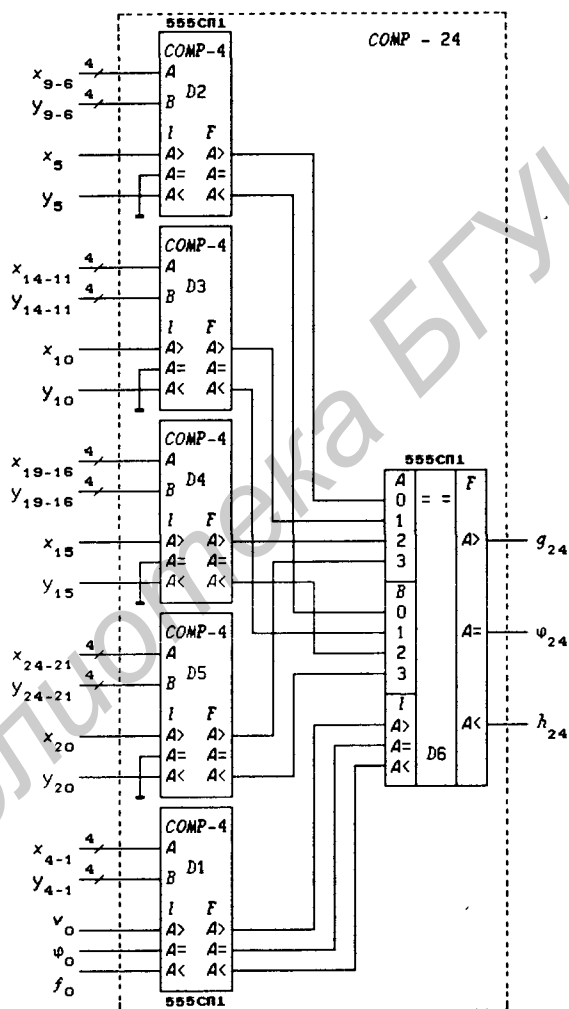


Рис. 6.91

мер, если  $X_5 = Y_5$ , то  $g_4 = h_4$ ), которые можно рассматривать, как одноразрядные числа.

Схема сравнения 24-разрядных двоичных чисел при параллельном включении ИС 555СП1 показана на рис. 6.90, а полная ее структурная схема — на рис. 6.91 (все входные сигналы последовательно проходят только через две ИС). Интегральные схемы  $D2 - D5$  используются в качестве преобразователей разрядности сравниваемых чисел. Программирование выполняемых схемой функций осуществляется сигналами  $v_0$ ,  $\varphi_0$  и  $f_0$  в соответствии с табл. 6.18 для функций  $g_8$ ,  $\varphi_8$  и  $h_8$ . Если в схеме на рис. 6.90 положить  $v_0 = x_0$ ,  $\varphi_0 \equiv 0$  и  $f_0 = y_0$ , то ее можно использовать в качестве преобразователя 25-разрядных чисел в одноразрядные числа  $g_{24}$  и  $h_{24}$  с сохранением соотношений “меньше”, “больше” и “равно”. Тогда вместо ИС  $D2 - D5$  можно включить такие 25-разрядные преобразователи, а ИС  $D1$  можно заменить на схему из ИС  $D1 - D6$ . В результате получится схема сравнения 124-разрядных двоичных чисел, причем последовательно будет включено не более трех ИС 555СП1.

В табл. 6.19 приведены основные характеристики различных схем сравнения двоичных чисел [23] при параллельном включении ИС.

Таблица 6.19. Основные характеристики схем сравнения

Длина слова	Число ИС	Время сравнения, нс			
		555СП1	531СП1	'85	'L85
4	1	24	11	23	90
24	6	48	22	46	180
120	31	72	33	69	270

**8-разрядные схемы сравнения двоичных чисел.** На рис. 6.92 показаны 8-разрядные схемы сравнения двоичных чисел с триггерами Шмитта на входах  $A$  и  $B$  сравниваемых чисел (ширина петли гистерезиса составляет 0,4 В) и инверсными выходами  $\overline{F}_{A=B}$  и  $\overline{F}_{A>B}$ :

74LS682 — компаратор, на входах которого имеются внутренние резисторы 20 кОм, подключенные к выводу питания  $V_{CC}$ ;

74LS683 — компаратор, на входах которого имеются внутренние резисторы 20 кОм, подключенные к выводу питания  $V_{CC}$ , имеющий выходы с открытым коллектором;

74LS684 — компаратор со стандартными выходами;

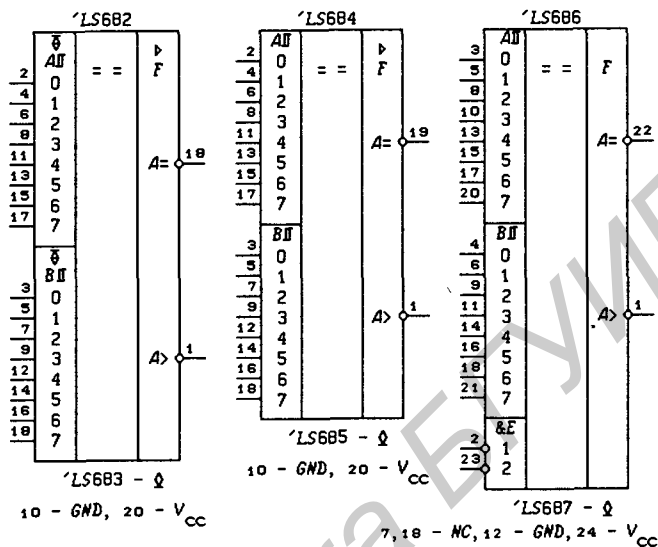


Рис. 6.92

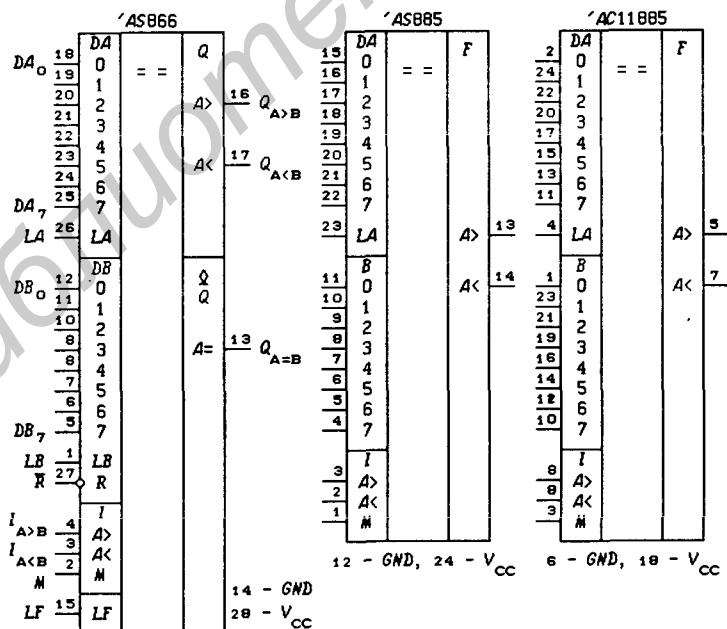


Рис. 6.93

74LS685 — компаратор, имеющий выходы с открытым коллектором;

74LS686 — компаратор со стробирующими входами  $\overline{E}_1$  и  $\overline{E}_2$ ;

74LS687 — компаратор со стробирующими входами  $\overline{E}_1$  и  $\overline{E}_2$ , имеющий выходы с открытым коллектором.

Первые четыре компаратора выполняют функции  $F_{A=B} = F(X_8 = Y_8)$  и  $F_{A>B} = F(X_8 > Y_8)$ , а два последних — функции  $F_{A=B} = E_1 E_2 F(X_8 = Y_8)$  и  $F_{A>B} = E_1 E_2 F(X_8 > Y_8)$ .

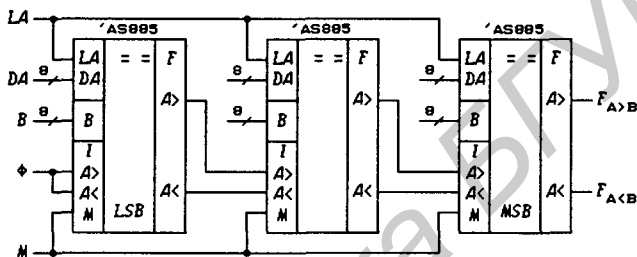


Рис. 6.94

На рис. 6.93 представлены 8-разрядные схемы сравнения двоичных чисел, содержащие асинхронные потенциальные регистры памяти:

74AS866 — компаратор с регистрами памяти входных чисел  $DA$ ,  $DB$  и результата сравнения  $F_{A=B} = F(X_8 = Y_8)$ ,  $F_{A>B} = F(X_8 > Y_8)$  и  $F_{A<B} = F(X_8 < Y_8)$ ;

74AS885, 74AC11885 — компараторы с фиксацией числа  $DA$  в регистре памяти.

Каскадирование компараторов AS885 показано на рис. 6.94.

## 6.9. Прямой, обратный и дополнительный коды

Для выполнения в ЭВМ арифметических операций необходимо использовать специальное кодирование отрицательных чисел. Для представления знака числа требуется введение дополнительного знакового разряда. Знак минус принято кодировать символом 1, а знак плюс — символом 0.

**Прямой код.** Прямой код целого  $n$ -разрядного двоичного числа  $X' = \pm x_{n-1} \dots x_1 x_0$  задается соотношением:

$$[X']_{\text{П}} = x_n \cdot X = \begin{cases} 0 \cdot X, & \text{если } X' \geq 0, \\ 1 \cdot X, & \text{если } X' < 0, \end{cases}$$

где  $X = |X'| = x_{n-1} \dots x_1 x_0$  — модуль числа  $X'$ , а прямой код  $x_n X = x_n x_{n-1} \dots x_1 x_0$  (для наглядности знаковый разряд отделяется точкой). Числу 0 может быть приписан любой знак. Таким образом, прямой код числа  $X'$  произвольного знака получается добавлением к модулю числа  $X'$  знакового разряда  $x_n$ , значение которого и определяет знак числа.

Прямой код упрощает умножение чисел, так как в этом случае для вычисления произведения необходимо перемножить модули чисел  $X'$  и  $Y'$  и вычислить знак произведения  $z_m$ , который определяется только значениями знаков чисел  $X'$  и  $Y'$ . Знак произведения  $z_m = x_n \oplus y_n$ , где  $m = 2n$ .

**Обратный код.** Обратный код целого  $n$ -разрядного двоичного числа  $X' = \pm x_{n-1} \dots x_0$  определяется соотношением

$$[X']_0 = \begin{cases} 0.X, & \text{если } X' \geq 0, \\ 1.\bar{X}, & \text{если } X' \leq 0, \end{cases}$$

где  $X = x_{n-1} \dots x_1 x_0$  — модуль числа  $X'$ ,  $\bar{X} = \bar{x}_{n-1} \dots \bar{x}_1 \bar{x}_0$ .

Число 0 и в обратном коде имеет два представления:  $0.0 \dots 00$  — положительный и  $1.1 \dots 11$  — отрицательный нули. В  $n + 1$ -разрядных (с учетом знакового разряда) прямом и обратном кодах могут быть представлены числа  $-2^n + 1 \leq X \leq 2^n - 1$ .

**Дополнительный код.** Пусть требуется найти разность двух целых положительных  $n$ -разрядных чисел:

$$X = x_{n-1} \dots x_1 x_0 \text{ и } Y = y_{n-1} \dots y_1 y_0,$$

где  $X \geq 0, Y > 0$ . Так как разность

$$S' = X - Y = X + (-Y),$$

то вычитание эквивалентно сложению с отрицательным числом  $-Y$ . В двоичной системе счисления

$$X = x_{n-1} 2^{n-1} + \dots + x_0 2^0 = \sum_{i=0}^{n-1} x_i 2^i.$$

Максимальное значение  $X$  получается при  $x_i = 1$  для всех  $i = 0, 1, \dots, n - 1$ :

$$X_{\max} = \sum_{i=0}^{n-1} 2^i = 2^n - 1. \quad (6.36)$$

Таким образом,  $0 \leq X \leq 2^n - 1$  и  $0 < Y \leq 2^n - 1$ . Разность

$$S' = X - Y = X - 2^n + (2^n - Y) = X - 2^n + W, \quad (6.37)$$

где  $W = 2^n - Y$ . Так как значения  $0 < Y \leq 2^n - 1$ , то  $0 < W \leq 2^n - 1$ . Положительное число  $W = 2^n - Y$  называется

дополнением  $Y$  до  $2^n$ . Из соотношения (6.37) следует, что  $X - Y + 2^n = X + W$ , т. е. вычитание сводится к сложению, но результат надо скорректировать на  $2^n$  (вычесть из разности число  $2^n$ ).

Из выражения (6.36) следует, что

$$2^n = \sum_{i=0}^{n-1} 2^i + 1,$$

поэтому

$$W = 2^n - Y = \sum_{i=0}^{n-1} 2^i - \sum_{i=0}^{n-1} y_i 2^i + 1 = \sum_{i=0}^{n-1} (1 - y_i) \cdot 2^i + 1 = \sum_{i=0}^{n-1} \bar{y}_i 2^i + 1,$$

так как  $1 - y_i = \bar{y}_i$ . Поскольку  $0 < W \leq 2^n - 1$ , то

$$W = w_{n-1} \dots w_1 w_0 = \bar{y}_{n-1} \dots \bar{y}_1 \bar{y}_0 + 1 = \bar{Y} + 1, \quad (6.38)$$

где  $\bar{Y} = \bar{y}_{n-1} \dots \bar{y}_1 \bar{y}_0$ ,  $+1 = 0.0 \dots 01$ .

Разность (6.37) можно представить в виде:

$$\begin{aligned} S' &= X - 2^n + W = (0 \cdot 2^n + X) + (-1 \cdot 2^n + W) = \\ &= 0.x_{n-1} \dots x_1 x_0 + 1.w_{n-1} \dots w_1 w_0, \end{aligned} \quad (6.39)$$

где  $0.x_{n-1} \dots x_1 x_0 = 0 \cdot 2^n + X$ ,  $1.w_{n-1} \dots w_1 w_0 = -1 \cdot 2^n + W$ .

Величина  $0.x_{n-1} \dots x_1 x_0$  называется *дополнительным кодом положительного числа  $X$*  (совпадает с прямым кодом), а величина  $1.w_{n-1} \dots w_1 w_0$  — *дополнительным кодом отрицательного числа  $-Y$* . Здесь значение  $n$ -го разряда определяет знак числа (0 — число положительное, 1 — число отрицательное).

Из (6.39) следует, что знаковый разряд имеет вес  $-2^n$ .

Если число  $Y'$  может иметь любой знак, то дополнительный код

$$[Y']_D = \begin{cases} 0.Y, & \text{если } Y' \geq 0, \\ 1.W, & \text{если } Y' < 0, \end{cases} \quad (6.40)$$

где  $Y = |Y'| = y_{n-1} \dots y_1 y_0$ ,  $W = w_{n-1} \dots w_1 w_0 = \bar{Y} + 1 = 2^n - Y$ . Дополнительный код отрицательных чисел можно записать также в виде  $[-Y]_D = 1.\bar{Y} + 1$ . В  $n + 1$ -разрядном (с учетом знакового разряда) дополнительном коде могут быть представлены числа  $-2^n \leq Y \leq 2^n - 1$ .

Из определения (6.40) следуют правила получения дополнительного кода отрицательных чисел (правила преобразования прямого кода в дополнительный). Для этого необходимо: записать модуль  $Y = |Y'|$  отрицательного числа  $Y'$  в двоичной системе счисления; взять инверсию от каждого разряда числа,

т. е. вычислить число  $\bar{Y} = \bar{y}_{n-1} \dots \bar{y}_1 \bar{y}_0$ ; сложить полученное число  $\bar{Y}$  с единицей, т. е. вычислить число  $\bar{Y} + 1$ ; записать 1 в  $n$ -й разряд.

В качестве примера рассмотрим отыскание дополнительного кода числа  $Y' = -28$ :

$$\begin{array}{r} \underline{2^4 2^3 2^2 2^1 2^0} \text{— веса разрядов,} \\ 1 \ 1 \ 1 \ 0 \ 0 = |Y'| = +28, \\ 0 \ 0 \ 0 \ 1 \ 1 = \bar{Y}, \\ + \ 0 \ 0 \ 0 \ 0 \ 1 = +1, \\ \underline{\phantom{0} \ 0 \ 0 \ 1 \ 0 \ 0} = \bar{Y} + 1, \\ 1. \ 0 \ 0 \ 1 \ 0 \ 0 = [Y']_{\text{д}}. \end{array}$$

Введем обозначения:

$$\begin{aligned} [X']_{\text{д}} &= \alpha_n \cdot A = \begin{cases} 0 \cdot X, & \text{если } X' \geq 0, \\ 1 \cdot W_X, & \text{если } X' < 0, \end{cases} \\ [Y']_{\text{д}} &= \beta_n \cdot B = \begin{cases} 0 \cdot Y, & \text{если } Y' \geq 0, \\ 1 \cdot W_Y, & \text{если } Y' < 0, \end{cases} \\ [S']_{\text{д}} &= \gamma_n \cdot \Gamma = \begin{cases} 0 \cdot S, & \text{если } S' \geq 0, \\ 1 \cdot W_S, & \text{если } S' < 0, \end{cases} \end{aligned}$$

где  $A = \alpha_{n-1} \dots \alpha_1 \alpha_0$ ,  $B = \beta_{n-1} \dots \beta_1 \beta_0$ ,  $\Gamma = \gamma_{n-1} \dots \gamma_1 \gamma_0$ ;  $\alpha_n$ ,  $\beta_n$  и  $\gamma_n$  — знаковые разряды;  $W_X = 2^n - X$ ,  $W_Y = 2^n - Y$  и  $W_S = 2^n - S$  — дополнения до  $2^n$ ;  $X = |X'|$ ,  $Y = |Y'|$  и  $S = |S'|$  — модули соответствующих чисел.

**Теорема.** *Дополнительный код арифметической суммы  $S'$  двух двоичных чисел  $X'$  и  $Y'$  любых знаков равен арифметической сумме дополнительных кодов чисел, т. е.*

$$[S']_{\text{д}} = [X' + Y']_{\text{д}} = [X']_{\text{д}} + [Y']_{\text{д}},$$

причем при сложении чисел одинакового знака разрядная сетка не должна переполняться. Если  $X' > 0$ ,  $Y' > 0$  и  $|X'| + |Y'| \geq 2^n$ , то происходит потеря значения  $+2^n$  и изменение знака остатка суммы на противоположный. Если же  $X' < 0$  и  $Y' < 0$ , то потеря значения  $-2^n$  и изменение знака остатка суммы на противоположный происходит при  $|X'| + |Y'| \geq 2^n + 1$ .

**Доказательство.** Требуется показать, что

$$[S']_{\text{д}} = [X']_{\text{д}} + [Y']_{\text{д}} = \gamma_n \cdot \Gamma = \alpha_n \cdot A + \beta_n \cdot B$$

при отсутствии переполнения разрядной сетки. Для знакового разряда суммы имеет место соотношение:

$$\gamma_n = \alpha_n \oplus \beta_n \oplus c_n, \quad c_n = \begin{cases} 0, & \text{если } A + B < 2^n, \\ 1, & \text{если } A + B \geq 2^n, \end{cases}$$



где  $c_n$  — перенос из  $n - 1$ -го разряда.

Для доказательства теоремы необходимо рассмотреть три комбинации значений слагаемых:  $X' \geq 0$  и  $Y' < 0$  (случай  $X' < 0$  и  $Y' \geq 0$  переименованием чисел сводится к первой комбинации),  $X' \geq 0$  и  $Y' \geq 0$ ,  $X' < 0$  и  $Y' < 0$ .

1. Пусть  $X' \geq 0$  и  $Y' < 0$ , тогда

$$\begin{aligned} [X']_д + [Y']_д &= 0.X + 1.W_Y, \quad \gamma_n = 0 \oplus 1 \oplus c_n = \bar{c}_n, \\ X + W_Y &= X + (2^n - Y) = 2^n + (X - Y). \end{aligned}$$

Если  $X - Y \geq 0$ , то  $c_n = 1$ ,  $\gamma_n = 0$  и

$$[X']_д + [Y']_д = 0.S = [S']_д,$$

где  $S = X - Y$ .

Если же  $X - Y < 0$ , то  $c_n = 0$ ,  $\gamma_n = 1$  и

$$[X']_д + [Y']_д = 1.W_S = [S']_д,$$

где  $W_S = 2^n - (Y - X) = 2^n - S$ .

2. Пусть  $X' \geq 0$  и  $Y' \geq 0$ , тогда

$$[X']_д + [Y']_д = 0.X + 0.Y, \quad \gamma_n = 0 \oplus 0 \oplus c_n = c_n.$$

Если  $X + Y < 2^n$ , то  $c_n = 0$ ,  $\gamma_n = 0$  и

$$[X']_д + [Y']_д = 0.S = [S']_д,$$

где  $S = X + Y$ .

Если же  $X + Y \geq 2^n$ , то  $c_n = 1$ ,  $\gamma_n = 1$  и

$$[X']_д + [Y']_д = 1.\gamma_{n-1} \dots \gamma_1 \gamma_0,$$

где  $\gamma_{n-1} \dots \gamma_1 \gamma_0 = X + Y - 2^n$  — остаток от суммы  $X + Y$  при переполнении разрядной сетки. Этот остаток имеет отрицательный знак, хотя суммировались положительные числа  $X'$  и  $Y'$ , т.е. при переполнении разрядной сетки происходит изменение знака суммы с потерей значения суммы  $2^n$ .

3. Пусть  $X' < 0$  и  $Y' < 0$ , тогда

$$\begin{aligned} [X']_д + [Y']_д &= 1.W_X + 1.W_Y, \quad \gamma_n = 1 \oplus 1 \oplus c_n = c_n, \\ W_X + W_Y &= 2^n + (2^n - X - Y) = 2^n + (2^n - S), \end{aligned}$$

где  $S = X + Y$ .

Если  $S \leq 2^n$ , то  $c_n = 1$ ,  $\gamma_n = 1$  и

$$[X']_д + [Y']_д = 1.W_S = [S']_д,$$

где  $W_S = 2^n - S$ .

Если же  $S > 2^n$ , то  $c_n = 0$ ,  $\gamma_n = 0$  и

$$[X']_д + [Y']_д = 0.\gamma_{n-1} \dots \gamma_1 \gamma_0,$$

где  $\gamma_{n-1} \dots \gamma_1 \gamma_0 = 2^n - (S - 2^n)$  — дополнение остатка  $S - 2^n$  до  $2^n$  при переполнении разрядной сетки. Это дополнение остатка до  $2^n$  имеет положительный знак, хотя суммировались отрицательные числа  $X'$  и  $Y'$ , т.е. при переполнении разрядной сетки происходит изменение знака суммы с потерей значения суммы  $-2^n$ . Что и требовалось доказать.

Из теоремы следует, что для сложения и вычитания двоичных чисел, представленных в дополнительном коде, может быть использован один и тот же двоичный сумматор. Эта же теорема справедлива и для сложения дробных двоичных чисел любого знака, представленных в дополнительном коде, так как положение запятой в записи числа не изменяет свойств дополнительного кода. Операции, выполняемые двоичными сумматорами и синтез последовательного двоичного сумматора, были рассмотрены в § 4.3.

Рассмотрим теперь преобразование дополнительного кода (6.40) отрицательных чисел в прямой код. Так как дополнение  $W = 2^n - Y$ , то  $Y = 2^n - W$ . Поэтому

$$Y = \sum_{i=0}^{n-1} 2^i + 1 - \sum_{i=0}^{n-1} w_i 2^i = \sum_{i=0}^{n-1} (1 - w_i) \cdot 2^i + 1 = \sum_{i=0}^{n-1} \bar{w}_i 2^i + 1 = \bar{W} + 1,$$

где  $W = w_{n-1} \dots w_1 w_0$ ,  $\bar{W} = \bar{w}_{n-1} \dots \bar{w}_1 \bar{w}_0$ . Из этого следует, что правила перевода дополнительного кода в прямой аналогичны правилам перевода прямого кода в дополнительный.

Рассмотрим пример вычисления суммы  $X = +44$  и  $Y' = -96$  ( $S' = 44 - 96 = -52$ ) в дополнительном коде. Сначала необходимо представить числа  $X$  и  $Y'$  в дополнительном коде:

$$\begin{array}{r} 2^6 2^5 2^4 2^3 2^2 2^1 2^0 \text{ — веса разрядов,} \\ \underline{0 \ 1 \ 0 \ 1 \ 1 \ 0 \ 0} = X + 44, \\ 0. \underline{0 \ 1 \ 0 \ 1 \ 1 \ 0 \ 0} = [X]_д, \\ \underline{1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0} = |Y'| = Y = +96, \\ \underline{0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1} = \bar{Y}, \\ + \underline{0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1} = +1, \\ \underline{0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0} = \bar{Y} + 1, \\ 1. \underline{0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0} = [Y']_д. \end{array}$$

Затем вычисляется арифметическая сумма дополнительных кодов  $[X]_д$  и  $[Y']_д$ :

$$\begin{array}{r} 0.0101100 = [X]_д, \\ + \underline{1.0100000} = [Y']_д, \\ \underline{1.1001100} = [X]_д + [Y']_д = [S']_д. \end{array}$$

Далее выполняем перевод дополнительного кода  $[S']_д = 1.W$  суммы  $S' = X + Y'$  в прямой код:

$$\begin{array}{r}
 \underline{2^6 2^5 2^4 2^3 2^2 2^1 2^0} \text{ — веса разрядов,} \\
 1. \underline{1 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0} = \{S'\}_д, \\
 \quad \underline{0 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1} = \overline{W}, \\
 + \underline{0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1} = +1, \\
 \quad \underline{0 \ 1 \ 1 \ 0 \ 1 \ 0 \ 0} = S = +52, \\
 1. \underline{0 \ 1 \ 1 \ 0 \ 1 \ 0 \ 0} = \{S'\}_п.
 \end{array}$$

Переполнение разрядной сетки может наступить только при сложении чисел одинакового знака. Покажем, что функция  $OVR = c_{s+1} \oplus c_s$ , где  $c_s$  — перенос в знаковый разряд и  $c_{s+1}$  — перенос из знакового разряда, равна 1 только при переполнении разрядной сетки ( $OVR$  — *Overflow* — переполнение). Пусть  $x_s, y_s, s_s$  — знаковые разряды чисел и их суммы ( $S$  — *Sign* — знак). Если числа разного знака, то  $x_s = \overline{y}_s$  и

$$c_{s+1} = x_s y_s \vee x_s c_s \vee y_s c_s = c_s, \quad OVR = c_{s+1} \oplus c_s = 0.$$

Если же числа имеют одинаковый знак, то  $x_s = y_s$  и

$$s_s = x_s \oplus y_s \oplus c_s = c_s, \quad c_{s+1} = x_s y_s \vee x_s c_s \vee y_s c_s = x_s,$$

$$s_s = \begin{cases} x_s & \text{— при отсутствии переполнения,} \\ \overline{x}_s & \text{— при переполнении} \end{cases}$$

(значения  $s_s = x_s$  и  $s_s = \overline{x}_s$  следуют из теоремы сложения чисел в дополнительном коде). Отсюда

$$\begin{aligned}
 OVR &= c_{s+1} \oplus c_s = x_s \oplus s_s = \\
 &= \begin{cases} x_s \oplus x_s = 0 & \text{при отсутствии переполнения,} \\ x_s \oplus \overline{x}_s = 1 & \text{при переполнении.} \end{cases}
 \end{aligned}$$

Прямой, дополнительный и обратный коды положительных чисел совпадают. Легко заметить, что обратный и дополнительный коды отрицательных чисел связаны соотношением

$$[-X]_0 = [-X]_д - 1,$$

так как  $[-X]_0 = (1, \overline{X})$ , а  $[-X]_д = (1, \overline{X}) + 1$ .

**Сложение чисел в обратном коде.** Установим правило сложения чисел в обратном коде, используя связь между прямым и дополнительным кодами. Для этого покажем, что это правило определяется соотношением

$$[S']_0 = [X']_0 + [Y']_0 + c_n,$$

где  $c_n$  — перенос в  $n$ -й разряд из знакового разряда, т. е. перенос  $c_n$  следует подать на вход переноса первого разряда двоичного сумматора. Будем полагать, что при сложении чисел  $X'$  и  $Y'$  разрядная

сетка не переполняется, а значит не изменяется знак суммы  $S'$  на противоположный.

Справедливость правила сложения чисел в обратном коде для случаев  $X' \geq 0$ ,  $X' < 0$  и  $Y' = 0$  ( $X' = 0$  и  $Y' \geq 0$ ,  $Y' < 0$ ) проверяется непосредственно на основании приведенного определения этого правила. Например, при  $X' = Y' = 0$  получим, что

$$[S']_0 = [0]_0 + [0]_0 + c_n = 1.1 \dots 11 + 1.1 \dots 11 + c_n.$$

Из данного соотношения видно, что из знакового разряда возникает перенос, т. е.  $c_n = 1$ . Поэтому обратный код суммы  $[S'] = 1.1 \dots 1$  — отрицательный ноль. Рассмотрим другие возможные случаи сложения чисел  $X'$  и  $Y'$ .

Пусть  $X' > 0$  и  $Y' > 0$ , т. е. суммируются положительные числа  $X$  и  $Y$ . В этом случае сумма  $S' > 0$  и дополнительный код суммы:

$$[S']_д = [X]_д + [Y]_д = 0.X + 0.Y.$$

Из данного выражения видно, что перенос из знакового разряда возникнуть не может, т. е. перенос  $c_n = 0$ , а значит

$$[S']_0 = [X]_0 + [Y]_0 = [S']_д,$$

так как обратный и дополнительный коды положительных чисел совпадают. Таким образом, сформулированное правило сложения чисел в обратном коде справедливо при  $X' > 0$  и  $Y' > 0$ .

Пусть  $X' > 0$  и  $Y' < 0$ , т. е. суммируются числа  $X$  и  $Y' = -Y$ . В этом случае сумма  $S'$  может иметь любой знак. Дополнительный код суммы определяется соотношением

$$[S']_д = [X]_д + [-Y]_д = 0.X + 1.\bar{Y} + 1.$$

Если сумма  $S' < 0$ , то перенос из знакового разряда не возникает ( $c_n = 0$ ), так как иначе знак суммы изменился бы на противоположный. Поэтому обратный код суммы:

$$[S']_0 = [X]_0 + [-Y]_0 = [S']_д - 1,$$

как и должно быть на основании связи обратного и дополнительного кодов отрицательных чисел. Если же сумма  $S' > 0$ , то из выражения для дополнительного кода суммы следует, что должен возникнуть перенос из знакового разряда ( $c_n = 1$ ), так как в противном случае знак суммы изменился бы на противоположный. Поэтому обратный код суммы

$$[S']_0 = [X]_0 + [-Y]_0 + 1 = [S']_д,$$

как и должно быть, так как обратный и дополнительный коды положительных чисел совпадают. При  $Y = -X$  сумма  $S' = 0$  и обратный код суммы

$$[S']_0 = [X]_0 + [-X]_0 = 0.X + 1.\bar{X} = 1.1 \dots 11,$$

т. е. в результате суммирования получается отрицательный ноль. Положительный и отрицательный нули при выполнении арифметических операций эквивалентны друг другу, т. е. появление отрицательного нуля не приводит к ошибкам в вычислительном процессе. Таким

образом, при  $X' > 0, Y' < 0$  сформулированное правило сложения чисел в обратном коде справедливо. Случай  $X' < 0$  и  $Y' > 0$  аналогичен случаю  $X' > 0$  и  $Y' < 0$ , поэтому рассматривать его нет необходимости.

Пусть, наконец,  $X' < 0$  и  $Y' < 0$ , т. е. суммируются отрицательные числа. В этом случае сумма  $S' < 0$  и дополнительный код суммы

$$[S']_д = [-X]_д + [-Y]_д = 1.\bar{X} + 1 + 1.\bar{Y} + 1.$$

Поскольку сумма  $S' < 0$ , то должен возникнуть перенос из знакового разряда ( $c_n = 1$ ), так как в противном случае знак суммы изменился бы на противоположный. Поэтому обратный код суммы

$$[S']_о = [-X]_о + [-Y]_о + 1 = [S']_д - 1,$$

как и должно быть на основании связи обратного и дополнительного кодов отрицательных чисел. Таким образом, сформулированное правило сложения чисел в обратном коде справедливо при  $X' < 0$  и  $Y' < 0$ .

Преимуществом обратного кода является простота его получения. В частности, для получения обратного кода положительного числа  $X$ , умноженного на  $-1$ , достаточно проинвертировать все разряды обратного кода этого числа  $X$ . Недостатком использования обратного кода является меньшее быстродействие сумматора, так как перенос из последнего (знакового) разряда подается на вход переноса первого разряда, что при равенстве данного переноса единице может заново вызвать в сумматоре переходный процесс.

**Код с избытком 3.** Десятичные сумматоры применяются в тех случаях, когда числа  $X$  и  $Y$  представлены в десятичной системе счисления двоично-десятичным кодом 8-4-2-1 и требуется представлять сумму  $S$  в этом же коде. Числа  $X$  и  $Y$  записываются в виде:

$$X = X_{n-1}X_1X_0 \text{ и } Y = Y_{n-1}Y_1Y_0,$$

где  $X_p = x_{p3}x_{p2}x_{p1}x_{p0}$ ,  $Y_p = y_{p3}y_{p2}y_{p1}y_{p0}$  — десятичные разряды чисел, представленные 4-разрядным двоичным кодом 8-4-2-1.

Код 8-4-2-1 неудобен для выполнения арифметических операций, в частности из-за сложности обнаружения переноса в следующую тетраду при  $X_p + Y_p \geq 10$ . При вычитании десятичных чисел  $X$  и  $Y$  дело обстоит еще сложнее — требуется вводить преобразователь кода 8-4-2-1 отрицательных чисел в дополнение до 9 (или до 10).

Десятичные сумматоры для сложения и вычитания чисел  $X$  и  $Y$  можно построить на двоичных сумматорах, если использовать код с избытком 3. Код 8-4-2-1 для числа  $X_p + 3$  называется *кодом с избытком 3* числа  $X_p$  и обозначается через  $\{X_p\}$ . Для сложения 4-разрядных двоичных кодов  $\{X_p\}$  и  $\{Y_p\}$  можно использовать 4-разрядные двоичные сумматоры.

Рассмотрим особенности сложения положительных чисел  $X_p$  и  $Y_p$  в коде с избытком 3. Если  $X_p + Y_p \geq 10$ , то  $\{X_p\} + \{Y_p\} = X_p + 3 + Y_p + 3 \geq 16$ , и на выходе двоичного сумматора возникает перенос  $c_{p+1} = 1$  в следующий десятичный разряд, а остаток суммы будет равен  $\{X_p\} + \{Y_p\} - 16$ , в то время как он должен быть равен  $\{X_p +$

$Y_p - 10\} = X_p + Y_p - 10 + 3 = \{X_p\} + \{Y_p\} - 16 + 3$ . Поэтому к остатку суммы  $\{X_p\} + \{Y_p\} - 16$  следует прибавить число 3.

Если  $X_p + Y_p < 10$ , то  $\{X_p\} + \{Y_p\} < 16$  и на выходе двоичного сумматора перенос отсутствует ( $c_{p+1} = 0$ ), а сумма  $\{X_p\} + \{Y_p\} = \{X_p + Y_p\} + 3$ . Поэтому из суммы  $\{X_p\} + \{Y_p\}$  следует вычесть число 3, чтобы получить величину  $\{X_p + Y_p\}$ , которая является кодом с избытком 3 суммы  $X_p + Y_p$ . Вычитание какого-либо числа эквивалентно сложению его с дополнением до  $2^n$ , поэтому вместо вычитания числа 3 можно прибавить число  $2^4 - 3 = 13 = 1101$ .

Таким образом, если перенос возникает, то к остатку суммы следует прибавить число 3, а если он отсутствует, то к сумме следует прибавить число 13. Итак, одноразрядный десятичный сумматор для десятичных разрядов, представленных в коде с избытком 3, описывается соотношениями:

$$c_{p+1} = \begin{cases} 0, & \text{если } \{X_p\} + \{Y_p\} + c_p < 16, \\ 1, & \text{если } \{X_p\} + \{Y_p\} + c_p \geq 16, \end{cases}$$

$$\{S_p\} = \begin{cases} \{X_p\} + \{Y_p\} + c_p + 13, & \text{если } c_{p+1} = 0, \\ \{X_p\} + \{Y_p\} + c_p + 3, & \text{если } c_{p+1} = 1, \end{cases} \quad (6.41)$$

где  $c_{p+1}$  — перенос в следующий десятичный разряд;  $\{S_p\}$  — значение  $p$ -го десятичного разряда суммы чисел  $X$  и  $Y$ ;  $c_p = 0$  или 1 — перенос из предыдущего десятичного разряда. Сложение с числами 3 и 13 называется коррекцией суммы. Из соотношения (6.41) видно, что вычисление суммы  $\{S_p\}$  можно выполнить с помощью двух последовательно включенных 4-разрядных двоичных сумматоров: первый сумматор вычисляет вспомогательную сумму  $S_p^\# = \{X_p\} + \{Y_p\} + c_p$  и перенос  $c_{p+1}$ , а второй сумматор — сумму

$$\{S_p\} = S_p^\# + \bar{c}_{p+1}\bar{c}_{p+1}c_{p+1}1,$$

так как  $\bar{c}_{p+1}\bar{c}_{p+1}c_{p+1}1 = 13$  при  $c_{p+1} = 0$  и  $\bar{c}_{p+1}\bar{c}_{p+1}c_{p+1}1 = 3$  при  $c_{p+1} = 1$ . Такое устройство называется *сумматором кодов с избытком 3*.

Рассмотрим пример вычисления суммы двух чисел, представленных в коде с избытком 3. Пусть требуется сложить два числа  $X = 326$  и  $Y = 475$  ( $S = X + Y = 801$ ). Все операции по преобразованию чисел описываются схемой:

$$\begin{array}{r} \times 10^2 \times 10^1 \times 10^0 \text{ — веса десятичных разрядов,} \\ 8421 \ 8421 \ 8421 \text{ — веса двоичных разрядов,} \\ \hline 0011 \cdot 0010 \cdot 0110 = X = 326 \text{ (код 8-4-2-1),} \\ + 0011 \cdot 0011 \cdot 0011 \text{ — внесение избытка 3,} \\ \hline 0110 \cdot 0101 \cdot 1001 = \{X\}, \\ 0100 \cdot 0111 \cdot 0101 = Y = 475 \text{ (код 8-4-2-1),} \\ + 0011 \cdot 0011 \cdot 0011 \text{ — внесение избытка 3,} \\ \hline 0111 \cdot 1010 \cdot 1000 = \{Y\}. \end{array}$$

Сложение чисел  $X$  и  $Y$  в коде с избытком 3 поясняется схемой:

$$\begin{array}{r}
 \times 10^2 \times 10^1 \times 10^0 \text{ — веса десятичных разрядов,} \\
 \underline{8421 \quad 8421 \quad 8421} \text{ — веса двоичных разрядов,} \\
 0110 \cdot 0101 \cdot 1001 = \{X\}, \\
 + \underline{0111 \cdot 1010 \cdot 1000} = \{Y\}, \\
 0 \quad 1 \quad 1 \quad \text{— перенос,} \\
 1110 \cdot 0000 \cdot 0001 = \{X\} + \{Y\}, \\
 + \underline{1101 \cdot 0011 \cdot 0011} \text{ — коррекция,} \\
 1011 \cdot 0011 \cdot 0100 = \{S\} = \{X + Y\}, \\
 + \underline{1101 \cdot 1101 \cdot 1101} \text{ — перевод в код 8-4-2-1,} \\
 1000 \cdot 0000 \cdot 0001 = \{S\} = 801 \text{ (код 8-4-2-1)}
 \end{array}$$

(над точками в строке  $\{X\} + \{Y\}$  указаны переносы из предыдущего разряда).

Рассмотрим теперь вычитание  $n$ -разрядных десятичных чисел  $X$  и  $Y$  с использованием кода с избытком 3. Так как

$$S' = X - Y = X' - 10^n + (10^n - Y) = X' - 10^n + W,$$

где  $W = 10^n - Y$ , то вычитание из  $X$  числа  $Y$  эквивалентно сложению  $X$  с дополнением  $Y$  до  $10^n$  с коррекцией результата на  $10^n$  (следует вычесть  $10^n$ ).

Рассмотрим прямой и дополнительный коды с избытком 3 для десятичных чисел  $X'$  любого знака. Прямой код с избытком 3 задается соотношением

$$\{\{X'\}\}_п = \begin{cases} 0.\{X\}, & \text{если } X' \geq 0, \\ 1.\{X\}, & \text{если } X' < 0, \end{cases}$$

где  $X = |X'|$ . Старший  $n$ -й разряд, равный 0 или 1, определяет знак числа.

Дополнительный код с избытком 3 определяется соотношением

$$\{\{X'\}\}_д = \begin{cases} 0.\{X\}, & \text{если } X' \geq 0, \\ 1.\{W\}, & \text{если } X' < 0, \end{cases}$$

где  $W = 10^n - X$ ,  $X = |X'|$ . Полезно сравнить это соотношение с выражением (6.40) для дополнительного кода двоичных чисел.

Поскольку операция вычитания из  $X$  числа  $Y$  заменяется операцией сложения  $X$  с дополнением  $W$ , то основным требованием к кодам, используемым для выполнения арифметических операций сложения и вычитания, является схемотехническая простота отыскания дополнения  $W$ . Код с избытком 3 относится к классу самодополняющихся кодов:  $\{X_p\} + \overline{\{X_p\}} = \{9\}$  для любых  $\{X_p\} = \{0\}, \{1\}, \dots, \{9\}$ . Действительно, пусть  $X_p = 4 = 0100$ . Тогда  $\{X_p\} = 0111$ ,  $\overline{\{X_p\}} = 1000$  и  $\{X_p\} + \overline{\{X_p\}} = 1111 - 0011 = 1100 = \{9\}$ . Поэтому для дополнительного кода с избытком 3 имеет место соотношение  $\{W\} = \overline{\{X_p\}} + 1$ ,





Убедимся, что полученная сумма  $S' = 257 - 648 = -391$ . Для этого преобразуем  $\{\{S'\}\}_D$  в значение, представленное в прямом коде 8-4-2-1. Преобразования определяются схемой:

$$\begin{aligned} & \times 10^2 \times 10^1 \times 10^0 \text{ — веса десятичных разрядов,} \\ & \underline{8421 \ 8421 \ 8421} \text{ — веса двоичных разрядов,} \\ & 1.1001.0011.1100 = \{\{S'\}\}_D, \\ & 1.0110.1100.0011 = 1.\{W_S\}, \\ & + 0.0000.0000.0001 = +1, \\ & \underline{1.0110.1100.0100} = \{\{S'\}\}_D = 1.\overline{\{W_S\}} + 1, \\ & + 0.1101.1101.1101 \text{ — перевод в прямой код 8-4-2-1,} \\ & \underline{1.0011.1001.0001} = [S']_D = -391 \text{ (код 8-4-2-1).} \end{aligned}$$

Иногда возникает необходимость использования 6-ричной системы счисления (например, при построении многоканальных таймеров на основе оперативных запоминающих устройств). В этом случае сложение и вычитание проще всего выполнять в дополнительном 3-разрядном двоичном (4-2-1) коде с избытком 1 или в дополнительном 4-разрядном двоичном (8-4-2-1) коде с избытком 5. Эти коды обладают теми же свойствами, что и дополнительный код с избытком 3 для десятичной системы счисления. Дополнение  $W$  числа  $X$  в шестеричной системе счисления определяется соотношением:

$$W = 6^n - X,$$

где  $X$  —  $n$ -разрядное шестеричное число.

## 6.10. Сумматоры

Сумматоры предназначены для выполнения операций сложения и вычитания как двоичных, так и десятичных чисел, а также используются при построении цифровых устройств для производства более сложных арифметических операций и в различных электронных устройствах обработки информации.

**Двоичные параллельные сумматоры с последовательным переносом.** Комбинационным двоичным параллельным сумматором называется КС, производящая вычисление суммы двух двоичных  $n$ -разрядных чисел при одновременной подаче всех их разрядов. Способы реализации арифметических операций сложения и вычитания будем рассматривать для целых двоичных чисел, что упрощает изложение методики их синтеза. Целые положительные  $n$ -разрядные двоичные числа будем обозначать через

$$X = (x_{n-1}, \dots, x_0) \text{ и } Y = (y_{n-1}, \dots, y_0),$$

где  $(x_{n-1}, \dots, x_0), (y_{n-1}, \dots, y_0)$  — векторная запись аргументов  $n$  переключательных функций суммы  $S = (s_{n-1}, \dots, s_0)$  и переноса  $c_n$  из старшего  $n - 1$ -го разряда,  $x_{n-1}$  и  $y_{n-1}$  — старшие разряды. Таким образом,  $n$ -разрядный двоичный параллельный сумматор представляет собой КС, имеющую  $2n + 1$  вход и  $n + 1$  выход (с учетом переноса  $c_0$  в младший разряд, необходимого для каскадирования сумматоров и реализации операции вычитания;  $S$  — Sum — сумма,  $C$  — Carry — перенос):

$$s_i = f_i(x_{n-1}, \dots, x_0, y_{n-1}, \dots, y_0, c_0), \quad i = 0, 1, \dots, n - 1;$$

$$c_n = \varphi(x_{n-1}, \dots, x_0, y_{n-1}, \dots, y_0, c_0).$$

Операция сложения положительных двоичных чисел определяется правилами двоичной арифметики:

значение переноса  $c_{i+1}$  в  $i + 1$  разряд равно 1, если не менее двух величин из  $x_i, y_i$  и  $c_i$  равны 1, где  $x_i$  и  $y_i$  — разряды чисел  $X$  и  $Y$ , а  $c_i$  — перенос из  $i - 1$ -го разряда;

значение  $i$ -го разряда суммы  $s_i$  чисел  $X$  и  $Y$  равно 1, если нечетное число величин  $x_i, y_i$  и  $c_i$  равно 1.

П р и м е р:

$$\begin{array}{r} 5 \ 4 \ 3 \ 2 \ 1 \ 0 \text{ — номера разрядов,} \\ 2^5 \ 2^4 \ 2^3 \ 2^2 \ 2^1 \ 2^0 \text{ — веса разрядов,} \\ \hline 0 \ 1 \ 1 \ 0 \ 0 \ 1 = X = 25, \\ + \ 0 \ 1 \ 1 \ 1 \ 0 \ 1 = Y = 29, \\ \hline 1 \ 1 \ 0 \ 1 \ 1 \ 0 = S = 54 \text{ — сумма,} \\ \hline 1 \ 1 \ 0 \ 0 \ 1 \ 0 = C \text{ — перенос.} \end{array}$$

Если при сложении разрядная сетка не переполняется, то перенос  $c_n$  в  $n$ -й разряд отсутствует и  $C = (0, c_{n-1}, \dots, c_2, c_1, 0)$ , а  $S = (s_{n-1}, \dots, s_0)$ . В общем случае  $C = (c_n, c_{n-1}, \dots, c_2, c_1, c_0)$ .

Таблица истинности (табл. 6.20), описывающая закон функционирования одноразрядного двоичного сумматора, составляется на основании сформулированного выше правила сложения положительных чисел. Из диаграмм Вейча для функций  $s_i$  и  $c_{i+1}$  (рис. 6.95), составленных по табл. 6.20, следует, что

$$s_i = x_i \oplus y_i \oplus c_i, \quad c_{i+1} = x_i y_i \vee x_i c_i \vee y_i c_i = \overline{x_i y_i x_i c_i y_i c_i}. \quad (6.42)$$

На рис. 6.96,а показана схема одноразрядного сумматора, выполненная в соответствии с полученными формами функций  $s_i$  и  $c_{i+1}$ .

Функцию  $c_{i+1}$  можно представить не в минимальной форме:

$$\left. \begin{array}{l} c_{i+1} = x_i y_i \vee (x_i \oplus y_i) c_i = g_i \vee p_i c_i, \\ s_i = x_i \oplus y_i \oplus c_i = p_i \oplus c_i, \end{array} \right\} \quad (6.43)$$

Таблица 6.20. Одноразрядный сумматор

$i$	$x_i$	$y_i$	$c_i$	$s_i$	$c_{i+1}$	$i$	$x_i$	$y_i$	$c_i$	$s_i$	$c_{i+1}$
0	0	0	0	0	0	4	1	0	0	1	0
1	0	0	1	1	0	5	1	0	1	0	1
2	0	1	0	1	0	6	1	1	0	0	1
3	0	1	1	0	1	7	1	1	1	1	1

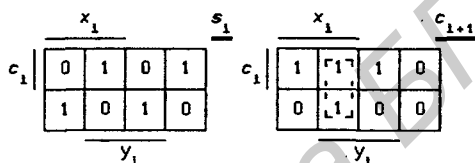


Рис. 6.95

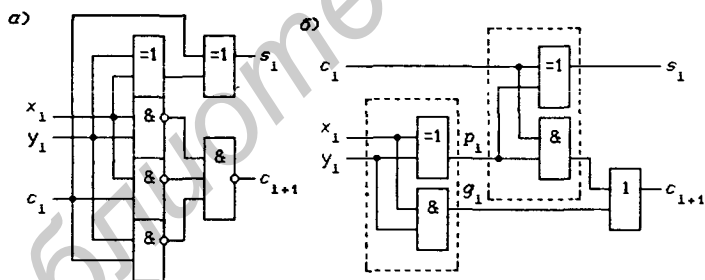


Рис. 6.96

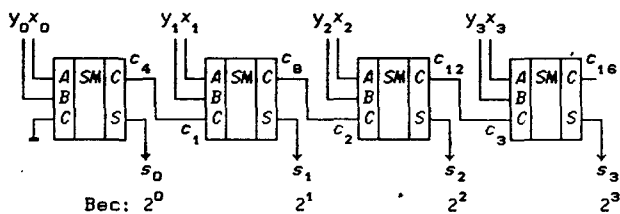


Рис. 6.97

где  $g_i = x_i y_i$ ,  $p_i = x_i \oplus y_i$ .

На рис. 6.96,б показана схема одноразрядного сумматора, выполненная в соответствии с (6.43). Узлы, выделенные пунктирной линией, называются *полусумматорами*. Сигнал  $g_i = 1$  вырабатывается в тех случаях, когда в данном разряде перенос происходит из-за комбинации значений входных переменных  $x_i$  и  $y_i$ , поэтому он называется *функцией генерации переноса* (*Carry Generation*). Сигнал  $p_i = 1$  разрешает прохождение переноса  $c_i$  на выход сумматора, поэтому он называется *функцией распространения переноса* (*Carry Propagation*). Из (6.42) следует, что функции  $c_{i+1}$  и  $s_i$  можно представить в виде:

$$c_{i+1} = g_i \vee p_i c_i, \quad s_i = \bar{g}_i p_i \oplus c_i, \quad (6.44)$$

где  $g_i = x_i y_i$ ,  $p_i = x_i \vee y_i$ .

На рис. 6.97 показана схема 4-разрядного сумматора, составленная из четырех одноразрядных сумматоров *SM*. В этой схеме переносы  $c_i$  передаются от разряда к разряду последовательно, что значительно снижает быстродействие сумматора. На основании (6.44) перенос

$$c_4 = g_3 \vee p_3(g_2 \vee p_2(g_1 \vee p_1(g_0 \vee p_0 c_0))) \quad (6.45)$$

является функцией 4-го порядка относительно переменных  $g_i$ ,  $p_i$  и  $c_0$ , что и обуславливает значительную его задержку. Сигнал  $c_4$  может быть подан на вход переноса такого же сумматора для выполнения операций сложения 8-разрядных чисел.

На рис. 6.98 показаны ИС двоичных сумматоров, выполняющих функции:

155ИМ1 — одноразрядный сумматор ( $A_0 = A_1 A_2 \vee \bar{A}_3 \vee \bar{A}_4$ ,  $B_0 = B_1 B_2 \vee \bar{B}_3 \vee \bar{B}_4$ ; символ “ $\diamond$ ” означает функцию “монтажное ИЛИ”);

155ИМ2 — двухразрядный сумматор;

555ИМ5 — два одноразрядных сумматора;

155ИМ3, 555ИМ6, 561ИМ1 — 4-разрядные сумматоры.

Четырехразрядные сумматоры 155ИМ3 и 561ИМ1 построены по схеме, показанной на рис. 6.97, за исключением логики формирования переноса  $c_4$ . На рис. 6.99 показана схема 12-разрядного параллельного двоичного сумматора с последовательными внутренним (внутри ИС) и внешним переносами. Данный сумматор может быть использован и для вычитания 12-разрядных двоичных чисел, если они представлены в дополнительном коде.

При каскадировании сумматоров (рис. 6.99) быстродействие  $4n$ -разрядного ( $n$  — число ИС) сумматора можно существенно повысить, если перенос  $c_4$  формировать, как функцию более

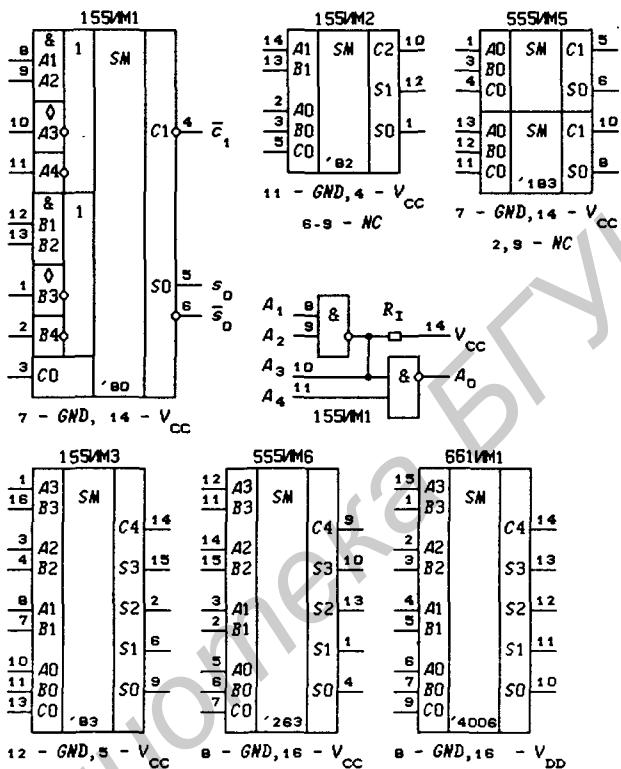


Рис. 6.98

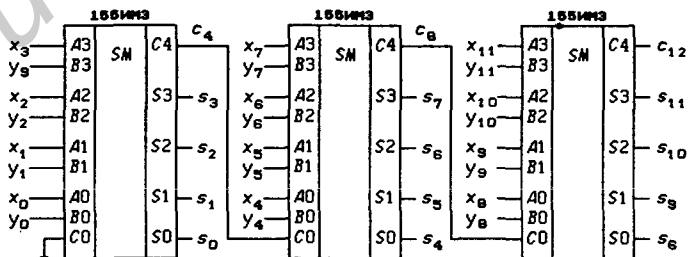


Рис. 6.99

низкого порядка, чем получаемого в схеме на рис. 6.97. Снижение порядка функции  $c_4$  производится раскрытием скобок в выражении (6.45):

$$c_4 = g_3 \vee p_3 c_3 = g_3 \vee p_3 g_2 \vee p_3 p_2 g_1 \vee p_3 p_2 p_1 g_0 \vee p_3 p_2 p_1 p_0 c_0.$$

Полученная функция имеет второй порядок относительно переменных  $g_i$ ,  $p_i$  и  $c_0$ , а значит обеспечивается меньшая задержка переноса  $c_4$ . В сумматоре 555ИМ6 уменьшены задержки всех переносов  $c_i$ .

**Двоичные сумматоры с параллельным переносом.** Сумматоры являются основными цифровыми узлами, на основе которых могут быть построены устройства, выполняющие другие арифметические операции. Скорость выполнения вычислений в ЭВМ существенно зависит от быстродействия сумматоров, поэтому при проектировании многоразрядных сумматоров должны использоваться методы, позволяющие увеличить их быстродействие [20, 24].

Для увеличения быстродействия многоразрядных сумматоров, получаемых последовательным включением 4-разрядных сумматоров, необходимо уменьшить время распространения сигнала  $c_0$  от входа до выхода  $c_4$ . Из (6.44) следует:

$$\left. \begin{aligned} c_{i+1} &= g_i \vee p_i c_i, \quad c_1 = g_0 \vee p_0 c_0, \\ c_2 &= g_1 \vee p_1 c_1 = g_1 \vee p_1 g_0 \vee p_1 p_0 c_0, \\ c_3 &= g_2 \vee p_2 c_2 = g_2 \vee p_2 g_1 \vee p_2 p_1 g_0 \vee p_2 p_1 p_0 c_0, \end{aligned} \right\} \quad (6.46)$$

$$c_4 = g_3 \vee p_3 g_2 \vee p_3 p_2 g_1 \vee p_3 p_2 p_1 g_0 \vee p_3 p_2 p_1 p_0 c_0. \quad (6.47)$$

Из (6.42) следует, что

$$\bar{c}_{i+1} = \bar{x}_i \bar{y}_i \vee \bar{x}_i c_i \vee \bar{y}_i c_i = \bar{x}_i \bar{y}_i \vee \bar{x}_i \bar{c}_i \vee \bar{y}_i \bar{c}_i = \bar{g}_i \vee \bar{p}_i \bar{c}_i,$$

где  $\bar{p}_i = \bar{x}_i \vee \bar{y}_i$ ,  $\bar{g}_i = \bar{x}_i \bar{y}_i$  ( $p_i = x_i y_i$ ,  $g_i = x_i \vee y_i$ , т. е. определения функций  $p_i$  и  $g_i$  в (6.44) взаимно поменяли). Тогда разряды суммы  $s_i = \bar{p}_i g_i \oplus c_i$  и

$$\left. \begin{aligned} \bar{c}_i &= \bar{g}_i \vee \bar{p}_i \bar{c}_i, \quad \bar{c}_1 = \bar{g}_0 \vee \bar{p}_0 \bar{c}_0, \\ \bar{c}_2 &= \bar{g}_1 \vee \bar{p}_1 \bar{c}_1 = \bar{g}_1 \vee \bar{p}_1 \bar{g}_0 \vee \bar{p}_1 \bar{p}_0 \bar{c}_0, \\ \bar{c}_3 &= \bar{g}_2 \vee \bar{p}_2 \bar{c}_2 = \bar{g}_2 \vee \bar{p}_2 \bar{g}_1 \vee \bar{p}_2 \bar{g}_1 \bar{g}_0 \vee \bar{p}_2 \bar{p}_1 \bar{p}_0 \bar{c}_0, \end{aligned} \right\} \quad (6.48)$$

$$\bar{c}_4 = \bar{g}_3 \vee \bar{p}_3 \bar{c}_3 = \bar{g}_3 \vee \bar{p}_3 \bar{g}_2 \vee \bar{p}_3 \bar{p}_2 \bar{g}_1 \vee \bar{p}_3 \bar{p}_2 \bar{p}_1 \bar{g}_0 \vee \bar{p}_3 \bar{p}_2 \bar{p}_1 \bar{p}_0 \bar{c}_0. \quad (6.49)$$

Если внутренние переносы в 4-разрядном сумматоре реализуются двухъярусной логикой в соответствии с выражениями (6.46) или (6.48), то перенос называется *параллельным* в отличие от *последовательного* переноса, показанного на рис. 6.97. Структурная схема 4-разрядного сумматора с параллельным переносом представлена на рис. 6.100 (*CRU* — *Carry Unit* —

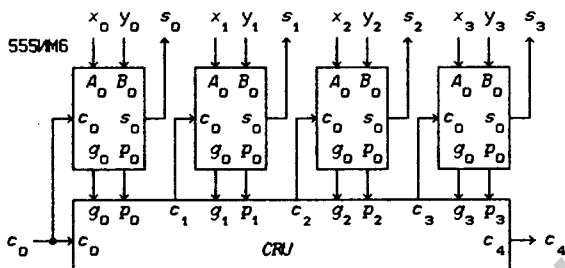


Рис. 6.100

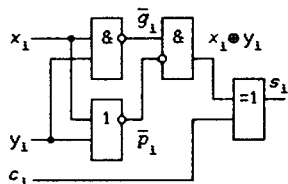


Рис. 6.101

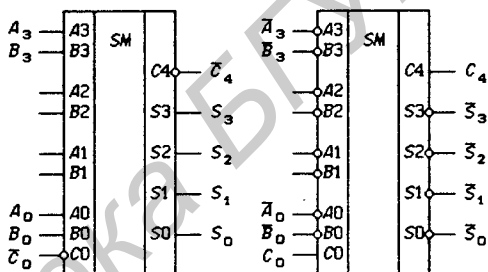


Рис. 6.102

устройство переноса). Устройство переноса выполняет функции (6.46) и (6.47) или (6.48) и (6.49). Интегральная схема 555ИМ6 (рис. 6.98) представляет собой 4-разрядный сумматор с параллельным переносом, выполненный в соответствии с (6.48) и (6.49) [24]. Структурная схема реализации одного разряда  $s_i$  показана на рис. 6.101. Каскадирование ИС 555ИМ6 производится так же, как показано на рис. 6.99.

Если в (6.42) все переменные  $x_i$ ,  $y_i$  и  $c_i$  заменить на инверсные  $\bar{x}_i$ ,  $\bar{y}_i$  и  $\bar{c}_i$ , то функции  $s_i$  и  $c_{i+1}$  также изменятся на инверсные:

$$\bar{s}_i = \bar{x}_i \oplus \bar{y}_i \oplus \bar{c}_i; \quad \bar{c}_{i+1} = \bar{x}_i \bar{y}_i \vee \bar{x}_i \bar{c}_i \vee \bar{y}_i \bar{c}_i. \quad (6.50)$$

На рис. 6.102 показаны эквивалентные обозначения 4-разрядных сумматоров, вытекающие из (6.50), для наиболее общего случая, когда используются прямые и инверсные входные сигналы в одном и том же сумматоре. Это позволяет использовать сумматоры для сложения чисел, представленных как в прямом, так и инверсном коде.

Все сумматоры, приведенные на рис. 6.98, могут быть использованы для построения устройств сложения и вычитания многоразрядных двоичных чисел.

**Применения сумматоров.** Покажем, что 4-разрядный сумматор можно использовать в качестве двух одноразрядных сумматоров. С учетом внутренних переносов сумматор, показанный на рис. 6.103,а, на основании соотношений

$$S_i = A_i \oplus B_i \oplus C_i, \quad C_{i+1} = A_i B_i \vee A_i C_i \vee B_i C_i \quad (6.51)$$

описывается функциями:

$$S_0 = A_0 \oplus B_0 \oplus C_0, \quad S_1 = A_1 \oplus B_1 \oplus C_1, \quad S_2 = A_2 \oplus B_2 \oplus C_2,$$

$$S_3 = A_3 \oplus B_3 \oplus C_3, \quad C_4 = A_3 B_3 \vee A_3 C_3 \vee B_3 C_3,$$

где  $C_1 = A_0 B_0 \vee A_0 C_0 \vee B_0 C_0$ ,  $C_2 = A_1 B_1 \vee A_1 C_1 \vee B_1 C_1$ ,  $C_3 = A_2 B_2 \vee A_2 C_2 \vee B_2 C_2$  — внутренние сигналы ИС. Подставив в эти функции значения (рис. 6.103,а)  $A_0 = x$ ,  $B_0 = y$ ,  $C_0 = c_0$ ,  $A_1 = B_1 = 0$ ,  $A_2 = B_2 = c'_0$ ,  $A_3 = x'$ ,  $B_3 = y'$ , получим:

$$S_0 = s_0, \quad S_1 = c_1, \quad S_2 = 0, \quad S_3 = x' \oplus y' \oplus c'_0 = s'_0,$$

$$C_4 = x' y' \vee x' c'_0 \vee y' c'_0 = c'_1,$$

т.е. 4-разрядный сумматор при указанных на рис. 6.103,а соединениях входов может быть использован в качестве двух независимых одноразрядных сумматоров.

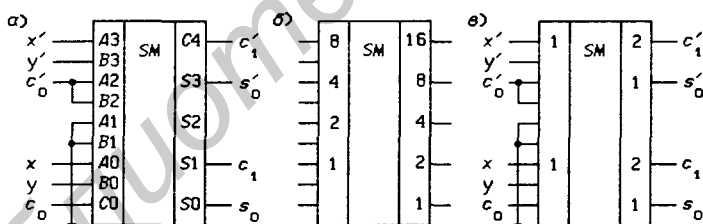


Рис. 6.103

На рис. 6.103,б показано упрощенное условное графическое обозначение двоичного сумматора, где в левом и правом полях указаны веса входов и выходов сумматора. Действительно, входы  $A_0$ ,  $B_0$  и  $C_0$  на основании (6.51) логически равноценны (взаимозаменяемы) и имеют вес, равный 1. Так же логически равноценны входы  $A_i$  и  $B_i$  ( $i = 1, 2, 3$ ), поэтому приведенное на рис. 6.103,б обозначение 4-разрядного сумматора более удобно в применении, чем обозначение на рис. 6.103,а. На рис. 6.103,в показано упрощенное обозначение двух одноразрядных сумматоров, выполненных на основе 4-разрядного сумматора.

Сложение чисел, представленных в прямом коде, можно выполнить с помощью предварительного преобразования прямого



кода в дополнительный. Чтобы сумму представить в прямом коде, необходимо выполнить обратное преобразование. Такие преобразования (прямого кода в дополнительный и дополнительного в прямой) легко осуществить с помощью ЛЭ, выполняющих функцию сумма по модулю два, и двоичных сумматоров на основании правил, приведенных в § 6.9. Так как правила преобразования прямого кода в дополнительный и дополнительного кода в прямой идентичны, то эти преобразования выполняются одной и той же схемой. На рис. 6.104,а показана схема преобразования 8-разрядных кодов чисел  $X'$  ( $x_7$  — знаковый разряд).

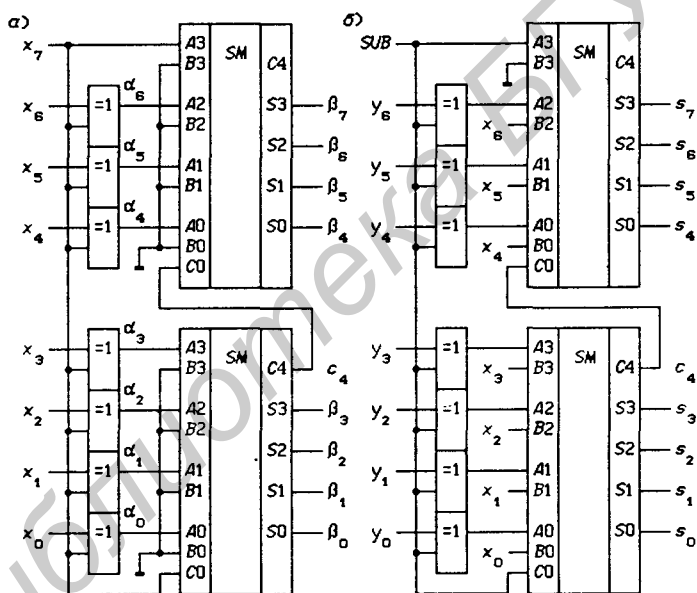


Рис. 6.104

Пусть на вход подается прямой код

$$[X']_{\Pi} = \begin{cases} 0.X, & \text{если } X \geq 0, \\ 1.X, & \text{если } X < 0, \end{cases}$$

где  $X = |X'| = x_6x_5x_4x_3x_2x_1x_0$ . Если  $x_7 = 0$ , то  $\alpha_i = 0 \oplus x_i = x_i$ ,  $\beta_i = x_i$ ,  $i = 0, 1, \dots, 6$ , т.е. код не изменяется, так как число положительное. Если  $x_7 = 1$ , то  $\alpha_i = 1 \oplus x_i = \bar{x}_i$  ( $i = 0, 1, \dots, 6$ ) и сумматор производит вычисление суммы

$$x_7.\bar{X} + 1 = 1.\bar{x}_6\bar{x}_5\bar{x}_4\bar{x}_3\bar{x}_2\bar{x}_1\bar{x}_0 + 1 = [X']_{\text{Д}},$$

т.е. вычисляется дополнение  $W = w_6 w_5 w_4 w_3 w_2 w_1 w_0$ , где  $w_i = \beta_i$ ,  $i = 0, 1, \dots, 6$ . Знаковый разряд  $\beta_7 = x_7$  при  $[X']_{\text{П}} \neq 1.0000000$ . Если прямой код  $[X']_{\text{П}} = 1.0000000$  (отрицательный ноль), то

$$[X']_{\text{Д}} = 1.\bar{0}\bar{0}\bar{0}\bar{0}\bar{0}\bar{0}\bar{0}\bar{0} + 1 = 0.00000000.$$

При использовании схемы на рис. 6.104,а в качестве преобразователя дополнительного кода в прямой необходимо выполнять условие  $|X'| \leq 2^7 - 1 = 127$  ( $[X']_{\text{Д}} \neq 1.0000000$ , так как число  $-128$  в 8-разрядном прямом коде представить невозможно).

На рис. 6.104,б представлена схема, выполняющая операции

$$S = \begin{cases} X + Y, & \text{если } SUB = 0, \\ X - Y, & \text{если } SUB = 1, \end{cases}$$

где  $X = x_6 \dots x_1 x_0 \geq 0$ ,  $Y = y_6 \dots y_1 y_0 \geq 0$  — 7-разрядные двоичные числа,  $S = s_7 s_6 \dots s_1 s_0$  — сумма или разность чисел  $X$  и  $Y$  в дополнительном коде,  $SUB$  (*Subtract* — вычитание) — сигнал управления операциями сложения и вычитания. Действительно, при  $SUB = 1$  сумма

$$0.X + 1.\bar{Y} + 1 = [S']_{\text{Д}} = s_7 s_6 s_5 s_4 s_3 s_2 s_1 s_0,$$

где  $\bar{Y} = \bar{y}_6 \bar{y}_5 \bar{y}_4 \bar{y}_3 \bar{y}_2 \bar{y}_1 \bar{y}_0$ .

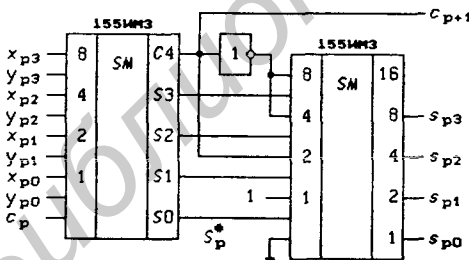


Рис. 6.105

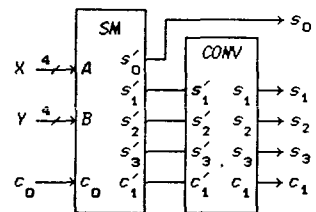


Рис. 6.106

На рис. 6.105 показана схема одноразрядного десятичного сумматора для чисел, представленных в коде с избытком 3 (см. § 6.9). На вход левого двоичного сумматора подаются разряды

$$\{X_p\} = x_{p3} x_{p2} x_{p1} x_{p0}, \quad \{Y_p\} = y_{p3} y_{p2} y_{p1} y_{p0}$$

и перенос из предыдущего десятичного разряда  $c_p$ . Данный сумматор вычисляет сумму  $S_p^\# = \{X_p\} + \{Y_p\}$ . Если перенос в следующий десятичный разряд  $c_{p+1} = 0$ , то на правый сумматор

подается число  $1101 = 13$ , а если  $c_{p+1} = 1$ , то подается число  $0011 = 3$ . На выходе этого сумматора получается значение суммы  $\{S_p\} = s_{p3} s_{p2} s_{p1} s_{p0}$  разрядов  $X_p$  и  $Y_p$ , представленной в коде с избытком 3.

Сложение вспомогательной суммы  $S_p^\#$  с числами 3 и 13 называется коррекцией суммы и выполняется правым сумматором (рис. 6.105). Следует иметь в виду, что возникающий при коррекции перенос теряется (не передается в следующую тетраду). С помощью последовательного соединения  $n$  таких одноразрядных сумматоров можно получить  $n$ -разрядный десятичный сумматор.

**Десятичные сумматоры.** Разряды  $n$ -разрядных положительных десятичных чисел  $X$ ,  $Y$  и суммы  $S$ , представленных в коде 8-4-2-1, будем записывать в виде тетрад

$$X_p = x_{p3} x_{p2} x_{p1} x_{p0}, Y_p = y_{p3} y_{p2} y_{p1} y_{p0}, S_p = s_{p3} s_{p2} s_{p1} s_{p0},$$

где  $p = 0, 1, \dots, n-1$ . Разряды слагаемых  $0 \leq X_p \leq 9, 0 \leq Y_p \leq 9$  и суммы  $0 \leq S_p = (X_p + Y_p + c_p)_9 \leq 9$  (сумма вычисляется по модулю 9). Перенос в следующий разряд  $c_{p+1} = 1$  только при  $S_p \geq 10$ . В дальнейшем для простоты индекс  $p$ , указывающий номер разряда, будем опускать, обозначив  $X_p = X, Y_p = Y, S_p = S, c_p = c_0$  и  $c_{p+1} = c_1$ .

Таблица 6.21. Десятичный сумматор в коде 8-4-2-1

$S'$	$c'_1$	$s'_3$	$s'_2$	$s'_1$	$s'_0$	$c_1$	$s_3$	$s_2$	$s_1$	$s_0$	$i$	$S'$	$c'_1$	$s'_3$	$s'_2$	$s'_1$	$s'_0$	$c_1$	$s_3$	$s_2$	$s_1$	$s_0$	$i$	
0	0	0	0	0	0	0	0	0	0	0	0	10	0	1	0	1	0	1	0	0	0	0	5	
1	0	0	0	0	1	0	0	0	0	1	0	11	0	1	0	1	1	1	0	0	0	0	1	5
2	0	0	0	1	0	0	0	0	1	0	1	12	0	1	1	0	0	1	0	0	1	0	6	
3	0	0	0	1	1	0	0	0	1	1	1	13	0	1	1	0	1	1	0	0	1	1	6	
4	0	0	1	0	0	0	0	1	0	0	2	14	0	1	1	1	0	1	0	1	0	0	7	
5	0	0	1	0	1	0	0	1	0	1	2	15	0	1	1	1	1	1	0	1	0	1	7	
6	0	0	1	1	0	0	0	1	1	0	3	16	1	0	0	0	0	1	0	1	1	0	8	
7	0	0	1	1	1	0	0	1	1	1	3	17	1	0	0	0	1	1	0	1	1	1	8	
8	0	1	0	0	0	0	1	0	0	0	4	18	1	0	0	1	0	1	1	0	0	0	9	
9	0	1	0	0	1	0	1	0	0	1	4	19	1	0	0	1	1	1	1	0	0	1	9	

Проще всего десятичный сумматор может быть построен на 4-разрядном двоичном сумматоре, вычисляющем сумму

$$S' = X + Y + c_0 = s'_3 s'_2 s'_1 s'_0$$

и перенос  $c'_1$ , и преобразователе  $CONV$  (Converter) этой суммы в сумму  $S$  и перенос  $c_1$  (рис. 6.106). Максимальное значение

суммы  $S' = 9 + 9 + 1 = 19$ . На основании приведенного описания десятичного сумматора составляется таблица истинности (табл. 6.21), из которой видно, что функции не зависят от переменной  $s'_0$ , а значит, ее можно исключить из рассмотрения (номера клеток диаграмм Вейча будут определяться числами  $i = c'_1 s'_3 s'_2 s'_1$ ). Непосредственно из табл. 6.21 следует, что младший разряд суммы  $s_0 = s'_0$ . Составив диаграммы Вейча для остальных функций (рис. 6.107), получим:

$$c_1 = \overline{c'_1 s'_3} \vee \overline{c'_1 s'_2 s'_1}, \quad s_3 = c'_1 s'_1 \vee s'_3 \overline{s'_2 s'_1},$$

$$s_2 = \overline{c'_1 s'_2} \vee c'_1 s'_1 \vee s'_3 \overline{s'_1}, \quad s_1 = c'_1 s'_1 \vee s'_3 s'_1 \vee s'_3 \overline{s'_2} \vee \overline{c'_1 s'_3 s'_1}.$$

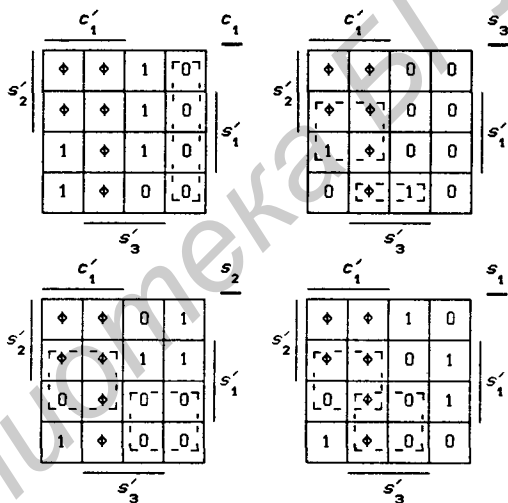


Рис. 6.107

Для вычисления разности разрядов  $X$  и  $Y$  десятичных чисел необходимо использовать преобразователь разряда  $Y$  в дополнение  $W$  до 9 на основании соотношения:  $W = 9 - Y$ . В соответствии с этим функционирование преобразователя описывается табл. 6.22. Составив по ней диаграммы Вейча (рис. 6.108), получим:

$$w_3 = \overline{x_3} \overline{x_2} \overline{x_1}, \quad w_2 = x_2 \oplus x_1, \quad w_1 = x_1, \quad w_0 = \overline{x_0}. \quad (6.52)$$

Выпускаемые в интегральном исполнении десятичные сумматоры и преобразователи десятичного числа в дополнение до 9 строятся по описанным выше методам. На рис. 6.109 приведены ИС:

Таблица 6.22. Преобразователь кода 8-4-2-1 в дополнение до 9 в дополнение до 9

$X$	$x_3x_2x_1x_0$	$w_3w_2w_1w_0$	$W$	$X$	$x_3x_2x_1x_0$	$w_3w_2w_1w_0$	$W$
0	0 0 0 0	1 0 0 1	9	5	0 1 0 1	0 1 0 0	4
1	0 0 0 1	1 0 0 0	8	6	0 1 1 0	0 0 1 1	3
2	0 0 1 0	0 1 1 1	7	7	0 1 1 1	0 0 1 0	2
3	0 0 1 1	0 1 1 0	6	8	1 0 0 0	0 0 0 1	1
4	0 1 0 0	0 1 0 1	5	9	1 0 0 1	0 0 0 0	0

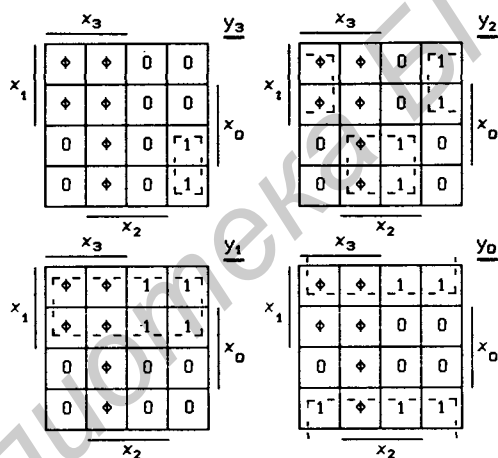


Рис. 6.108

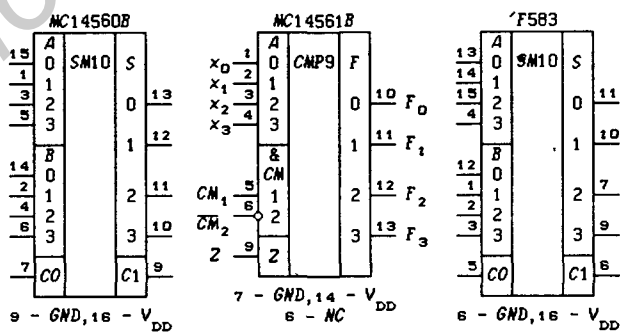


Рис. 6.109

*MC14560B*, *74F583* — одноразрядные десятичные сумматоры;

*MC14561B* — преобразователь десятичного числа в дополнение до 9, описываемый функциями

$$F_i = Z \cdot (x_i \overline{CM} \vee w_i CM),$$

где  $CM = CM_1 CM_2$  ( $CM$  — *Complement* — дополнение) — сигнал управления преобразователем ( $F_i = x_i$  при  $CM = 0$  и  $Z = 1$ ,  $F_i = w_i$  при  $CM = 1$  и  $Z = 1$ ),  $Z$  (*Zero* — нуль) — сигнал установки нулевого значения выходов,  $w_i$  — функции, описываемые выражениями (6.52),  $A_i = x_i$ .

Каскадирование десятичных сумматоров для получения устройства, выполняющего операции сложения и вычитания двухразрядных десятичных чисел  $A = A_1 A_0$  и  $B = B_1 B_0$ , показано на рис. 6.110. Сигнал *SUB* (*Subtract* — вычитание) используется для управления операциями сложения и вычитания ( $SUB = 0$  — сложение,  $SUB = 1$  — вычитание).

Преобразователи *MC14561B* выполняют функции

$$F_j = \begin{cases} A_j & \text{при } SUB = 0, \\ 9 - A_j & \text{при } SUB = 1, \end{cases} \quad F = F_1 F_0 = \begin{cases} A & \text{при } SUB = 0, \\ 99 - A & \text{при } SUB = 1, \end{cases}$$

так как двухразрядные десятичные числа  $A = A_1 A_0 = A_1 10^1 + A_0 10^0$  и  $F = F_1 F_0 = F_1 10^1 + F_0 10^0$  ( $j = 0$  и  $1$ ). Сумматоры *MC14560B* вычисляют величину  $S' = B + F + c_0$  ( $c_0 = SUB$ ), поэтому

$$S' = S_1 S_0 = \begin{cases} B + A, & \text{если } SUB = 0, \\ 100 + (B - A), & \text{если } SUB = 1. \end{cases} \quad (6.53)$$

При вычитании сумма может получиться как положительной, так и отрицательной. Из выражения (6.53) при  $SUB = 1$  следует, что

$$S' = \begin{cases} B - A, & \text{если } B - A \geq 0 \quad (c_2 = 1), \\ \text{дополнение до } 100, & \text{если } B - A < 0 \quad (c_2 = 0), \end{cases}$$

т. е. сумма  $S'$  представляется в десятичном дополнительном коде. Знаковым разрядом является перенос  $c_2$ . Понятно, что при сложении разрядная сетка не должна переполняться (требуется выполнение условия  $B + A \leq 99$ ).

**Последовательные двоичные сумматоры.** Принцип работы и синтез последовательных двоичных сумматоров был рассмотрен в § 4.3. Функции, выполняемые последовательными сумматорами, могут быть расширены введением дополнительных управляющих сигналов. На рис. 6.111 приведены ИС:

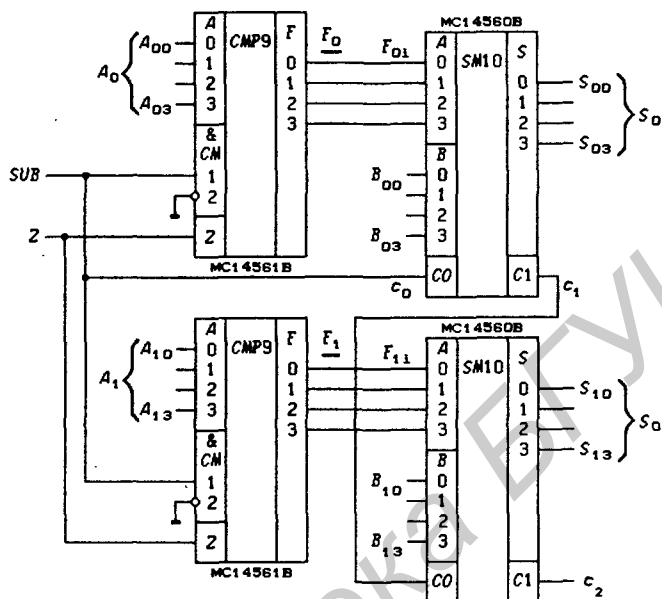


Рис. 6.110

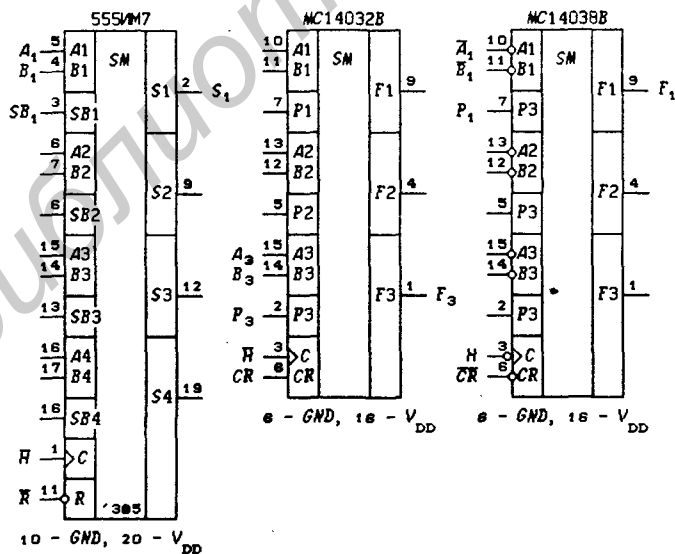
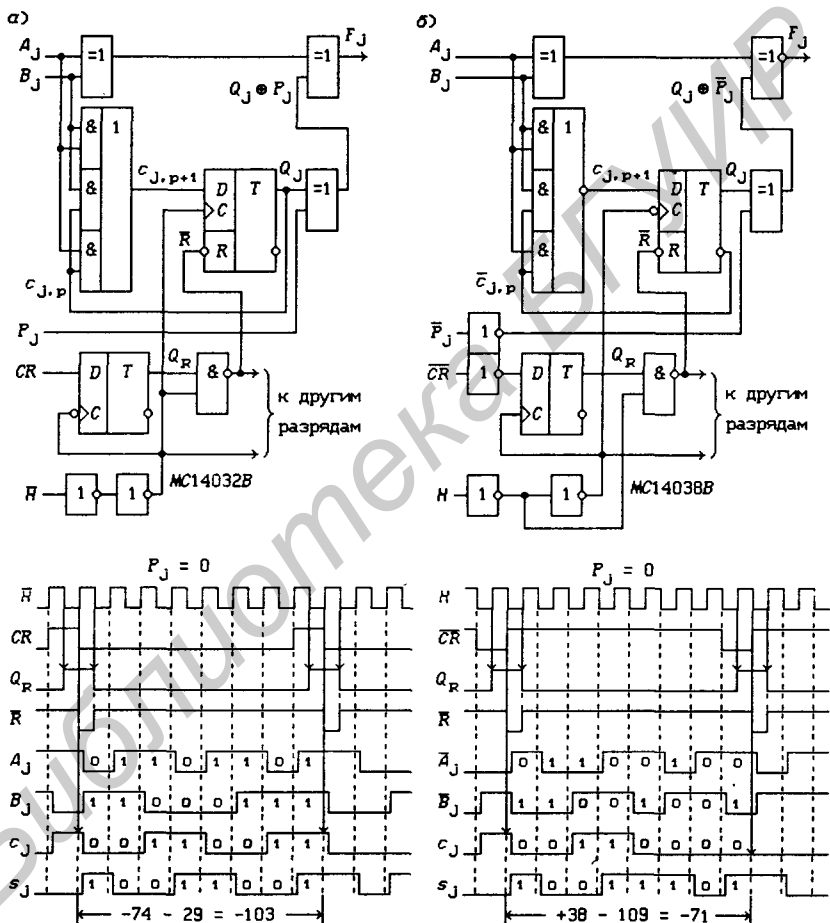


Рис. 6.111





555ИМ7 — четыре последовательных сумматора-вычитателя с общими тактовым сигналом и инверсным асинхронным потенциальным сбросом  $\bar{R}$ ;

МС14032В — три последовательных сумматора для прямых операндов с управлением сигналом  $P_j$  полярностью выходов  $F_j$ , имеющие общие тактовый сигнал и прямой квазисинхронный сигнал сброса  $CR$ ;

МС14038В — три последовательных сумматора для инверсных операндов с управлением сигналом  $P_j$  полярностью выходов  $F_j$ , имеющие общие тактовый сигнал и инверсный квазисинхронный сигнал сброса  $\bar{C}\bar{R}$ .

Сумматоры 555ИМ7 описываются функциями

$$Q_{A_j}^+ = (A_j dH \vee Q_{A_j} \bar{dH}) \cdot \bar{R}, \quad Q_{B_j}^+ = (B_j dH \vee Q_{B_j} \bar{dH}) \cdot \bar{R},$$

$$Q_{C_j}^+ = \begin{cases} (C_{j,p+1} dH \vee Q_{C_j} \bar{dH}) \cdot \bar{R} & \text{при } SB_j = 0, \\ R \vee C_{j,p+1} dH \vee Q_{C_j} \bar{dH} & \text{при } SB_j = 1, \end{cases}$$

$$C_{j,p+1} = Q_{A_j} Q_{B_j} \vee Q_{A_j} Q_{C_j} \vee Q_{B_j} Q_{C_j},$$

$$S_j = Q_{A_j} \oplus Q_{B_j} \oplus Q_{C_j} \oplus SB_j,$$

где  $C_{j,p+1}$  — перенос в следующий разряд,  $Q_{C_j} = C_{j,p}$  — перенос в данный разряд,  $SB_j$  — сигналы управления операциями сложения и вычитания ( $SB_j = 0$  — сложение,  $SB_j = 1$  — вычитание),  $j = 1, 2, 3, 4$ .

Структурные схемы сумматоров МС14032В и МС14038В и временные диаграммы, поясняющие их работу, показаны на рис. 6.112,а,б. Различаются эти схемы активным уровнем суммируемых разрядов  $A_j$  и  $B_j$  (прямые значения на рис. 6.112,а и инверсные — на рис. 6.112,б), а также фронтом тактового сигнала, по которому срабатывают триггеры сброса и переноса. Оба сумматора описываются функциями

$$Q_R^+ = CR \cdot dH \vee Q_R \bar{dH}, \quad \bar{R} = Q_R \bar{H}, \quad Q_j^+ = (C_{j,p+1} dH \vee Q_j \bar{dH}) \cdot \bar{R},$$

$$C_{j,p+1} = A_j B_j \vee A_j Q_j \vee B_j Q_j, \quad F_j = A_j \oplus B_j \oplus Q_j \oplus P_j = S_j \oplus P_j,$$

где  $\bar{R}$  — сигнал сброса триггеров переноса,  $C_{j,p+1}$  — перенос в следующий разряд,  $Q_j = C_{j,p}$  — перенос в данный разряд,  $S_j = A_j \oplus B_j \oplus Q_j$  — сумма разрядов,  $P_j$  — сигнал управления полярностью выхода  $F_j$ ,  $j = 1, 2, 3$ .

Числа  $A_j$  и  $B_j$  подаются на сумматоры в последовательном дополнительном коде, а значит, и сумма  $S_j$  представлена в этом же коде.

## 6.11. Арифметическо-логические устройства

Арифметическо-логические устройства (АЛУ) широко используются для построения арифметических узлов, в частности, АЛУ является составной частью любого микропроцессора. В отличие от сумматоров АЛУ выполняют не только арифметические, но и логические операции над  $n$ -разрядными операндами

$$X = x_{n-1} \dots x_1 x_0 \text{ и } Y = y_{n-1} \dots y_1 y_0.$$

Логические операции над операндами производятся поразрядно:

$$\bar{X} = \bar{x}_{n-1} \dots \bar{x}_1 \bar{x}_0, \quad \bar{Y} = \bar{y}_{n-1} \dots \bar{y}_1 \bar{y}_0,$$

$$X * Y = (x_{n-1} * y_{n-1}) \dots (x_1 * y_1)(x_0 * y_0),$$

где "\*" — некоторые двухместные операции алгебры логики.

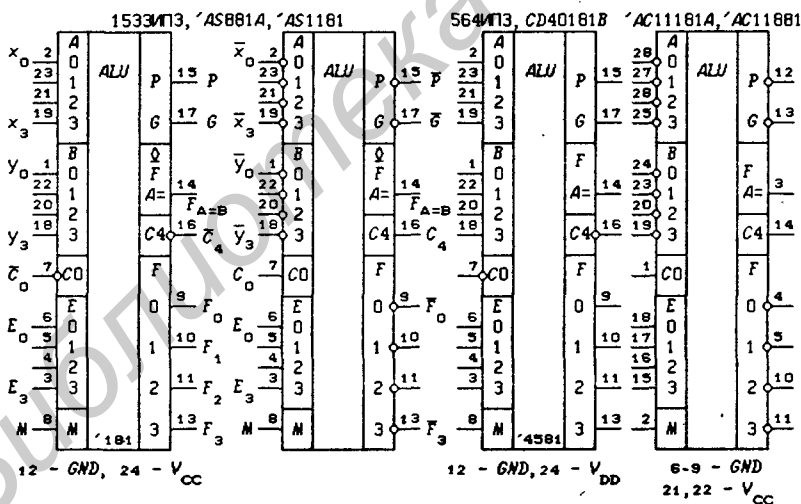


Рис. 6.113

**Арифметическо-логические устройства.** На рис. 6.113 показаны ИС:

1533ИПЗ, 74AS881A и 74AS1181 — 4-разрядные АЛУ, изготовляемые по ТТЛШ-технологии (выход цифрового компаратора  $F_{A=}$  =  $F_{A=B}$  выполнен с открытым коллектором);

564ИПЗ, CD40181B, 74AC11181 и 74AC11881 — 4-разрядные АЛУ, изготовляемые по КМОП-технологии.

Для АЛУ 1533ИПЗ, 74AS881 и 74AS1181 на рис. 6.113 приведены два графических обозначения, соответствующих использованию прямых и инверсных операндов:

$$X = x_3x_2x_1x_0, Y = y_3y_2y_1y_0, F = F_3F_2F_1F_0;$$

$$\bar{X} = \bar{x}_3\bar{x}_2\bar{x}_1\bar{x}_0, \bar{Y} = \bar{y}_3\bar{y}_2\bar{y}_1\bar{y}_0, \bar{F} = \bar{F}_3\bar{F}_2\bar{F}_1\bar{F}_0.$$

Все АЛУ по выходам  $F_i$  ( $i = 0, 1, 2, 3$ ) и  $F_A =$  выполняют одинаковые арифметические и логические операции. Арифметические операции задаются значением сигнала  $M = 0$  ( $M$  — Mode — режим), а логические операции — значением  $M = 1$ . Выбор одной из арифметических или логических операций задается кодом  $E = E_3E_2E_1E_0$ . В АЛУ реализованы все 16 возможных логических операций над двумя переменными. При выполнении арифметических операций АЛУ представляет собой 4-разрядный сумматор с параллельным переносом, имеющий дополнительные сигналы  $G$  и  $P$ , используемые для параллельного каскадирования 4-разрядных секций.

Рассмотрим принцип построения АЛУ 1533ИПЗ (рис. 6.113) с инверсными сигналами переносов  $\bar{c}_0, \bar{c}_4$  и прямыми операндами  $X, Y$  и  $F$ . Из выражений (6.42) следует, что

$$\bar{c}_{i+1} = \bar{x}_i\bar{y}_i \vee \bar{x}_i\bar{c}_i \vee \bar{y}_i\bar{c}_i = \bar{g}_i \vee \bar{p}_i\bar{c}_i, s_i = \bar{p}_i \oplus \bar{g}_i \oplus c_i,$$

где  $\bar{g}_i = \bar{x}_i\bar{y}_i$ ,  $\bar{p}_i = \bar{x}_i \vee \bar{y}_i$ . Тогда переносы  $\bar{c}_i$  можно представить в виде:

$$\left. \begin{aligned} \bar{c}_1 &= \bar{g}_0 \vee \bar{p}_0\bar{c}_0, \bar{c}_2 = \bar{g}_1 \vee \bar{p}_1\bar{c}_1 = \bar{g}_1 \vee \bar{p}_1\bar{g}_0 \vee \bar{p}_1\bar{p}_0\bar{c}_0, \\ \bar{c}_3 &= \bar{g}_2 \vee \bar{p}_2\bar{c}_2 = \bar{g}_2 \vee \bar{p}_2\bar{g}_1 \vee \bar{p}_2\bar{p}_1\bar{g}_0 \vee \bar{p}_2\bar{p}_1\bar{p}_0\bar{c}_0, \end{aligned} \right\} (6.54)$$

$$\bar{c}_4 = \bar{g}_3 \vee \bar{p}_3\bar{c}_3 = \bar{g}_3 \vee \bar{p}_3\bar{g}_2 \vee \bar{p}_3\bar{p}_2\bar{g}_1 \vee \bar{p}_3\bar{p}_2\bar{p}_1\bar{g}_0 \vee \bar{p}_3\bar{p}_2\bar{p}_1\bar{p}_0\bar{c}_0,$$

$$\bar{c}_4 = \bar{G} \vee \bar{P} \cdot \bar{c}_0, (6.55)$$

$$\bar{G} = \bar{g}_3 \vee \bar{p}_3\bar{g}_2 \vee \bar{p}_3\bar{p}_2\bar{g}_1 \vee \bar{p}_3\bar{p}_2\bar{p}_1\bar{g}_0, \bar{P} = \bar{p}_3\bar{p}_2\bar{p}_1\bar{p}_0. (6.56)$$

Чтобы сумматор выполнял и логические операции, вместо разрядов  $x_i$  и  $y_i$  чисел  $X$  и  $Y$  следует использовать некоторые функции  $f_i = f_i(x_i, y_i)$  и  $\varphi_i = \varphi_i(x_i, y_i)$ , а это дает  $\bar{g}_i = \bar{f}_i\bar{\varphi}_i$ ,  $\bar{p}_i = \bar{f}_i \vee \bar{\varphi}_i$ . Если взять

$$f_i = x_i y_i E_3 \vee x_i \bar{y}_i E_2 \text{ и } \varphi_i = x_i \vee \bar{y}_i E_1 \vee y_i E_0,$$

то функции  $\bar{g}_i$ ,  $\bar{p}_i$  и  $s_i = F_i$  можно представить в форме

$$\bar{g}_i = \bar{f}_i\bar{\varphi}_i = \overline{x_i \vee \bar{y}_i E_1 \vee y_i E_0}, \bar{p}_i = \bar{f}_i \vee \bar{\varphi}_i = \overline{x_i y_i E_3 \vee x_i \bar{y}_i E_2},$$

$$F_i = (x_i y_i E_3 \vee x_i \bar{y}_i E_2) \oplus (x_i \vee \bar{y}_i E_1 \vee y_i E_0) \oplus (c_i \vee M), (6.57)$$

где  $E_3, E_2, E_1, E_0$  — сигналы выбора одной из 16 операций,  $M$  — сигнал выбора логических или арифметических операций.

Принципиальная схема АЛУ 153ЗИПЗ выполнена в соответствии с соотношениями (6.54) – (6.57) и добавлением функции 4-разрядного цифрового компаратора:

$$F_{A=B} = \prod_{i=0}^3 F_i.$$

Перенос  $\bar{c}_4$  используется при последовательном включении нескольких АЛУ, а сигналы  $G$  и  $P$  — для организации параллельного переноса в  $4m$ -разрядных АЛУ, построенных на  $m$  4-разрядных секциях. Выражение (6.55) формально совпадает с первым из соотношений (6.48) для  $c_{i+1}$ , а значит, параллельный перенос между 4-разрядными секциями АЛУ выполняется так же, как и между отдельными разрядами 4-разрядного сумматора (рис. 6.100) — с помощью устройства переноса  $CRU$  (*Carry Unit*).

При подаче на АЛУ инверсных операндов  $\bar{X}$  и  $\bar{Y}$  функции  $f_i$  и  $\varphi_i$  примут вид:

$$f_i = \bar{x}_i \bar{y}_i E_3 \vee \bar{x}_i y_i E_2, \quad \varphi_i = \bar{x}_i \vee y_i E_1 \vee \bar{y}_i E_0.$$

На основании (6.43) для прямых переносов  $c_0$  и  $c_4$  и инверсных разрядов суммы  $\bar{s}_i$  можно получить:

$$\begin{aligned} c_{i+1} &= g_i \vee p_i c_i, \quad c_1 = g_0 \vee p_0 c_0, \\ c_2 &= g_1 \vee p_1 c_1 = g_1 \vee p_1 g_0 \vee p_1 p_0 c_0, \\ c_3 &= g_2 \vee p_2 c_2 = g_2 \vee p_2 g_1 \vee p_2 p_1 g_0 \vee p_2 p_1 p_0 c_0, \\ c_4 &= g_3 \vee p_3 g_2 \vee p_3 p_2 g_1 \vee p_3 p_2 p_1 g_0 \vee p_3 p_2 p_1 p_0 c_0, \\ G &= g_3 \vee p_3 g_2 \vee p_3 p_2 g_1 \vee p_3 p_2 p_1 g_0, \quad P = p_3 p_2 p_1 p_0, \\ c_4 &= G \vee P \cdot c_0, \quad \bar{s}_i = g_i \oplus p_i \oplus \bar{c}_i, \end{aligned}$$

где  $g_i = f_i \varphi_i = f_i = \bar{x}_i \bar{y}_i E_3 \vee \bar{x}_i y_i E_2$ ,  $p_i = f_i \vee \varphi_i = \varphi_i = \bar{x}_i \vee y_i E_1 \vee \bar{y}_i E_0$ . Так как функции  $\bar{F}_i$  получаются заменой в  $\bar{s}_i$  переноса  $\bar{c}_i$  на  $\bar{c}_i \vee M$ , то

$$\bar{F}_i = (\bar{x}_i \bar{y}_i E_3 \vee \bar{x}_i y_i E_2) \oplus (\bar{x}_i \vee y_i E_1 \vee \bar{y}_i E_0) \oplus (\bar{c}_i \vee M).$$

В табл. 6.23 представлены функции, выполняемые АЛУ для прямых  $X, Y$  и инверсных  $\bar{X}, \bar{Y}$  операндов. Здесь использованы обозначения:  $0 = 0000$ ,  $1 = 1111$ ,  $C_0 = 000c_0$ , “ $\vee$ ” — поразрядная дизъюнкция, “ $\&$ ” — поразрядная конъюнкция,  $\bar{X}$  и  $\bar{Y}$  — поразрядное инвертирование операндов, “+” — арифметическая сумма. Результат операции в табл. 6.23 указан для функции  $F = F_3 F_2 F_1 F_0$  независимо от того, используются ли

Таблица 6.23. Функции, выполняемые АЛУ

j	$E_3 E_2 E_1 E_0$	Прямые операнды		Инверсные операнды	
		Арифметические операции $M = 0$	Логич. опер. $M = 1$	Арифметические операции $M = 0$	Логич. опер. $M = 1$
0	0 0 0 0	$X + C_0$	$\bar{X}$	$1 + X + C_0$	$\bar{X}$
1	0 0 0 1	$(X \vee Y) + C_0$	$\overline{X \vee Y}$	$1 + (X \& Y) + C_0$	$\overline{X \& Y}$
2	0 0 1 0	$(X \vee \bar{Y}) + C_0$	$\bar{X} \& Y$	$1 + (X \& \bar{Y}) + C_0$	$\bar{X} \vee Y$
3	0 0 1 1	$1 + C_0$	0	$1 + C_0$	1
4	0 1 0 0	$X + (X \& \bar{Y}) + C_0$	$\bar{X} \& \bar{Y}$	$X + (X \vee \bar{Y}) + C_0$	$\bar{X} \vee \bar{Y}$
5	0 1 0 1	$(X \vee Y) +$ $+(X \& \bar{Y}) + C_0$	$\bar{Y}$	$(X \& Y) +$ $+(X \vee \bar{Y}) + C_0$	$\bar{Y}$
6	0 1 1 0	$X + \bar{Y} + C_0$	$X \oplus Y$	$X + \bar{Y} + C_0$	$\overline{X \oplus Y}$
7	0 1 1 1	$1 + (X \& \bar{Y}) + C_0$	$X \& \bar{Y}$	$(X \vee \bar{Y}) + C_0$	$X \vee \bar{Y}$
8	1 0 0 0	$X + (X \& Y) + C_0$	$\bar{X} \vee \bar{Y}$	$X + (X \vee Y) + C_0$	$\bar{X} \& Y$
9	1 0 0 1	$X + Y + C_0$	$\overline{X \oplus Y}$	$X + Y + C_0$	$X \oplus Y$
10	1 0 1 0	$(X \vee \bar{Y}) +$ $+(X \& Y) + C_0$	Y	$(X \& \bar{Y}) +$ $+(X \vee Y) + C_0$	Y
11	1 0 1 1	$1 + (X \& Y) + C_0$	$X \& Y$	$(X \vee Y) + C_0$	$X \vee Y$
12	1 1 0 0	$X + X + C_0$	1	$X + X + C_0$	0
13	1 1 0 1	$(X \vee Y) + X + C_0$	$X \vee \bar{Y}$	$(X \& Y) + X + C_0$	$X \& \bar{Y}$
14	1 1 1 0	$(X \vee \bar{Y}) + X + C_0$	$X \vee Y$	$(X \& \bar{Y}) + X + C_0$	$X \& Y$
15	1 1 1 1	$1 + X + C_0$	X	$X + C_0$	X

Таблица 6.24. Сравнение чисел с помощью АЛУ

с <sub>0</sub>	с <sub>4</sub>	Операция	
		Прямые операнды	Инверсные операнды
1	1	$F(A \leq B)$	$F(A \geq B)$
1	0	$F(A > B)$	$F(A < B)$
0	1	$F(A < B)$	$F(A > B)$
0	0	$F(A \geq B)$	$F(A \leq B)$

прямые или инверсные операнды. Функции для прямых и инверсных операндов легко могут быть вычислены на основании выражения (6.57). Рассмотрим несколько примеров для прямых операндов.

Пример 1.

$$E = 0110 \implies j = 6; F_i = (x_i \vee \bar{y}_i) \oplus x_i \bar{y}_i \oplus (c_i \vee M) = \begin{cases} x_i \oplus \bar{y}_i \oplus c_i & \text{при } M = 0, \text{ т.е. } F = X + \bar{Y} + C_0, \\ x_i \oplus y_i & \text{при } M = 1, \text{ т.е. } F = X \oplus Y, \end{cases}$$

т.е. АЛУ при  $M = 0$  и  $c_0 = 1$  производит вычисление разности  $S' = X - Y$  с представлением результата в дополнительном коде.

Пример 2.

$$E = 1001 \implies j = 9; F_i = (x_i \vee y_i) \oplus x_i y_i \oplus (c_i \vee M) = \begin{cases} x_i \oplus y_i \oplus c_i & \text{при } M = 0, \text{ т.е. } F = X + Y + C_0, \\ \overline{x_i \oplus y_i} & \text{при } M = 1, \text{ т.е. } F = \overline{X \oplus Y}, \end{cases}$$

т.е. при  $M = 0$  и  $c_0 = 0$  производится вычисление суммы  $S = X + Y$ .

Пример 3.

$$E = 1100 \implies j = 12; F_i = x_i \oplus x_i \oplus (c_i \vee M) = \begin{cases} x_i \oplus x_i \oplus c_i & \text{при } M = 0, \text{ т.е. } F = 2X + C_0, \\ 1 & \text{при } M = 1, \text{ т.е. } F = 1, \end{cases}$$

т.е. при  $M = 0$  производится сдвиг числа  $X$  на один разряд в сторону старших разрядов с записью в младший разряд значения  $c_0$ .

Имеется 16 различных функций двух переменных, и, как видно из табл. 6.23, все они реализуются АЛУ, приведенными на рис. 6.113. Таким образом, эти АЛУ являются универсальными с точки зрения выполнения логических операций.

С помощью АЛУ можно производить операции сравнения чисел  $X$  и  $Y$ . Так, при  $j = 9$  и  $M = 1$  АЛУ выполняет функцию

$$F_{A=} = \prod_{i=0}^3 F_i = \prod_{i=0}^3 \overline{x_i \oplus y_i},$$

где  $F_i = \overline{x_i \oplus y_i}$ ,  $F_{A=}$  — функция равнозначности кодов. Для сравнения двоичных чисел можно использовать также операцию вычитания ( $j = 0110 = 6$ ) — о соотношениях чисел  $X$  и  $Y$  в этом случае можно судить по значению заема  $c_4$  (табл. 6.24). Например, для прямых операндов при значении переноса в младший разряд  $\bar{c}_0 = 1$  перенос из старшего разряда  $\bar{c}_4 = 0$ , т.е. при вычислении разности  $X - Y$  возникает заем, а значит,  $X < Y$ . В

табл. 6.24 это указано выполняемой в данном случае функцией  $F(X < Y)$ , что означает  $F(X < Y) = c_4 = 1$ .

Функции  $G$ ,  $P$  и  $\bar{c}_4$ , выполняемые АЛУ 74AS881A/74AC11881 для прямых операндов, описываются выражениями

$$\begin{aligned} \bar{G} &= \bar{g}_3 \bar{M} \vee \bar{p}_3 \bar{g}_2 \bar{M} \vee \bar{p}_3 \bar{p}_2 \bar{g}_1 \bar{M} \vee \bar{p}_3 \bar{p}_2 \bar{p}_1 \bar{g}_0 \bar{M}, \\ \bar{P} &= \bar{p}_3 \bar{p}_2 \bar{p}_1 \bar{p}_0 \bar{M} \vee F_{A=}, M, \quad \bar{c}_4 = \bar{G} \vee \bar{P} \cdot \bar{c}_0. \end{aligned}$$

В арифметическом режиме работы ( $M = 0$ ) эти сигналы совпадают с соответствующими сигналами АЛУ 1533ИПЗ, а в логическом режиме работы ( $M = 1$ ) — имеют значения

$$G = 1, P = \bar{F}_{A=} = \bar{F}_3 \vee \bar{F}_2 \vee \bar{F}_1 \vee \bar{F}_0, \bar{c}_4 = F_{A=} \bar{c}_0,$$

что позволяет использовать их для контроля АЛУ:

сигнал  $P = x_3 y_3 \vee x_2 y_2 \vee x_1 y_1 \vee x_0 y_0$  — при  $j = 4$  контроль  $x_i = y_i = 1$ , хотя бы для одной пары разрядов (см. табл. 6.23);

сигнал  $P = (x_i \oplus y_i) \vee (x_i \oplus y_i) \vee (x_i \oplus y_i) \vee (x_i \oplus y_i)$  — при  $j = 9$  контроль попарного равенства разрядов  $x_i$  и  $y_i$  (при каскадировании АЛУ функции  $F_{A=}$  каждого в отдельности АЛУ пользователю недоступны).

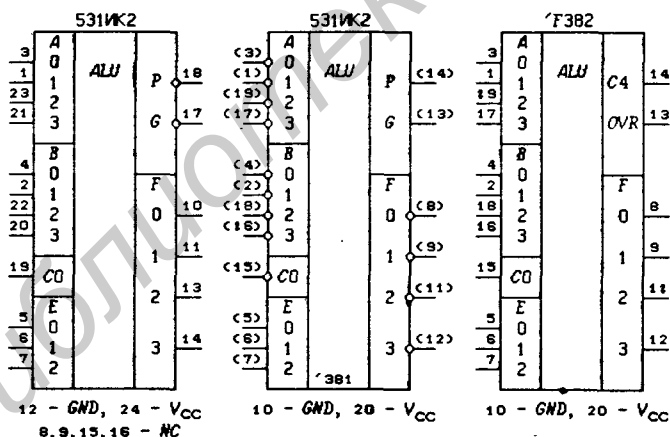


Рис. 6.114

Кроме универсальных АЛУ, выполняющих все 16 логических операций над двумя переменными, выпускаются также АЛУ с сокращенным числом этих операций. На рис. 6.114 показаны ИС:

531ИК2 — 4-разрядное АЛУ без последовательного переноса  $c_4$ , допускающее только параллельное каскадирование с использованием сигналов  $\bar{P}$  и  $\bar{G}$ ;

74F382 — 4-разрядное АЛУ с последовательным переносом  $c_4$ , не допускающее параллельного каскадирования и имеющее выход переполнения  $OV R$  (*Overflow*; см. § 6.9).

Для АЛУ 531ИК2 на рис. 6.114 показаны условные графические обозначения при использовании прямых и инверсных операндов (в скобках указаны номера выводов АЛУ, размещенного в корпусе с 20 выводами). Функции, выполняемые ИС 531ИК2 и 74F382, представлены в табл. 6.25. Если считать, что при  $E_2 = 0$  выполняются арифметические операции, а при  $E_2 = 1$  — логические, то для строки  $j = 0$  функцию, выполняемую для прямых операндов, следует представить в виде:

$$1 + 1 = 1111 + 0001 = 0000 \text{ и } c_4 = 1.$$

Таблица 6.25. Функционирование АЛУ 531ИК2

$j$	$E_2 E_1 E_0$	Прямые операнды	Инверсные операнды
0	0 0 0	$1 + 1$	1
1	0 0 1	$\bar{X} + Y + C_0$	$\bar{X} + Y + C_0$
2	0 1 0	$X + \bar{Y} + C_0$	$X + \bar{Y} + C_0$
3	0 1 1	$X + Y + C_0$	$X + Y + C_0$
4	1 0 0	$X \oplus Y$	$\overline{X \oplus Y}$
5	1 0 1	$X \vee Y$	$X \& Y$
6	1 1 0	$X \& Y$	$X \vee Y$
7	1 1 1	1	0

Данные АЛУ могут производить две операции вычитания:

$F = \bar{X} + Y + C_0 = Y - X - 1 + C_0$  с представлением разности  $F$  в дополнительном коде (строка  $j = 1$ );

$F = X + \bar{Y} + C_0 = X - Y - 1 + C_0$  с представлением разности  $F$  в дополнительном коде (строка  $j = 2$ ).

Сигнал переноса  $c_4$  в АЛУ 531ИК2 отсутствует, но при необходимости его можно сформировать из сигналов  $\bar{G}$  и  $\bar{P}$ :

$$c_4 = G \vee P \cdot c_0 = \overline{\bar{G} \cdot \bar{P} \vee \bar{G} \cdot \bar{c}_0}.$$

Все рассмотренные АЛУ позволяют производить взаимные преобразования прямого, обратного и дополнительного кодов.

**Каскадирование АЛУ.** Каскадирование  $m$  АЛУ можно производить двумя способами: с последовательным и параллельным включением 4-разрядных секций ИС. Данным методам соответствуют  $4m$ -разрядные АЛУ с последовательным и



параллельным переносом. На рис. 6.115 показано последовательное включение трех 4-разрядных секций 1533ИПЗ для получения 12-разрядного АЛУ. Так как выходы  $F_{A=}$  выполнены с открытым коллектором, то они соединяются по схеме "монтажное И" для получения 12-разрядной функции равнозначности кодов  $A_{11} \dots A_1 A_0$  и  $B_{11} \dots B_1 B_0$ .

Для организации параллельного (ускоренного) переноса в 4*m*-разрядных АЛУ используются устройства переноса, подобные изображенному на рис. 6.100. Устройства ускоренного переноса (*Look-Ahead Carry Generator* — генератор ускоренного переноса) будем обозначать аббревиатурой CRU. На рис. 6.116 показаны ИС:

1533ИП4, 564ИП4, 1804ВР1, CD40182 — устройства переноса для обслуживания 4 секций АЛУ;

74AS882A — устройство переноса для обслуживания 8 секций АЛУ;

74AS282 — устройство переноса для обслуживания 4 секций АЛУ с мультиплексированием двух переносов  $c_{00}$  и  $c_{01}$ ;

589ИК03 — устройство переноса для обслуживания микропроцессорных секций 589ИК02, основным элементом которых является АЛУ.

Устройства переноса (рис. 6.117) для обслуживания четырех секций АЛУ при использовании прямых операндов описываются функциями:

$$\bar{c}_4 = \bar{G}_0 \vee \bar{P}_0 \bar{c}_0, \quad \bar{c}_8 = \bar{G}_1 \vee \bar{P}_1 \bar{G}_0 \vee \bar{P}_1 \bar{P}_0 \bar{c}_0,$$

$$\bar{c}_{12} = \bar{G}_2 \vee \bar{P}_2 \bar{G}_1 \vee \bar{P}_2 \bar{P}_1 \bar{G}_0 \vee \bar{P}_2 \bar{P}_1 \bar{P}_0 \bar{c}_0,$$

$$\bar{G} = \bar{G}_3 \vee \bar{P}_3 \bar{G}_2 \vee \bar{P}_3 \bar{P}_2 \bar{G}_1 \vee \bar{P}_3 \bar{P}_2 \bar{P}_1 \bar{G}_0, \quad \bar{P} = \bar{P}_3 \bar{P}_2 \bar{P}_1 \bar{P}_0$$

(для переносов  $\bar{c}_i$  взяты значения  $i = 4, 8$  и  $12$  в предположении использования 4-разрядных секций АЛУ).

Легко убедиться, что при инвертировании всех входных сигналов получаются функции:

$$\left. \begin{aligned} c_4 &= G_0 \vee P_0 c_0, \quad c_8 = G_1 \vee P_1 G_0 \vee P_1 P_0 c_0, \\ c_{12} &= G_2 \vee P_2 G_1 \vee P_2 P_1 G_0 \vee P_2 P_1 P_0 c_0, \end{aligned} \right\} \quad (6.58)$$

$$G = G_3 \vee P_3 G_2 \vee P_3 P_2 G_1 \vee P_3 P_2 P_1 G_0, \quad P = P_3 P_2 P_1 P_0,$$

что соответствует использованию АЛУ с инверсными операндами.

Таким образом, представления устройств переноса 1533ИП4 на рис. 6.116 соответствуют двум представлениям АЛУ 1533ИПЗ на рис. 6.113. Переход в АЛУ от прямых операндов к инверсным приводит к инвертированию переносов  $c_0$  и  $c_4$  и сигналов  $P$  и  $G$ , а это, в свою очередь, вызывает инвертирование всех

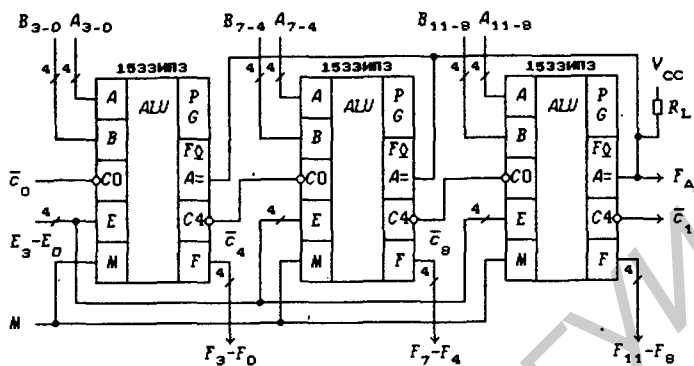


Рис. 6.115

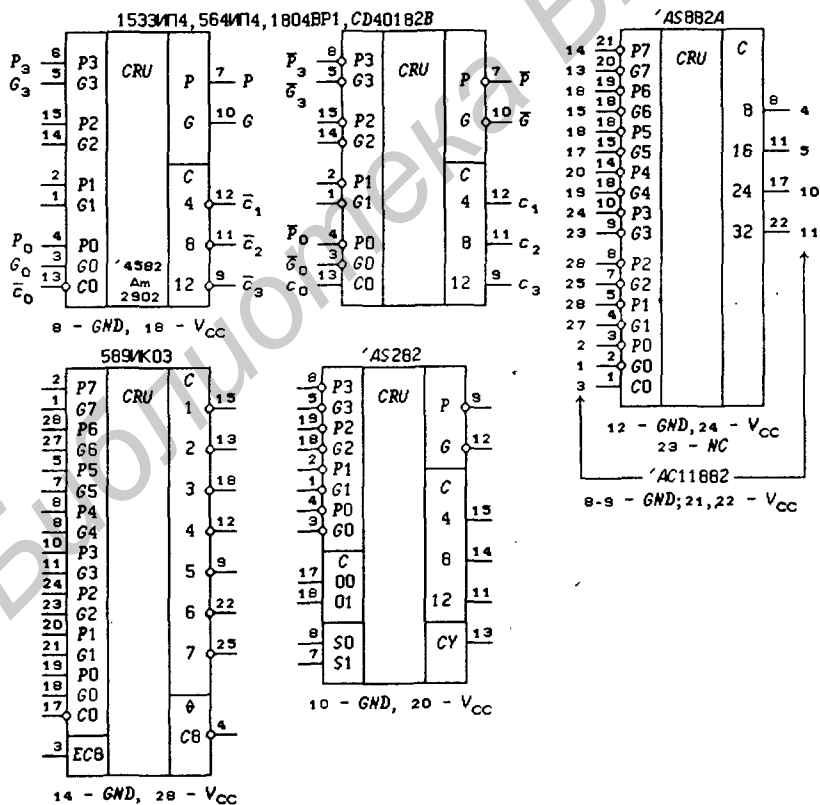


Рис. 6.116

сигналов устройства переноса. На рис. 6.118,а показана структурная схема 16-разрядного АЛУ ( $ALU-16$ ) с параллельным переносом (входы АЛУ для подачи операндов и управляющих сигналов  $E_p$  и  $M$  не показаны). Структура этой схемы полностью соответствует структуре схемы 4-разрядного сумматора с параллельным переносом на рис. 6.100. Из рис. 6.118,а видно, что структура переносов в  $ALU-16$  такая же, что и в 4-разрядном АЛУ ( $ALU-4$ ). Это означает, что вместо каждого  $ALU-4$  на рис. 6.118,а можно включить  $ALU-16$  для получения  $ALU-64$  с параллельным переносом (рис. 6.118,б). Быстродействие различных АЛУ с последовательным и параллельным переносом приведено в табл. 6.26.

На рис. 6.119 изображена структурная схема 12-разрядного АЛУ с сигналом переноса  $c_{12}$ , построенная на трех ИС 531ИК2 и одной ИС 531ИП4. Проектирование АЛУ большей разрядности ( $ALU-16$ ,  $ALU-64$  и др.) на ИС 531ИК2 выполняется так же, как и на ИС 531ИП3.

При каскадировании секций  $ALU-4$  можно использовать и параллельно-последовательное их включение —  $ALU-4m_k$  выполняются с параллельным переносом ( $k = 1, 2, 3, \dots$ ), а между собой они соединяются последовательно подачей выходного сигнала переноса  $\bar{c}_{4mk}$  младшей секции на вход  $\bar{c}_0$  следующей секции. На рис. 6.120 показана структурная схема  $ALU-64$  с параллельно-последовательным переносом, построенная на четырех  $ALU-16$  с параллельным переносом ( $m = 4, k = 1, 2, 3, 4$ ). Поскольку перенос  $\bar{c}_0$  последовательно проходит через четыре  $ALU-16$ , то его быстродействие ниже, чем у  $ALU-64$  с параллельным переносом, и выше, чем у  $ALU-64$  с последовательным переносом, в котором перенос  $\bar{c}_0$  последовательно проходит через 16  $ALU-4$ . Каскадирование секций  $ALU-4$  можно выполнить и с параллельно-последовательно-параллельным их включением. Для этого выпускается устройство переноса 74AS882A (рис. 6.116), позволяющее каскадировать 8 секций  $ALU-4$  или 8  $ALU-4m$ . Данное устройство переноса описывается функциями:

$$c_8 = G_1 \vee P_1 G_0 \vee P_1 P_0 c_0,$$

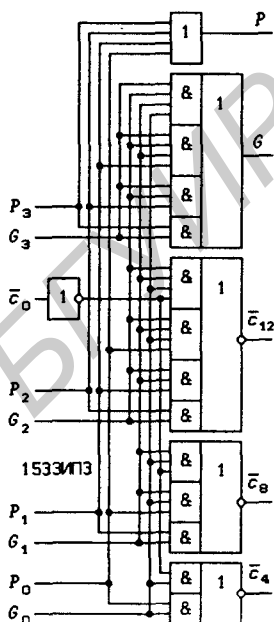


Рис. 6.117

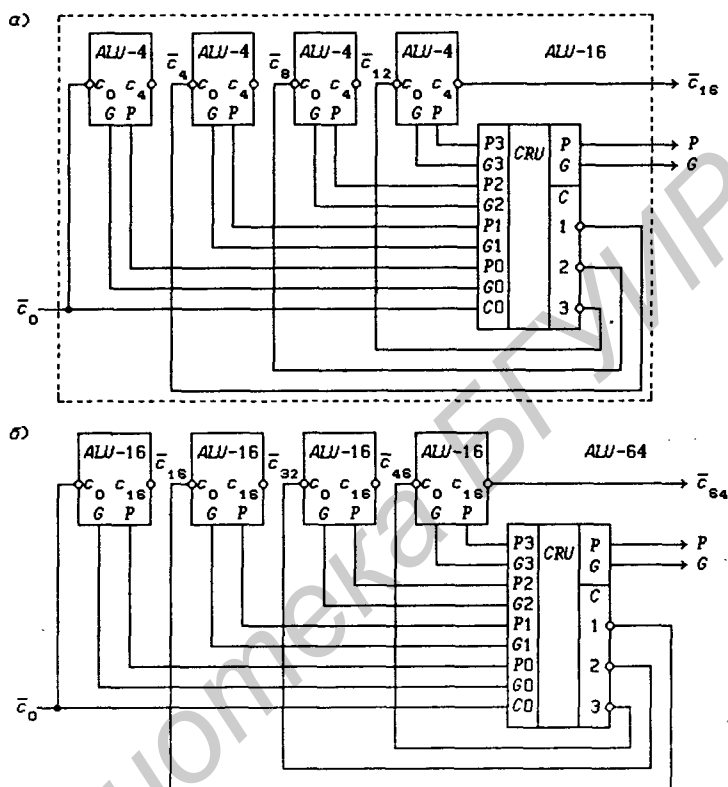


Рис. 6.118

Таблица 6.26. Быстродействие АЛУ

Тип АЛУ	Время сложения, нс		
	155ИПЗ (155ИП4)	531ИПЗ (531ИП4)	AS181(AS882) AS881(AS882) AS1181(AS882)
ALU-4	24	11	5
ALU-8 (послед. перенос)	36	18	10
ALU-16 (парал. перенос)	36	19	14
ALU-16 (послед. перенос)	60	—	—
ALU-64 (парал. перенос)	60	28	19

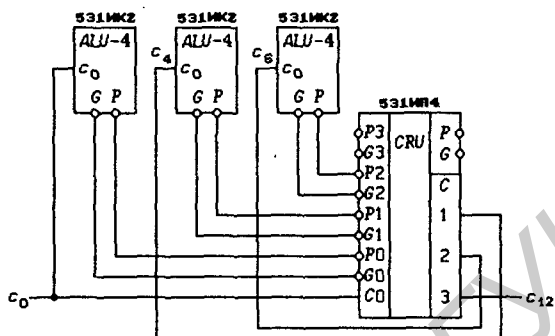


Рис. 6.119

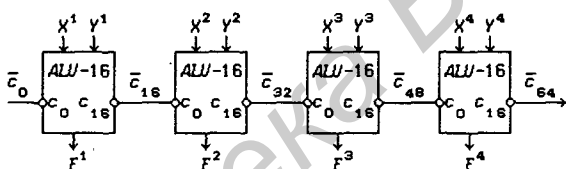


Рис. 6.120

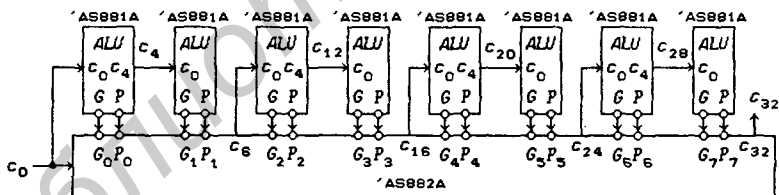


Рис. 6.121

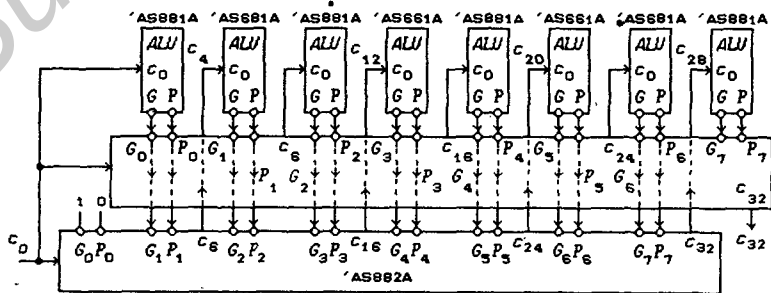


Рис. 6.122

$$\begin{aligned}
 c_{16} &= G_3 \vee P_3 G_2 \vee P_3 P_2 G_1 \vee P_3 P_2 P_1 G_0 \vee P_3 P_2 P_1 P_0 c_0, \\
 c_{24} &= G_5 \vee P_5 G_4 \vee P_5 P_4 G_3 \vee P_5 P_4 P_3 G_2 \vee P_5 P_4 P_3 P_2 G_1 \vee \\
 &\quad \vee P_5 P_4 P_3 P_2 P_1 G_0 \vee P_5 P_4 P_3 P_2 P_1 P_0 c_0, \\
 c_{32} &= G_7 \vee P_7 G_6 \vee P_7 P_6 G_5 \vee P_7 P_6 P_5 G_4 \vee P_7 P_6 P_5 P_4 G_3 \vee \\
 &\quad \vee P_7 P_6 P_5 P_4 P_3 G_2 \vee P_7 P_6 P_5 P_4 P_3 P_2 G_1 \vee \\
 &\quad \vee P_7 P_6 P_5 P_4 P_3 P_2 P_1 G_0 \vee P_7 P_6 P_5 P_4 P_3 P_2 P_1 P_0 c_0.
 \end{aligned}$$

На рис. 6.121 представлена структурная схема  $ALU-32$  с параллельно-последовательно-параллельным включением восьми  $ALU-4$ . Последовательно переносы проходят только через два  $ALU-4$ , т. е. четыре пары  $ALU-4$  включены параллельно-последовательно и представляют собой  $ALU-8$ , а полученные четыре  $ALU-8$  включены параллельно. Быстродействие таких АЛУ приближается к быстродействию параллельных АЛУ.

Устройства переноса  $4AS882A$  можно использовать и для построения  $ALU-64$  с параллельным переносом (рис. 6.122). Последовательные переносы, имеющиеся в предыдущей схеме, заменены на параллельные с помощью второго устройства переноса  $74AS882A$ .

Устройство переноса  $74AS282$  предназначено для построения синхронных параллельно-последовательных АЛУ, выполняющих арифметические операции с двойной точностью. Принцип работы таких АЛУ основан на том, что  $2 \times 4m$ -разрядные числа обрабатываются в АЛУ- $4m$  за два такта как  $4m$ -разрядные числа. Экономия аппаратных затрат получается за счет увеличения времени выполнения арифметических операций.

Устройство переноса  $74AS282$  описывается функциями:

$$\begin{aligned}
 c_4 &= G_0 \vee P_0 CY, \quad c_8 = G_1 \vee P_1 G_0 \vee P_1 P_0 CY, \\
 c_{12} &= G_2 \vee P_2 G_1 \vee P_2 P_1 G_0 \vee P_2 P_1 P_0 CY, \\
 G &= G_3 \vee P_3 G_2 \vee P_3 P_2 G_1 \vee P_3 P_2 P_1 G_0, \quad P = P_3 P_2 P_1 P_0,
 \end{aligned}$$

где перенос  $CY = c_{00} \bar{S}_1 \bar{S}_0 \vee \bar{c}_{00} \bar{S}_1 S_0 \vee c_{01} S_1 \bar{S}_0 \vee \bar{c}_{01} S_1 S_0$ . Сигналами  $S_1$  и  $S_0$  производится мультиплексирование источника переноса с указанием его активного уровня для работы с прямыми или инверсными операндами ( $S_1$  — селекция переноса  $c_{00}$  или  $c_{01}$ ,  $S_0$  — задание активного уровня переносов  $c_{0j}$  или  $\bar{c}_{0j}$ ,  $j = 0$  и  $1$ ).

На рис. 6.123 показана структурная схема параллельно-последовательного  $ALU-32$  при работе с инверсными операндами — арифметические операции над 64-разрядными числами  $X = x_{63} \dots x_1 x_0$  и  $Y = y_{63} \dots y_1 y_0$  выполняются за два такта. При выполнении операции сложения в первом такте вычисляется сумма

$$x_{31} \dots x_1 x_0 + y_{31} \dots y_1 y_0 + c_0$$

и перенос  $c_{32}$ , который запоминается в синхронном  $D$ -триггере, а во втором такте — сумма

$$x_{63} \dots x_{33} x_{32} + y_{63} \dots y_{33} y_{32} + c_{32}$$

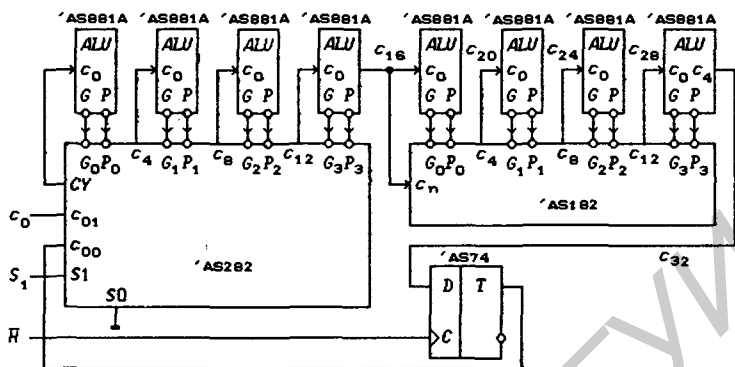


Рис. 6.123

и перенос  $c_{64}$ . Мультиплексирование 32-разрядных чисел и источника переноса производится одновременно. Рассмотренную схему можно использовать и для сложения  $k \times 32$ -разрядных чисел за  $k$  тактов.

Соотношения (6.58) можно представить в более общем виде

$$c_m = \bigvee_{i=0}^{m-1} g_i \prod_{j=i+1}^{m-1} p_j \vee c_0 \prod_{j=0}^{m-1} p_j \quad \text{и} \quad \prod_{j=i+1}^{m-1} p_j = 1,$$

если  $i+1 > m-1$  (при использовании 4-разрядных секций АЛУ выходные переносы  $c_i = c_{4m}$ ). Эти выражения при  $m = 1, 2, \dots, 8$  описывают функционирование ИС 589ИК03 (рис. 6.116). Сигнал  $EC_8 = 0$  переводит выход переноса  $\bar{C}_8$  в Z-состояние. С помощью одной ИС 589ИК03 в соответствии с рис. 6.117 можно построить АЛУ-32 на восьми АЛУ-4 153ЗИПЗ. Сигнал  $\bar{C}_8$  устройства переноса 589ИК03 будет являться выходным переносом  $\bar{C}_{32}$  АЛУ-32 с прямыми операндами.

## 6.12. Пороговые схемы и мажоритарные элементы

*Пороговой схемой*  $k$  из  $n$  называется КС, имеющая  $n$  входов и один выход и реализующая функцию

$$f(\nu) = \begin{cases} 1, & \text{если } \sum x_p \geq k, \\ 0, & \text{если } \sum x_p < k, \end{cases}$$

где  $\nu = (x_n, \dots, x_p, \dots, x_1)$ ,  $1 \leq k \leq n$  (суммирование осуществляется по всем значениям  $p = 1, 2, \dots, n$ ). При значении  $k = 1$  пороговая схема вырождается в  $n$ -входовой ЛЭ ИЛИ, а при значении  $k = n$  — в  $n$ -входовой ЛЭ И. Пороговые схемы используются в обнаружителях сигналов, работающих по принципу  $k$  из  $n$  ( $n$  — число выборочных значений случайного процесса,

$k$  — число выборочных значений, превысивших заданный порог, т. е. анализируемые случайные величины принимают только два значения — 0 или 1). В этом случае символы 0 и 1 являются числами 0 и 1, поэтому такие КС могут быть реализованы с помощью двоичных сумматоров. Так как все входные переменные имеют одинаковый вес — 1, то для их сложения с целью последующего сравнения с порогом  $k$  требуются одноразрядные двоичные сумматоры.

При реализации пороговых схем в МНФ в базе И-НЕ потребовалось бы в первом ярусе  $\binom{n}{k}$  ЛЭ И-НЕ, так как наименьшее число сочетаний входных сигналов, сумма которых достигает или превышает порог  $k$ , равно  $\binom{n}{k}$ . Второй ярус состоит из одного ЛЭ И-НЕ с числом входов  $\binom{n}{k} = n!/k!(n-k)!$ .

Пусть требуется синтезировать пороговую схему, задаваемую параметрами  $n = 9$  и  $k = 6$ . При реализации данной пороговой схемы в МНФ в базе И-НЕ потребовалось бы  $\binom{9}{6} + 1 = 9!/6!3! + 1 = 85$  ЛЭ И-НЕ. Такой способ реализации неудовлетворителен.

На рис. 6.124,а изображена эта же пороговая схема, реализованная на двоичных сумматорах 555ИМ5, 155ИМ2 и 555ИМ6. Все входные сигналы  $x_p$  имеют вес  $2^0 = 1$ , поэтому они подаются на входы сумматоров, имеющих вес 1. Выходные сигналы сумматоров подключаются ко входам других сумматоров с учетом их весов  $2^i$ . На вход 4-разрядного сумматора с весом 2 подана константа 1 для смещения порога  $k$  до уровня  $2^3 = 8$ . Тогда при  $\sum_{p=1}^9 x_p \geq 6$  сигнал, равный 1, будет появляться на выходе 4-разрядного сумматора с весом 8. На рис. 6.124,а символами 0 и 1 показано прохождение некоторой комбинации значений сигналов  $x_p$  через все сумматоры. Рассмотренная пороговая схема может быть построена и на трех 4-разрядных сумматорах 555ИМ6, один из которых включается по схеме двух одноразрядных сумматоров (см. рис. 6.103,а).

*Мажоритарным элементом (МЭ)* называется пороговая схема с нечетным числом входов  $n$ , выходной сигнал которой равен 1 только при поступлении на ее входы не менее  $k = (n+1)/2$  входных сигналов  $x_p$ , равных 1. Для реализации 13-входового МЭ в МНФ в базе И-НЕ потребовалось бы  $(13!/7!6!) + 1 = 1717$  ЛЭ И-НЕ, один из которых должен иметь 1716 входов.

На рис. 6.124,б приведена схема 13-входового МЭ, выполненная на четырех одноразрядных ( $D1$  и  $D2$ ), двух 2-разрядных ( $D3$  и  $D4$ ) и одном 4-разрядном ( $D5$ ) двоичных сумматорах. На один из входов 4-разрядного сумматора  $D5$ , имеющих вес, равный 1, подана константа 1. Тем самым порог  $k = 7$  смещается



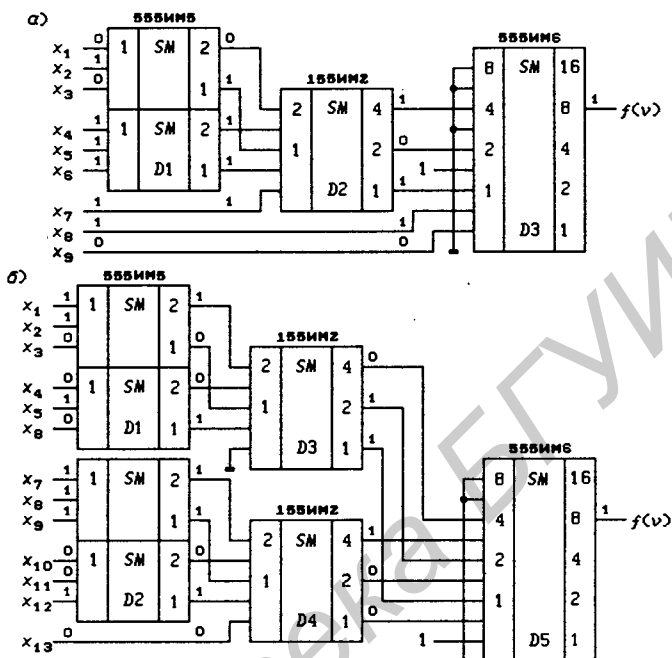


Рис. 6.124

до значения  $k = 8$ . Выходной сигнал с весом 8 сумматора  $D5$  будет равен 1, если 7 или большее число входных сигналов  $x_p$  примут значение 1.

В интегральном исполнении выпускаются мажоритарные элементы (*Majority Logic Gate*), имеющие 3 (533ЛПЗ и 561ЛП13) и 5 (*МС14530В*) входов. Функция, выполняемая 3-входовым МЭ, совпадает с функцией переноса одноразрядного сумматора:  $f = x_1x_2 \vee x_1x_3 \vee x_2x_3$ , где  $x_p$  — входные сигналы. Синтез МЭ, имеющих 5, 7 и 9 входов, на 3-входовых МЭ был рассмотрен в § 1.13, а функция, выполняемая 5-входовым МЭ, представлена в табл. 1.6. Функционирование 5-входового МЭ *МС14530В* (рис. 6.125) описывается выражением:

$$F = (I_1I_2I_3 \vee I_1I_2I_4 \vee I_1I_2I_5 \vee I_1I_3I_4 \vee I_1I_3I_5 \vee I_1I_4I_5 \vee I_2I_3I_4 \vee I_2I_3I_5 \vee I_2I_4I_5 \vee I_3I_4I_5) \oplus P, \quad (6.59)$$

где  $P$  (*Polarity*) — сигнал инвертирования функции выхода МЭ.

Из соотношения (6.59) при подстановке определенных значений некоторых сигналов следует, что 5-входовой МЭ может использоваться для выполнения различных переключательных

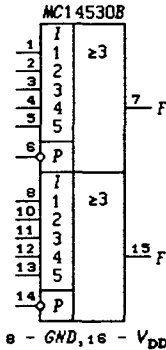


Рис. 6.125

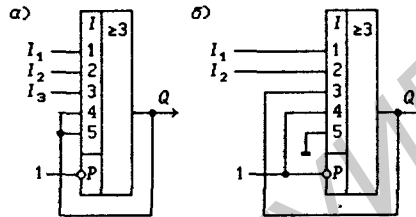


Рис. 6.126

функций:

$I_5 = 1, I_4 = 0 \Rightarrow F = (I_1 I_2 \vee I_1 I_3 \vee I_2 I_3) \oplus P$  — 3-входовой МЭ, с возможностью инвертирования функции выхода  $F$ ,

$I_5 = I_4 = 0 \Rightarrow F = I_1 I_2 I_3 \oplus P$  — 3-входовой ЛЭ И/И-НЕ,

$I_5 = I_4 = 1 \Rightarrow F = (I_1 \vee I_2 \vee I_3) \oplus P$  — 3-входовой ЛЭ ИЛИ/ИЛИ-НЕ,

$I_5 = I_4 \Rightarrow F = (I_1 I_2 I_3 \vee I_1 I_4 \vee I_2 I_4 \vee I_3 I_4) \oplus P$  — 4-входовая пороговая схема с порогом  $k = 3$  и неравными весами входов (вход  $I_4$  имеет вес вдвое больший, чем остальные входы) с возможностью инвертирования функции выхода.

На мажоритарных элементах можно построить асинхронные потенциальные триггеры, если ввести обратную связь с выхода на один или два входа МЭ, так как это было сделано в § 6.4 при синтезе триггеров на мультиплексорах. На рис. 6.126,а показан асинхронный потенциальный триггер, описываемый функцией переходов

$$Q^+ = I_1 I_2 I_3 \vee Q \cdot \overline{I_1} \overline{I_2} \overline{I_3},$$

где  $I_1 I_2 I_3 = S_M$  — сигнал установки триггера в состояние  $Q = 1$ ,  $\overline{I_1} \overline{I_2} \overline{I_3} = R_M$  — сигнал установки триггера в состояние  $Q = 0$ . При одновременном изменении нескольких входных сигналов могут возникнуть состязания (см. § 2.2), приводящие к неправоначальному срабатыванию триггера. Полученный  $R_M$ - $S_M$ -триггер отличается от  $R$ - $S$ -триггеров, рассмотренных в § 3.3, тем, что условие  $R_M S_M = 0$  выполняется автоматически при любых значениях входных сигналов  $I_k$ .

На рис. 6.126,б изображен асинхронный потенциальный  $R_M$ - $S_M$ -триггер, описываемый функцией переходов

$$Q^+ = I_1 I_2 \vee Q \cdot \overline{I_1} \overline{I_2},$$

где  $I_1 I_2 = S_M$  — сигнал установки состояния триггера  $Q = 1$ ,  $\overline{I_1} \overline{I_2} = R_M$  — сигнал установки состояния  $Q = 0$ . Функции возбуждения триггера могут быть найдены методом, изложенным в § 1.6:

$$I_2 = Q^+ \overline{Q} \vee h_2(Q^+ \vee \overline{Q}), \quad I_1 = Q^+ \overline{Q} \vee \overline{h_2} Q^+ \vee h_1 Q^+ \vee \overline{h_2} h_1 \overline{Q}.$$

## 6.13. Умножители двоичных чисел

Производительность ЭВМ в значительной степени определяется временем выполнения операции умножения. Программная реализация в микроЭВМ операции умножения двух операндов  $X$  и  $Y$  с помощью операций сдвига и сложения требует значительного времени. Наибольшее быстродействие достижимо в умножителях, выполненных на основе КС.

Простейший способ построения комбинационного умножителя  $n \times m$ -разрядов следует из алгоритма умножения двоичных чисел:

$$P = X \times Y = X \times (y_{m-1}2^{m-1} + \dots + y_12^1 + y_02^0) = \\ = \sum_{j=0}^{m-1} X \times y_j2^j = \sum_{j=0}^{m-1} P_j,$$

где  $X = x_{n-1} \dots x_1 x_0$  — множимое,  $Y = y_{m-1} \dots y_1 y_0$  — множитель,  $P_j = X \times y_j2^j$  — частичные произведения. Процесс умножения при  $n = m = 4$  поясняется схемой:

$$\begin{array}{r} \underline{2^7 \ 2^6 \ 2^5 \ 2^4 \ 2^3 \ 2^2 \ 2^1 \ 2^0} \\ \quad \quad \quad 1 \ 1 \ 0 \ 1 = X = 13_{10}, \\ \quad \quad \times \quad 1 \ 0 \ 1 \ 1 = Y = 11_{10}, \\ \quad \quad \quad \underline{1 \ 1 \ 0 \ 1} = P_0 = 13, \\ \quad \quad + \quad 1 \ 1 \ 0 \ 1 = P_1 = 26, \\ \quad \quad + \quad 0 \ 0 \ 0 \ 0 = P_2 = 0, \\ \quad \quad + \quad \underline{1 \ 1 \ 0 \ 1} = P_3 = 104, \\ \quad \quad \underline{1 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1} = P = 143, \\ \quad \quad P_7 \ P_6 \ P_5 \ P_4 \ P_3 \ P_2 \ P_1 \ P_0 = P. \end{array}$$

Принцип построения комбинационного умножителя  $4 \times 4$ -разряда, изображенного на рис. 6.127, предельно ясен из вышеприведенной схемы умножения.

**Матричные умножители и умножители на основе ПЗУ.** Пусть заданы  $n$ - и  $m$ -разрядные целые числа

$$X_n = x_{n-1} \dots x_1 x_0, \quad A_n = a_{n-1} \dots a_1 a_0, \\ Y_m = y_{m-1} \dots y_1 y_0, \quad B_m = b_{m-1} \dots b_1 b_0.$$

Максимальные значения этих чисел равны  $2^n - 1$  и  $2^m - 1$ . Тогда

$$(X_n \times Y_m + A_n + B_m)_{\max} = \\ = (2^n - 1)(2^m - 1) + 2^n - 1 + 2^m - 1 = 2^{n+m} - 1,$$

т. е. при любых значений  $X_n$  и  $Y_m$  произведение  $X_n \times Y_m$  представимо не более чем  $n + m$  разрядами. Для двухразрядных чисел

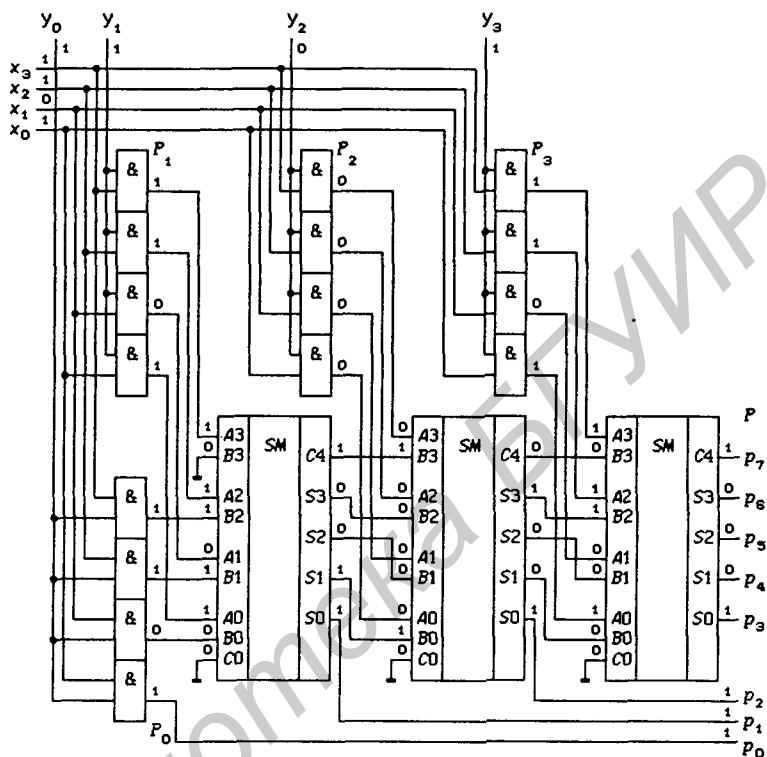


Рис. 6.127

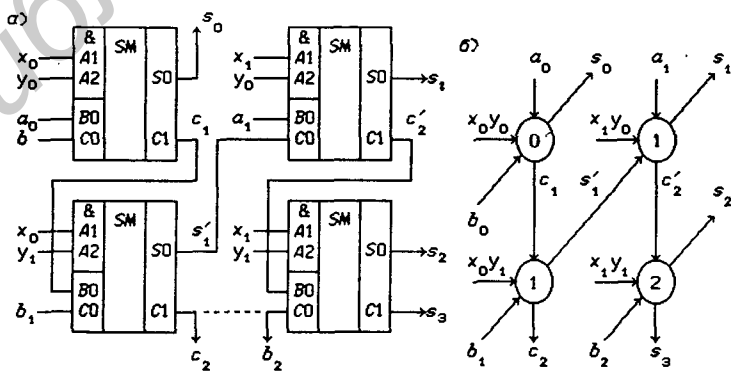


Рис. 6.128

можно записать:

$$\begin{aligned} X_2 \times Y_2 + A_2 + B_2 &= x_1 x_0 \times y_1 y_0 + a_1 a_0 + b_1 b_0 = \\ &= (x_1 2^1 + x_0 2^0) \times (y_1 2^1 + y_0 2^0) + a_1 2^1 + a_0 2^0 + b_1 2^1 + b_0 2^0 = \\ &= x_1 y_1 2^2 + (x_1 y_0 + x_0 y_1 + a_1 + b_1) \cdot 2^1 + (x_0 y_0 + a_0 + b_0) \cdot 2^0. \end{aligned}$$

Эти вычисления могут быть выполнены с помощью четырех одноразрядных комбинационных сумматоров (рис. 6.128,а):

$$\begin{aligned} \Sigma_1 &= (x_0 y_0 + a_0 + b_0) \cdot 2^0 = c_1 2^1 + s_0 2^0, \text{ выход } s_0 \text{ (вес } 2^0); \\ \Sigma_2 &= (x_0 y_1 + b_1 + c_1) \cdot 2^1 = c_2 2^2 + s'_1 2^1, \text{ выход } c_2 \text{ (вес } 2^2); \\ \Sigma_3 &= (x_1 y_0 + a_1 + s'_1) \cdot 2^1 = c'_2 2^2 + s_1 2^1, \text{ выход } s_1 \text{ (вес } 2^1); \\ \Sigma_4 &= (x_1 y_1 + c'_2 + c_2) \cdot 2^2 = c_3 2^3 + s_2 2^2, \text{ выходы } s_2 \text{ (вес } 2^2) \\ &\quad \text{и } s_3 = c_3 \text{ (вес } 2^3). \end{aligned}$$

Очевидно, что  $x_i \times y_i = x_i \& y_i$ , поэтому арифметическое умножение выполняется ЛЭ И, а сумматоры выполняют функции

$$S_0 = A_0 \oplus B_0 \oplus C_0, C_1 = A_0 B_0 \vee A_0 C_0 \vee B_0 C_0,$$

где  $A_0 = A_1 A_2$ . На рис. 6.128,б показано упрощенное условное обозначение такого умножителя двухразрядных чисел (выход  $c_2$  не подключен ко входу  $b_2$  для получения возможности наращивания разрядности умножителя). Сумматоры обозначены кружками, внутри которых указано число  $i + j$ , характеризующее вес произведения  $x_i \times y_j$ , равный  $2^{i+j}$ . На рис. 6.129 приведен умножитель двух 4-разрядных чисел, построенный на основе умножителей 2-разрядных чисел (входы для подачи произведений  $x_i \times y_j$  не показаны). Если положить  $a_i = 0$  и  $b_j = 0$  ( $i = 0, 1, 2, 3, j = 0, 1, 2, 3$ ), то схема будет выполнять функцию

$$P = p_7 \dots p_1 p_0 = x_3 \dots x_1 x_0 \times y_3 \dots y_1 y_0.$$

Из рис. 6.129 видно, что схема умножителя имеет регулярную структуру и может быть расширена до любых значений  $n$  и  $m$ . Такие КС называются *матричными умножителями*. Матричные умножители могут быть построены на одноразрядных сумматорах и с иной структурой межразрядных связей.

На рис. 6.130 показаны ИС умножителей *MPL (Multiplier)*: 561ИП5 — матричный умножитель  $2 \times 2$  разряда, выполненный по структурной схеме, показанной на рис. 6.128,а;

74284 — умножитель  $4 \times 4$  разряда на основе ПЗУ с выходами старших разрядов произведения  $P_7 P_6 P_5 P_4$  ( $E = E_1 E_2$  — стробирующий сигнал; при значении  $E = 0$  все выходы принимают значение 0);

74285 — умножитель  $4 \times 4$  разрядов на основе ПЗУ с выходами младших разрядов произведения  $P_3 P_2 P_1 P_0$  ( $E = E_1 E_2$  —

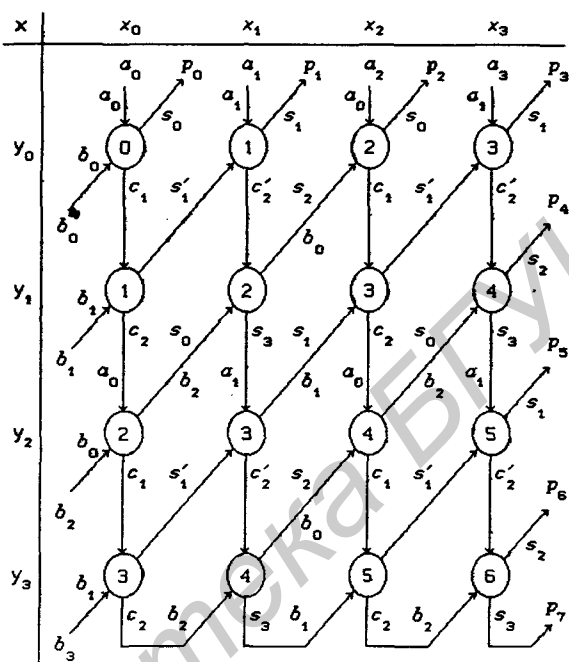


Рис. 6.129

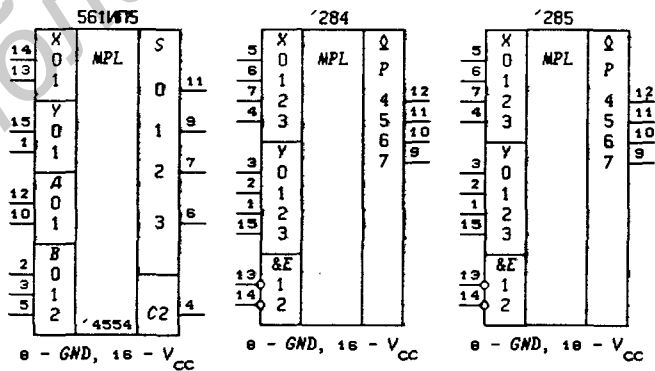


Рис. 6.130

стролирующий сигнал; при значении  $E = 0$  все выходы принимают значение 0).

Все одноразрядные сумматоры умножителя 561ИП5 построены по схеме, изображенной на рис. 6.131:

$$s = x \cdot y \oplus a \oplus b, c = a \cdot b \vee a \cdot (x \cdot y) \vee b \cdot (x \cdot y).$$

На рис. 6.132 показана схема матричного умножителя  $4 \times 4$  разряда, выполненная на ИС 564ИП5 в соответствии со структурой, изображенной на рис. 6.129. Аналогично могут быть построены и матричные умножители  $n \times m$ , где  $n > 4$  и  $m > 4$ .

Умножители на основе ПЗУ выполняются записью в них таблицы умножения  $n$ -разрядных чисел, что требует объема памяти ПЗУ  $2n \cdot 2^{2n}$  бит,  $2n$  входов и  $2n$  выходов. Понятно, что такие умножители могут быть реализованы только для небольшого числа  $n$  из-за быстрого увеличения с ростом  $n$  необходимого объема памяти, а также увеличения числа выводов ИС. Например, умножитель  $8 \times 8$  разрядов требует 1 Мбит памяти и имеет 32 вывода для подачи сомножителей и выдачи 16-разрядного произведения.

На рис. 6.133,а показан умножитель  $4 \times 4$  разряда, выполненный на ИС 74284 и 74285, а на рис. 6.133,б — его упрощенное графическое обозначение. Каждая ИС содержит дешифратор адреса, выполненный в виде матрицы  $2^4$  строк и  $2^4$  столбцов. На адресные входы дешифратора подаются разряды сомножителей  $X$  и  $Y$ , что обеспечивает выбор одной из ячеек памяти, в которой запрограммировано значение произведения  $X \times Y$  (или только часть разрядов произведения).

На основе ИС 74284 и 74285 можно построить умножители  $n \times m$  разрядов при любых значениях  $n$  и  $m$ . Пусть требуется получить умножитель  $8 \times 8$  разрядов. В этом случае сомножители можно записать в виде  $X = X_M X_L$  и  $Y = Y_M Y_L$ , где

$$X_M = x_7 x_6 x_5 x_4, X_L = x_3 x_2 x_1 x_0, Y_M = y_7 y_6 y_5 y_4, Y_L = y_3 y_2 y_1 y_0.$$

Тогда произведение  $8 \times 8$  разрядов можно представить в виде:

$$\begin{aligned} P &= X \times Y = (X_M 2^4 + X_L 2^0)(Y_M 2^4 + Y_L 2^0) = \\ &= (X_M \times Y_M) \cdot 2^8 + (X_M \times Y_L) \cdot 2^4 + (X_L \times Y_M) \cdot 2^4 + (X_L \times Y_L) \cdot 2^0. \end{aligned}$$

Из этого следует, что умножитель  $8 \times 8$  разрядов должен содержать четыре умножителя  $4 \times 4$  разряда для вычисления произведений

$$X_L \times Y_L, X_L \times Y_M, X_M \times Y_L, X_M \times Y_M$$

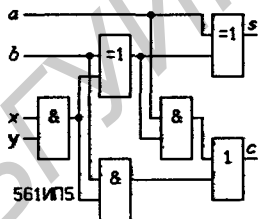


Рис. 6.131

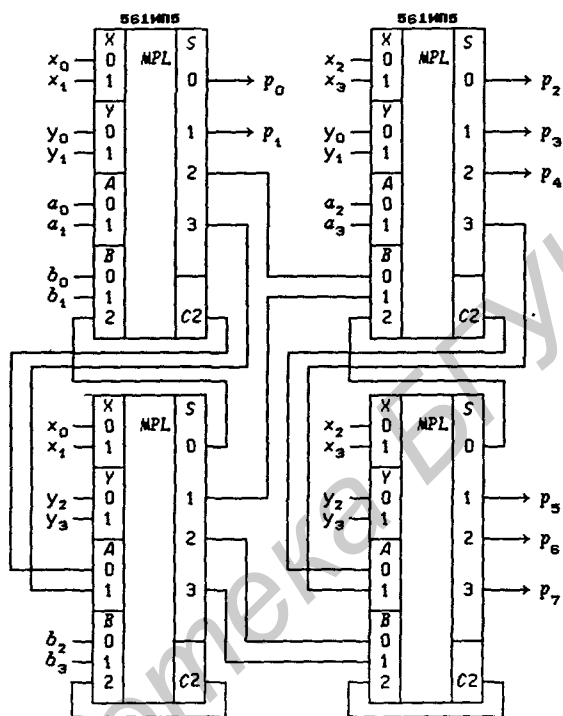


Рис. 6.132

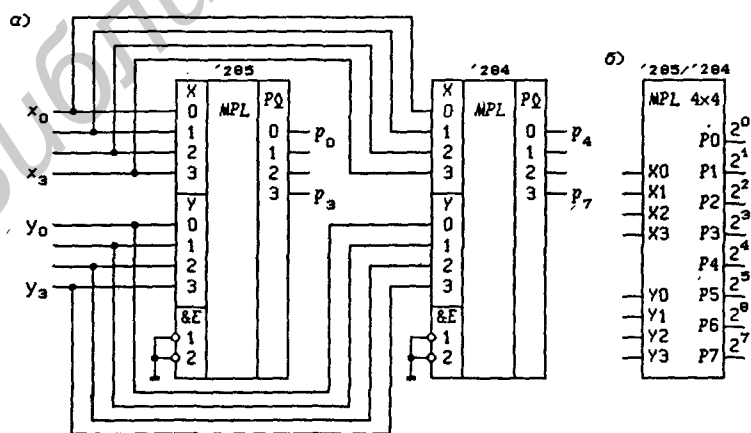


Рис. 6.133



и двоичные сумматоры для сложения произведений, получаемых на выходах четырех умножителей  $4 \times 4$ .

Структурная схема умножителя  $8 \times 8$  разрядов, построенная на основе ИС 74284 и 74285, показана на рис. 6.134,а. На выходах умножителей  $4 \times 4$  разряда указаны веса разрядов  $2^j$  полученных произведений. Выходы с одинаковыми весами для сумматоров логически равноценны, поэтому они могут подаваться на любые входы сумматоров, имеющих такой же вес. Из рис. 6.134,а видно, что имеется по три разряда с весами от  $2^4$  до  $2^{11}$ , а значит, все четыре полученных произведения не могут быть просуммированы одним двоичным многоразрядным сумматором. Для сокращения числа разрядов, имеющих одинаковый вес, до двух, включены 8 одноразрядных сумматоров. Для получения результата 16-разрядного произведения теперь достаточно использовать 12-разрядный сумматор или ALU-12. Рассмотренная схема эквивалентна умножителю  $8 \times 8$  разрядов, выполненному на ПЗУ (ROM — Read Only Memory — память только для чтения) объемом 1 Мбит с записанной таблицей умножения 8-разрядных чисел (рис. 6.134,б).

**Быстрые умножители.** Пусть требуется вычислить произведение двух целых положительных чисел

$$X = x_{n-1} \dots x_1 x_0 \text{ и } Y = y_6 y_5 y_4 y_3 y_2 y_1 y_0.$$

Тогда произведение  $P = X \times Y$  можно представить в виде

$$P = X \cdot (y_6 2^6 + y_5 2^5 + y_4 2^4 + y_3 2^3 + y_2 2^2 + y_1 2^1 + y_0 2^0) = \sum_{j=0}^6 P_j.$$

Величины  $X \cdot y_j \cdot 2^j = P_j$  называются *частичными произведениями*. Число частичных произведений равно числу разрядов множителя  $Y$ . Рассмотренный выше матричный умножитель (рис. 6.132) и производит вычисление таких частичных произведений с совмещением операции их суммирования в каждой ступени вычисления  $P_j$ .

Выражение для  $P$  можно преобразовать к виду:

$$P = X \cdot [(0 + y_6 + y_5)2^6 + (-2y_5 + y_4 + y_3)2^4 + + (-2y_3 + y_2 + y_1)2^2 + (-2y_1 + y_0 + 0)2^0]$$

на основании элементарного соотношения

$$y_j 2^j = y_j 2^{j+1} - 2y_j 2^{j-1},$$

используемого для нечетных значений  $j$ . Все частичные произведения

$$X \cdot (-2y_{j+1} + y_j + y_{j-1}) \cdot 2^j$$

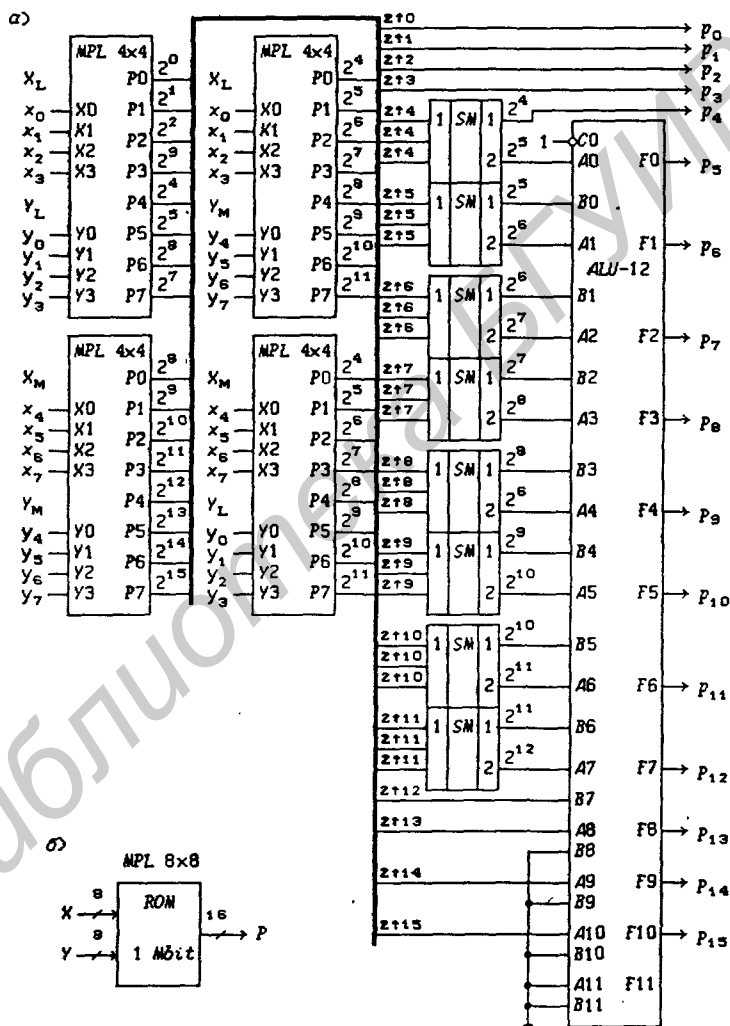


Рис. 6.134.

имеют одинаковую структуру, а их число уменьшилось вдвое по сравнению с числом частичных произведений  $X \cdot y_j \cdot 2^j$ , т. е. при использовании рассмотренного преобразования в каждой ступени вычисления частичного произведения производится умножение сразу на два разряда множителя  $Y$ . Такой метод вычисления произведения называется *модифицированным алгоритмом Бута*. Легко показать, что алгоритм Бута справедлив и для умножения двоичных чисел, представленных в дополнительном коде, причем произведение выдается также в дополнительном коде.

Покажем, что частичные произведения  $X \cdot (-2 \cdot y_{j+1} + y_j + y_{j-1})$  достаточно просто реализуются с помощью КС. Не теряя общности, можно положить  $j = 0$ , тогда функционирование КС будет описываться выражением:

$$X \cdot N = X \cdot (-2y_1 + y_0 + y_{-1}).$$

Так как  $y_j = 0$  или  $1$ , то величина в скобках может принимать значения от  $-2$  до  $+2$ , т. е. число  $N = -2, -1, 0, +1, +2$ . Пусть  $X \cdot N = -2X$ . Это означает, что множимое  $X$  следует сдвинуть на один разряд влево, а результат необходимо представить в дополнительном коде для выполнения суммирования частичных произведений. Дополнительный код частичного произведения в этом случае  $[-2X]_{\text{д}} = 2\bar{X} + 1$ . При этом возникает задача расширения разрядной сетки частичных произведений до разрядной сетки всего произведения  $P = X \times Y$ , которое имеет большее число разрядов по сравнению с младшим частичным произведением.

**Пример 1:**  $X = +5, Y = +6, P = X \times Y = +30$

$$\begin{array}{r} 0.101 = [+5]_{\text{д}}, \quad [Y]_{\text{д}} = 01110 \\ \times 0.110 = [+6]_{\text{д}}, \quad (100) \Rightarrow -2X \cdot 2^0 = -X \cdot 2^1 \\ 111.0110 = [-X \cdot 2^1]_{\text{д}}, \quad (011) \Rightarrow +2X \cdot 2^2 = +X \cdot 2^3 \\ + 0.101000 = [+X \cdot 2^3]_{\text{д}}, \\ \hline 0.011110 = [P]_{\text{д}}. \end{array}$$

**Пример 2:**  $X = 19, Y = -27, P = X \times Y = -513$

$$\begin{array}{r} 0.10011 = [+19]_{\text{д}}, \quad [Y]_{\text{д}} = 1.00101 \\ \times 1.00101 = [-27]_{\text{д}}, \quad (010) \Rightarrow +X \cdot 2^0 \\ 00000.10011 = [+X \cdot 2^0]_{\text{д}}, \quad (010) \Rightarrow +X \cdot 2^2 \\ + 0000.1001100 = [+X \cdot 2^2]_{\text{д}}, \quad (100) \Rightarrow -X \cdot 2^5 \\ + 1.0110100000 = [-X \cdot 2^5]_{\text{д}}, \\ \hline 1.011111111 = [P]_{\text{д}}. \end{array}$$

Таблица 6.27. Быстрый умножитель 4×2 разряда

$i$	$y_1 y_0 y_{-1}$	$D_4 D_3 D_2 D_1 D_0$	$c_0$	$[X \cdot N]_0$	Операция
0	0 0 0	0 0 0 0 0	0	0	+0
1	0 0 1	$x_3 x_3 x_2 x_1 x_0$	0	$X$	+ $X$
2	0 1 0	$x_3 x_3 x_2 x_1 x_0$	0	$X$	+ $X$
3	0 1 1	$x_3 x_2 x_1 x_0 x_{-1}$	0	$2X$	+ $2X$
4	1 0 0	$\bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0 \bar{x}_{-1}$	1	$2\bar{X}$	- $2X$
5	1 0 1	$\bar{x}_3 \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0$	1	$\bar{X}$	- $X$
6	1 1 0	$\bar{x}_3 \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0$	1	$\bar{X}$	- $X$
7	1 1 1	0 0 0 0 0	0	0	+0

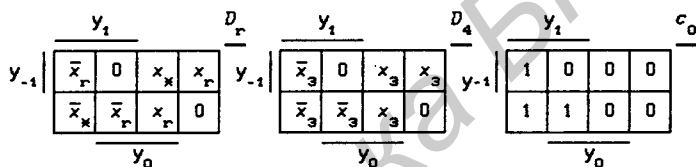


Рис. 6.135

Табл. 6.27 задает функционирование  $4 \times 2$ -разрядного быстрого умножителя, где  $[X \cdot N]_0$  — обратный код числа  $X \cdot N$ ,  $X = x_3 x_2 x_1 x_0$ . Функция  $D_4$  введена для расширения разрядной сетки частичных произведений, а функция  $c_0$  предназначена для преобразования обратного кода в дополнительный.

Из диаграмм Вейча (рис. 6.135;  $x_* = x_{r-1}$ ), составленным по табл. 6.27, видно, что

$$c_0 = y_1 \overline{y_0 y_{-1}}, \quad (6.60)$$

а функции  $D_r$  ( $r = 0, 1, 2, 3$ ) минимизации не поддаются, т. е.

$$D_r = x_r K_1 \vee x_r K_2 \vee x_{r-1} K_3 \vee \bar{x}_{r-1} K_4 \vee \bar{x}_r K_5 \vee \bar{x}_r K_6,$$

$$K_i = y_1^{e_1} y_0^{e_0} y_{-1}^{e_{-1}}.$$

Функции  $D_r$  и  $D_4$  несложно представить в форме

$$D_r = x_{r-1} h_1 \bar{y}_1 \vee \bar{x}_{r-1} h_2 y_1 \vee x_r h_3 \bar{y}_1 \vee \bar{x}_r h_3 y_1, \quad r = 0, 1, 2, 3,$$

$$D_4 = x_3 h_1 \bar{y}_1 \vee \bar{x}_3 h_2 y_1 \vee x_3 h_3 \bar{y}_1 \vee \bar{x}_3 h_3 y_1, \quad (6.61)$$

где  $h_1 = y_0 y_{-1}$ ,  $h_2 = \bar{y}_0 \bar{y}_{-1}$ ,  $h_3 = y_0 \oplus y_{-1}$ . По этим функциям может быть построена КС, реализующая быстрый умножитель  $4 \times 2$  разряда.

На рис. 6.136 показаны ИС:

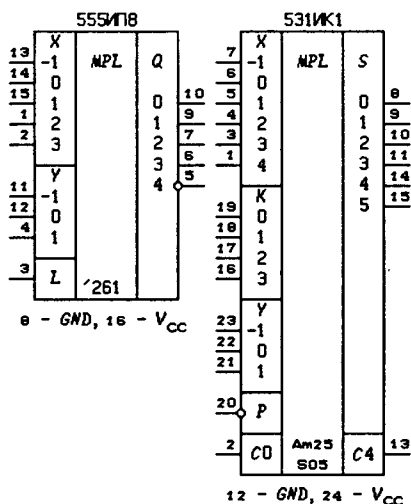


Рис. 6.136

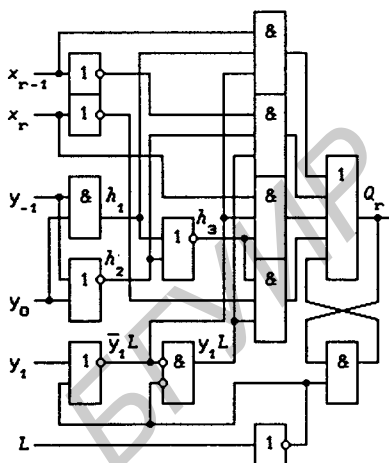


Рис. 6.137

555ИП8 — быстрый умножитель  $4 \times 2$  разряда, построенный в соответствии с (6.60) и (6.61);

531ИК1 — быстрый умножитель  $4 \times 2$  разряда с сумматором частичных произведений.

Умножитель 555ИП8 содержит пять асинхронных потенциальных  $D$ - $L$ -триггеров для фиксации функций  $D_r$ :  $Q_r^+ = D_r L \vee Q_r \bar{L}$ , где  $r = 0, 1, 2, 3, 4$ . Схема разрядов  $D_r$  ( $r = 0, 1, 2, 3$ ) показана на рис. 6.137. Если  $L \equiv 1$ , то осуществляется прямая передача значений  $D_r$  на выходы  $Q_r$ . Фиксация значений  $D_r$  в триггерах  $Q_r$  используется для построения быстрых конвейерных умножителей (см. § 6.14). Таким образом, ИС 555ИП8 может использоваться для проектирования как конвейерных, так и обычных  $n \times m$ -разрядных быстрых умножителей.

На рис. 6.138 показана схема быстрого умножителя  $8 \times 4$  разряда. Четыре ИС 555ИП8 ( $L \equiv 1$ ) формируют два частичных произведения с весами разрядов от  $2^0$  до  $2^9$  и от  $2^2$  до  $2^{11}$  (сигналы  $s_{00}$  и  $s_{02}$  необходимы для преобразования обратного кода в дополнительный). Константы единица с весами  $2^8$ ,  $2^9$  и  $2^{11}$  добавляются для правильного суммирования частичных произведений в дополнительном коде с расширением разрядной сетки. Так как частичные произведения представляются в дополнительном коде, то и сомножители должны подаваться на умножитель в дополнительном коде. Понятно, что произведение  $P = X \times Y = p_{11} \dots p_1 p_0$  будет также представлено в дополни-

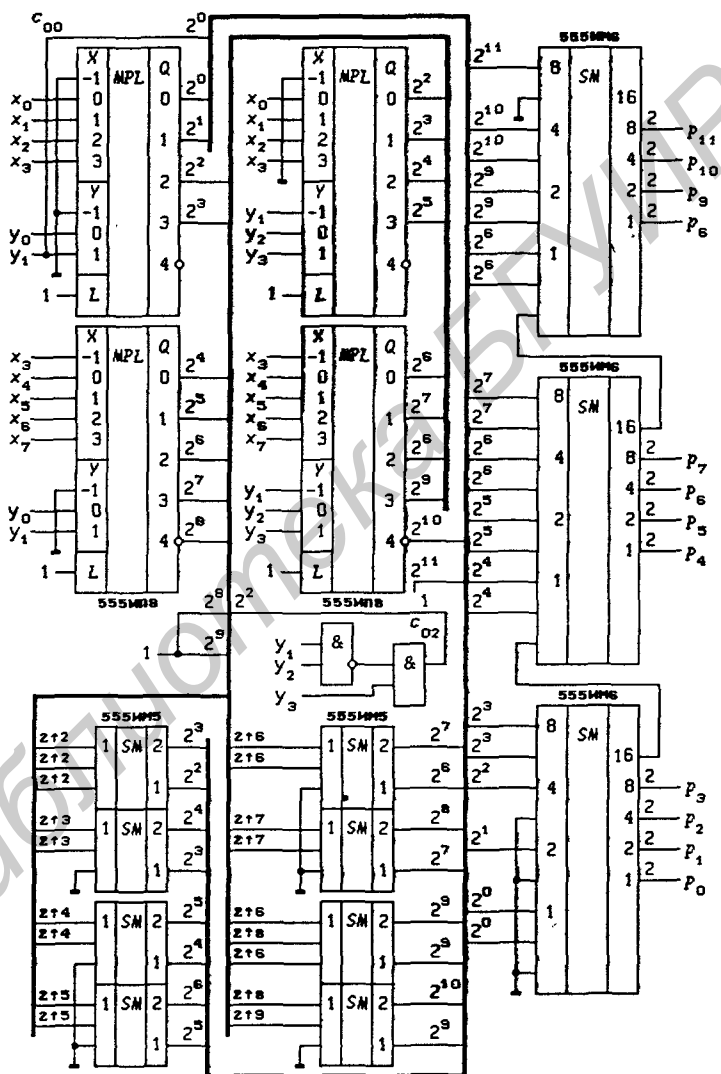


Рис. 6.138

тельном коде. Если  $x_7$  и  $y_3$  — знаковые разряды сомножителей, то  $p_{11}$  и  $p_{10}$  — знаковые разряды произведения ( $p_{11} = p_{10} = 0$  — произведение положительное,  $p_{11} = p_{10} = 1$  — произведение отрицательное).

В табл. 6.28 указано число разрядов частичных произведений, имеющих одинаковый вес  $2^j$ . Из табл. 6.28 видно, что даже два частичных произведения не могут быть просуммированы с помощью 12-разрядного двоичного сумматора. Поэтому производится предварительное суммирование разрядов частичных произведений с помощью одноразрядных сумматоров (например, 555ИМ5). После того, как таким способом будет получено не более, чем по два разряда с весами, большими  $2^0$ , суммирование сформированных двоичных чисел выполняется на 12-разрядном сумматоре, построенном, например, на трех ИС 555ИМ6. Схема суммирования разрядов частичных произведений с помощью одноразрядных сумматоров называется *деревом Уоллеса* [9] (в данном случае имеется только основание дерева из-за малого числа частичных произведений).

Таблица 6.28. Число разрядов частичных произведений

Вес разряда	Число разрядов	Вес разряда	Число разрядов
$2^0$	2	$2^6$	2
$2^1$	1	$2^7$	2
$2^2$	3	$2^8$	3
$2^3$	2	$2^9$	2
$2^4$	2	$2^{10}$	1
$2^5$	2	$2^{11}$	1

Аналогично схеме на рис. 6.138 может быть построена схема быстрого умножителя при любом числе  $n$  и  $m$  разрядов сомножителей. При этом следует пользоваться правилом: две константы единица с весами  $2^n$  и  $2^{n+1}$  добавляются к первому (младшему) частичному произведению, а к остальным частичным произведениям — только по одной константе единица с весами  $2^{n+3}$ ,  $2^{n+5}$ ,  $2^{n+7}$  и т. д.

На основе рассмотренного выше принципа быстрого умножения (на два разряда множителя) построена и схема ИС 531ИК1 (рис. 6.136), которая одновременно выполняет и суммирование частичных произведений. Схема, вычисляющая частичные произведения  $4 \times 2$  разряда, описывается табл. 6.29. Функции  $D_4$  и

Таблица 6.29. Вычисление частичных произведений

$i$	$y_1 y_0 y_{-1}$	$D_5 D_4 D_3 D_2 D_1 D_0$	$[X \cdot N]_0$	Операция
0	0 0 0	0 0 0 0 0 0	0	+0
1	0 0 1	$x_3 x_3 x_3 x_2 x_1 x_0$	$X$	+ $X$
2	0 1 0	$x_3 x_3 x_3 x_2 x_1 x_0$	$X$	+ $X$
3	0 1 1	$x_4 x_4 x_2 x_1 x_0 x_{-1}$	$2X$	+ $2X$
4	1 0 0	$\bar{x}_4 \bar{x}_4 \bar{x}_2 \bar{x}_1 \bar{x}_0 \bar{x}_{-1}$	$2\bar{X}$	- $2X$
5	1 0 1	$\bar{x}_3 \bar{x}_3 \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0$	$\bar{X}$	- $X$
6	1 1 0	$\bar{x}_3 \bar{x}_3 \bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0$	$\bar{X}$	- $X$
7	1 1 1	1 1 1 1 1 1	1	-0

$D_5$  введены для расширения разрядной сетки частичных произведений, а для преобразования обратного кода в дополнительный используется сигнал  $c_0 = y_1$ .

Выходы разрядов  $s_r$  суммы частичных произведений ИС 531ИК1 описываются выражениями:

$$S = s_5 \dots s_1 s_0 = \begin{cases} K_3 K_3 K_3 K_2 K_1 K_0 + (D_5 \oplus \bar{P}) \dots (D_0 \oplus \bar{P}) + c_0 & \text{при } i = 1 \dots 6, \\ K_3 K_3 K_3 K_2 K_1 K_0 + D_5 \dots D_1 D_0 + c_0 & \text{при } i = 0 \text{ и } 7, \end{cases}$$

$$c_4 = \begin{cases} 0, & \text{если } S < 2^4, \\ 1, & \text{если } S \geq 2^4, \end{cases}$$

где  $K_3 K_2 K_1 K_0$  — частичное произведение, вычисленное другой ИС,  $P$  (*Polarity*) — вход управления полярностью, переключающей ИС на работу с инверсным множимым  $X$ .

На рис. 6.139 показана схема быстрого умножителя  $8 \times 6$  разрядов, выполненная на шести ИС 531ИК1. Сомножители, как и в схеме на рис. 6.138, подаются в дополнительном коде ( $x_7$  и  $y_5$  — знаковые разряды), и результат произведения выдается в дополнительном коде ( $p_{13} = p_{12} = 0$  — произведение положительное,  $p_{13} = p_{12} = 1$  — произведение отрицательное). При умножении  $n$ - и  $m$ -разрядных отрицательных чисел  $X$  и  $Y$  максимальной величины ( $1.0 \dots 00$  и  $1.0 \dots 00$ ), модуль которых равен  $2^n$  и  $2^m$ , при  $n = 8$  и  $m = 6$  получаются значения:  $p_{13} = 0$  и  $p_{12} = 1$ , что при использовании в качестве знакового разряда только  $p_{13}$  дает правильный результат умножения.

**БИС умножителя  $12 \times 12$  разрядов 1802ВР4.** Эта БИС (рис. 6.140) выполняется по ТТЛШ-технологии (зарубежный аналог МРУ-12 фирмы TRW). Время умножения 12-разрядных



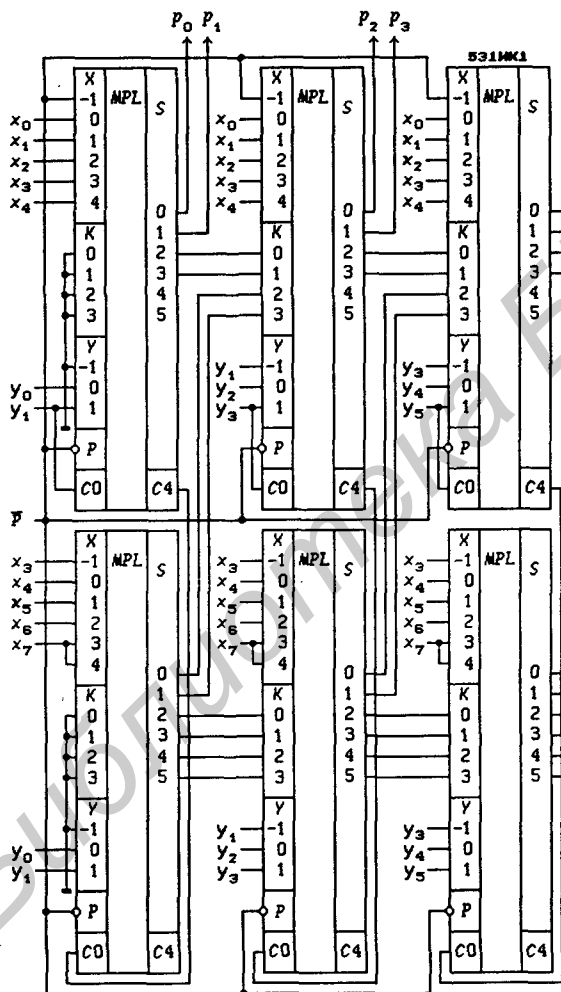


Рис. 6.139

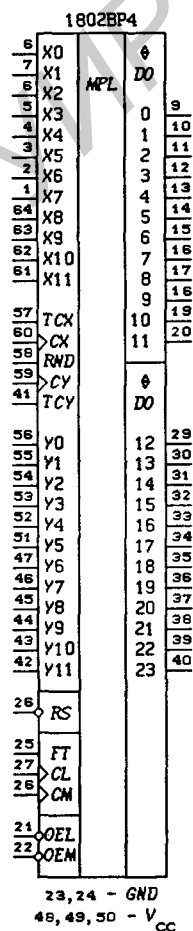


Рис. 6.140

чисел не превышает 110 нс, мощность потребления не более 3 Вт. На рис. 6.141 показана структурная схема этой БИС:

$X_{11} - X_0$  — 12-разрядный операнд, который может представлять собой 12-разрядное положительное число (число без знака) или дополнительный код числа  $X_{10} - X_0$  (число со знаком,  $X_{11}$  — знаковый разряд);

$Y_{11} - Y_0$  — 12-разрядный операнд такого же назначения, что и  $X_{11} - X_0$ ;

$TC_X$  (*Two's Complement* — дополнительный код двоичного числа) — указатель дополнительного кода числа  $X_{10} - X_0$  (при  $TC_X = 1$ );

$TC_Y$  — указатель дополнительного кода числа  $Y_{10} - Y_0$ ;

$C_X$  — тактовый сигнал записи  $X_{11} - X_0$  и  $TC_X$  в регистр памяти  $RG$ ;

$C_Y$  — тактовый сигнал записи  $Y_{11} - Y_0$  и  $TC_Y$  в регистр памяти  $RG$ ;

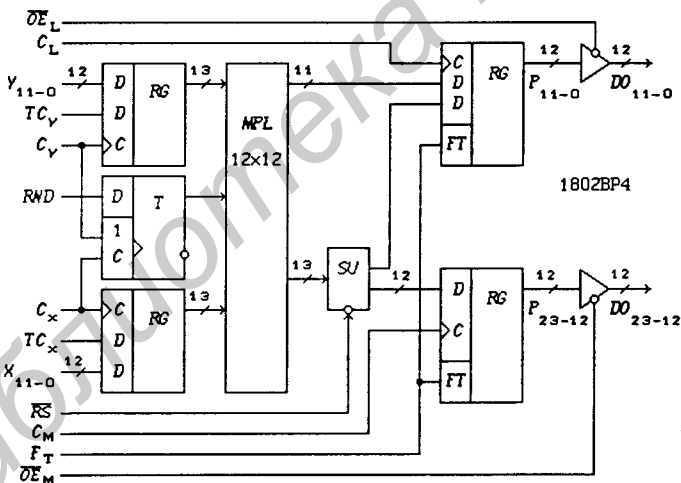


Рис. 6.141

$MPL\ 12 \times 12$  ( $MPL$  — *Multiplier*) — матричный умножитель;  
 $SU$  (*Shift Unit*) — сдвигающее устройство;

$\overline{RS}$  (*Right Shift* — сдвиг вправо) — указатель присвоения знака произведения младшей группе разрядов  $p_{11} - p_0$ ;

$C_L$  — тактовый сигнал записи в регистр памяти младшей группы разрядов произведения ( $L$  — *Least* — младший);

$C_M$  — тактовый сигнал записи в регистр памяти старшей группы разрядов произведения ( $M$  — *Most* — старший);

Таблица 6.30. Примеры вычисления произведений

$TC_x TC_y$	Операнд	Вес $16^5 16^4 16^3 16^2 16^1 16^0$	Десятичный эквивалент	Числа X и Y
0 0	X	0 0 0 F F F	+4095	без знака без знака
	Y	0 0 0 F F F	+4095	
	P	F F E 0 0 1	+16769025	
0 1	X	0 0 0 F F F	+4095	без знака со знаком
	Y	0 0 0 F F F	-1	
	P	F F F 0 0 1	-4095	
1 0	X	0 0 0 F F F	-1	со знаком без знака
	Y	0 0 0 F F F	+4095	
	P	F F F 0 0 1	-4095	
1 1	X	0 0 0 F F F	-1	со знаком со знаком
	Y	0 0 0 F F F	-1	
	P	0 0 0 0 0 1	+1	
0 1	X	0 0 0 C 0 1	+3075	без знака со знаком
	Y	0 0 0 F F A	-6	
	P	F F B 7 F A	-18438	
1 1	X	0 0 0 C 0 1	-1023	со знаком со знаком
	Y	0 0 0 F F A	-6	
	P	0 0 0 7 F A	+6138	
1 1	X	0 0 0 8 0 1	-2047	со знаком со знаком
	Y	0 0 0 8 0 1	-2047	
	P	3 F F 0 0 1	+4190209	
1 1	X	0 0 0 8 0 1	-2047	со знаком без знака
	Y	0 0 0 7 F F	+2047	
	P	C 0 0 8 0 0	-4190209	

$F_T$  (*Flag Transparency* — признак прозрачности) — указатель прозрачности регистров памяти произведения;

$OE_L, OE_M$  (*Output Enable*) — разрешение выходов младшей и старшей групп разрядов произведения (при  $\overline{OE}_L = 1$  и  $\overline{OE}_M = 1$  выходы  $DO$ ; находятся в  $Z$ -состоянии);

$RND$  (*Rounding* — округление) — указатель округления произведения до 12 старших разрядов.

В табл. 6.30 приведены примеры вычислений произведений для операндов со знаком и без знака (операнды представлены в 16-ричной системе счисления; соответствия между двоичной, десятичной и 16-ричной системами счисления см. в табл. 1.2).

В табл. 6.30 приведены значения произведения без округления ( $RND = 0$ ) и без присвоения знака младшей группе разрядов произведения ( $\overline{RS} = 1$ ). Если хотя бы одно число задано со

знаком, то произведение выдается в дополнительном коде.

Округление результата умножения производится при подаче сигнала  $RND = 1$ . Значение сигнала  $RND$  записывается в  $D$ -триггер импульсным сигналом

$$d\overline{C}_X \vee \overline{C}_Y = \overline{C}_Y^* d\overline{C}_X \vee \overline{C}_X^* d\overline{C}_Y,$$

т. е. перепадом любого из тактовых сигналов, при условии, что другой равен 0. Если этот триггер находится в состоянии  $Q = 1$ , то в разряд  $p_{11}$  добавляется единица (число  $2^{11}$ ).

Присвоение знака младшей части произведения  $p_{11} - p_0$  производится по сигналу  $\overline{RS} = 0$ . Такое присвоение следует использовать только при умножении чисел со знаком ( $TC_X = 1$ ,  $TC_Y = 1$ ). В этом случае модуль произведения представляется 22-разрядным числом  $p_{21} - p_0$ , а знак фиксируется в разряде  $p_{22}$ . Результат умножения для чисел со знаком представляется в дополнительном коде и присвоение знака младшей группе разрядов производится с помощью сдвигающего устройства  $SU$  по правилу:

$$\begin{array}{ccccccc} & & & & & & \downarrow \\ & & & & & & \overline{RS} \\ & & & & & & \downarrow \\ p_{23} & \leftarrow & p_{22} & \leftarrow & \dots & \leftarrow & p_{12} & \leftarrow & p_{11} & p_{10} & p_9 & \dots & p_0 \end{array}$$

(знаковый разряд  $p_{22}$  поступает в старший разряд  $p_{11}$  младшей группы разрядов произведения и в разряд  $p_{23}$ ).

Значение сигнала  $F_T = 1$  переводит регистры памяти произведения в прозрачный режим работы, при котором любые изменения информационных сигналов  $D$  сразу же передаются на выход (сигнал  $F_T = 1$  блокирует действия тактовых сигналов  $C_L$  и  $C_M$ ). Прозрачные  $D$ -триггеры могут быть выполнены на основе  $D/R$ - $S$ -триггеров, описываемых функцией переходов  $Q^+ = S \vee (DdH \vee Qd\overline{H}) \cdot \overline{R}$ . Если положить  $S = D \cdot F_T$  и  $R = \overline{D} \cdot \overline{F_T} F_T$  ( $RS \equiv 0$ ), то функция переходов будет иметь вид:

$$Q^+ = D \cdot F_T \vee (DdH \vee Qd\overline{H}) \cdot \overline{D \cdot \overline{F_T} F_T}. \quad (6.62)$$

Из этой функции следует, что при  $F_T = 1$  значение  $Q^+ = D$  не зависит от тактового сигнала. На рис. 6.142,а показана структурная схема прозрачного  $D$ -триггера, выполненная в соответствии с (6.62), а на рис. 6.142,б — его условное обозначение.

Выходы произведения с тремя состояниями позволяют подключать их непосредственно к системной шине данных микроЭВМ, т. е. умножитель можно использовать в качестве внешнего устройства для ускорения вычислений. Наличие входных и выходных регистров дает возможность использовать умножитель в конвейерных устройствах обработки данных. Выпуска-

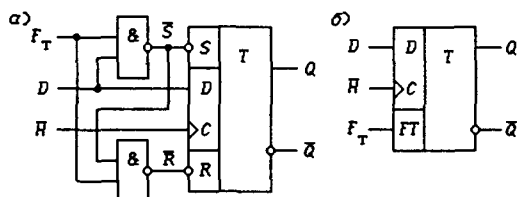


Рис. 6.142

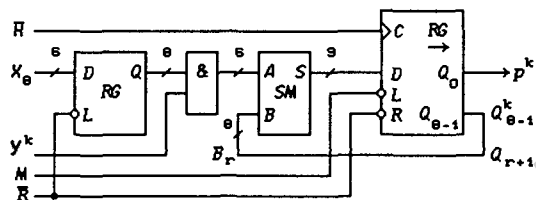


Рис. 6.143

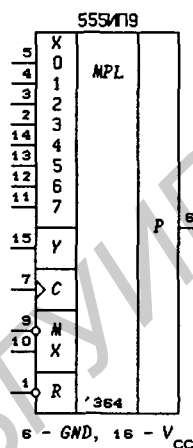


Рис. 6.144

ются также БИС умножителей 1802BP3 (*MPL*-8) — умножитель  $8 \times 8$  разрядов и 1802BP5 (*MPL*-16 фирмы *TRW*) — умножитель  $16 \times 16$  разрядов [26, 27].

**Последовательные умножители.** В последовательных умножителях, вычисляющих  $n + m$ -разрядное произведение  $P = X_n \times Y_m$ , где

$$X_n = x_{n-1} \dots x_1 x_0, Y_m = y_{m-1} \dots y_1 y_0,$$

$n$ -разрядное множимое  $X_n$  записывается во внутренний регистр памяти умножителя, а разряды множителя  $Y_m$  подаются на умножитель последовательно, начиная с младшего разряда.

Из традиционного алгоритма умножения чисел следует, что умножитель должен содержать накапливающий сумматор, состоящий из  $n$ -разрядного двоичного комбинационного сумматора и сдвигающего регистра, одновременно используемого в качестве аккумулятора старших разрядов суммы (рис. 6.143;  $n = 8$ ). Регистр памяти числа  $X_8$  построен на асинхронных потенциальных  $D$ - $L$ -триггерах, а 9-разрядный сдвигающий регистр — на  $D$ - $L$ / $R$ -триггерах. Загрузка множимого  $X_8$  производится сигналом  $\bar{L} = \bar{R} = 0$ , который одновременно сбрасывает в 0 сдвигающий регистр. Умножение числа  $X_n$  на один разряд  $y^k$  ( $k$  — номер разряда и номер такта) множителя  $Y_m$  производится набором из  $n$  ЛЭ И:  $x_i \cdot y^k = x_i \times y^k$ . Пока поступают разряды множителя  $y^k$ , сдвигающий регистр работает в режиме синхронной загрузки ( $M = 0$ ). Эффект сдвига при загрузке по-

Таблица 6.31. Последовательный умножитель

$k$	$\bar{R} M$	$y^k$	$Q_8^k Q_7^k Q_6^k Q_5^k Q_4^k Q_3^k Q_2^k Q_1^k Q_0^k$	Вес $Q_8^k$
0	0 ×	×	0 0 0 0 0 0 0 0 0	0
1	1 0	1	0 1 0 1 1 0 1 0 1	1
2	1 0	1	1 0 0 0 0 1 1 1 1	2
3	1 0	0	0 1 0 0 0 0 1 1 1	4
4	1 0	1	0 1 1 1 1 1 0 0 0	8
5	1 0	0	0 0 1 1 1 1 1 0 0	16
6	1 0	1	0 1 1 1 1 0 0 1 1	32
7	1 1	×	0 0 1 1 1 1 0 0 1	64
8	1 1	×	0 0 0 1 1 1 1 0 0	128
9	1 1	×	0 0 0 0 1 1 1 1 0	256
10	1 1	×	0 0 0 0 0 1 1 1 1	512
11	1 1	×	0 0 0 0 0 0 1 1 1	1024
12	1 1	×	0 0 0 0 0 0 0 1 1	2048
13	1 1	×	0 0 0 0 0 0 0 0 1	4096
14	1 1	×	0 0 0 0 0 0 0 0 0	8192

лучается за счет подачи разрядов аккумулятора  $Q_{r+1}$  с весом  $2^{r+1}$  на входы сумматора  $B_r$  с весом  $2^r$  ( $r = 0, 1, \dots, 7$ ). Пример вычисления произведения  $X_8 \times Y_6 = 181 \times 43 = 7783 = 2^{12} + 2^{11} + 2^{10} + 2^9 + 2^6 + 2^5 + 2^2 + 2^1 + 2^0$  представлен в табл. 6.31. Умножение выполняется за  $n + m = 14$  тактов с представлением 14-разрядного произведения  $P$  в последовательном коде на выходе младшего разряда  $Q_0^k = p^k$  сдвигающего регистра. Сигнал  $M$  производит переключение сдвигающего регистра с режима синхронной загрузки в режим сдвига ( $m$  тактов производится загрузка чисел с выхода сумматора и  $n$  тактов — сдвиг для выдачи старших разрядов произведения). Число  $Y_m$  может иметь произвольную разрядность.

Последовательный умножитель  $8 \times 1$  бит 555ИП9, построенный по рассмотренному принципу, показан на рис. 6.144.

## 6.14. Конвейерные устройства

Реализация переключательных функций двухъярусными КС приводит к большим аппаратным затратам, что при сложных функциях практически не оправдано. Снизить аппаратные затраты (число ЛЭ) можно использованием скобочных форм функций, которым соответствуют многоярусные КС. Однако такой способ реализации переключательных функций приводит к значительному снижению быстродействия КС.

**Принцип построения конвейерных устройств.** Скорость преобразования однотипной информации многоярусными КС (рис. 6.145) можно значительно увеличить с помощью конвейерной передачи информации от яруса к ярусу (рис. 6.146). В конвейерных устройствах между ярусами КС устанавливаются регистры памяти (РП), которые могут выполняться как на асинхронных потенциальных, так и на синхронных триггерах. Если на рис. 6.145 входные сигналы  $x_p$  ( $p = 1, 2, \dots, n_1$ ) не должны изменяться пока входные сигналы  $f_q$  ( $q = 1, 2, \dots, n_5$ ) не примут истинных значений (пока во всей схеме не закончится переходной процесс), то в конвейерном устройстве на рис. 6.146 входные сигналы  $x_p$  можно изменять сразу же после фиксации в регистре памяти значений выходных сигналов первого яруса КС. Фиксация выходных сигналов каждого яруса КС производится по окончании переходного процесса в ярусе с наибольшим временем задержки сигналов.

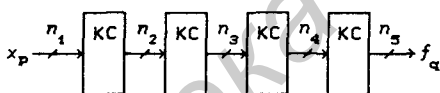


Рис. 6.145

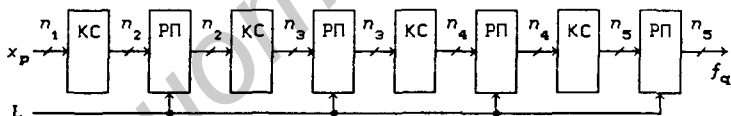


Рис. 6.146

На рис. 6.147 показан сигнал  $L$  (*Load* — загрузка) асинхронной потенциальной загрузки информации в РП. Для достижения максимального быстродействия длительность  $T_1$  сигнала  $L = 1$  должна быть как можно меньше, но достаточна для надежного срабатывания триггеров. Входные сигналы триггеров на интервале  $T_1$  не должны изменяться. Из этого следует, что минимальная задержка сигналов в каждом ярусе КС должна быть не меньше  $T_1$ . Длительность  $T_2$  паузы между значениями сигналов  $L = 1$  должна быть не меньше максимальной задержки сигналов в наименее быстродействующем ярусе КС. Быстродействующие конвейерные устройства строятся на триггерах Эрла (см. § 3.3), в которых преобразование информации производится во входной логике второго порядка. Конвейерная обработка информации находит широкое применение в векторных процессорах [9].

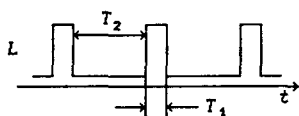


Рис. 6.147

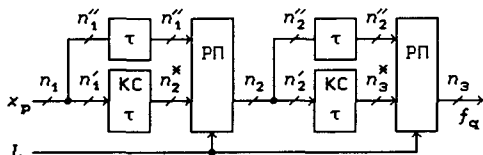


Рис. 6.148

При первом запуске конвейера обработанная информация появляется на его выходе через время  $m \cdot (T_1 + T_2)$ , где  $m$  — число ступеней конвейера, а в дальнейшем выходная информация будет изменяться через время  $T_1 + T_2$  (входная информация конвейера при этом также должна изменяться через время  $T_1 + T_2$ ). Таким образом, скорость обработки однотипной информации определяется быстродействием только одной ступени конвейера.

На рис. 6.148 показана структурная схема однофункционального конвейерного устройства, в каждой ступени которой имеются сигналы, поступающие на РП без преобразования в КС. Если задержка сигналов в КС равна  $\tau$ , то для сигналов, не проходящих через КС, следует ввести задержку на время  $\tau$ , что обычно производится введением “холостой” логики, не производящей преобразования информации.

Многофункциональные конвейеры кроме входов данных имеют управляющие входы, с помощью которых перестраивается структура конвейера на выполнение различных функций. На перестройку конвейера обычно требуется время, не меньшее  $m \cdot (T_1 + T_2)$ .

Конвейеризация обработки данных используется в некоторых БИС и СБИС для увеличения скорости их работы. Фирма *Weitek* в 1983 г. выпустила набор СБИС с конвейерной обработкой данных, в частности, СБИС *WTL1032* для умножения 32-разрядных чисел с плавающей точкой, имеющую быстродействие 10 Мфлопс ( $10^7$  операций с плавающей точкой в секунду; флопс — *Floating Point Operations per Second*) [28].

**Конвейерный быстрый умножитель.** На рис. 6.149 показана первая ступень конвейерного умножителя  $12 \times 8$  разрядов, построенная на 12 ИС 555ИП8. Эта ступень производит вычисление четырех частичных произведений и фиксацию их значений сигналом  $L$  во внутренних триггерах ИС (см. § 6.13). Остальные ступени конвейерного умножителя показаны на рис. 6.150 (квадратами обозначены одноразрядные сумматоры, прямоугольниками — триггеры, подключенные к выходам сумматоров, и шестиугольниками — триггеры с входной “холостой”



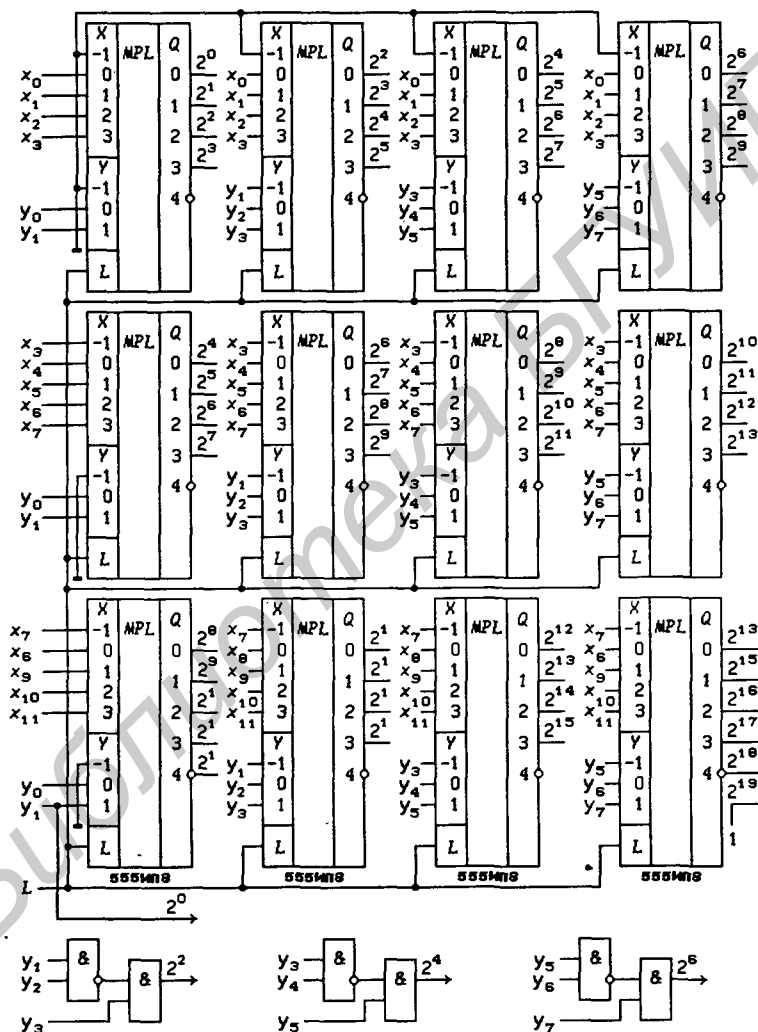


Рис. 6.149

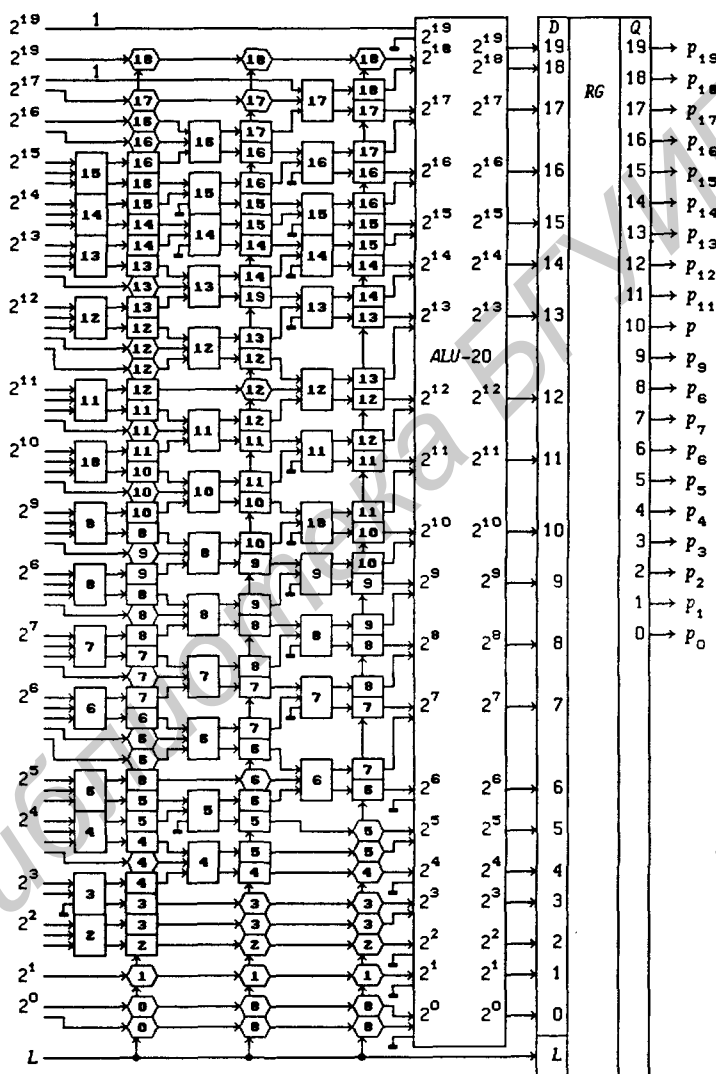


Рис. 6.150

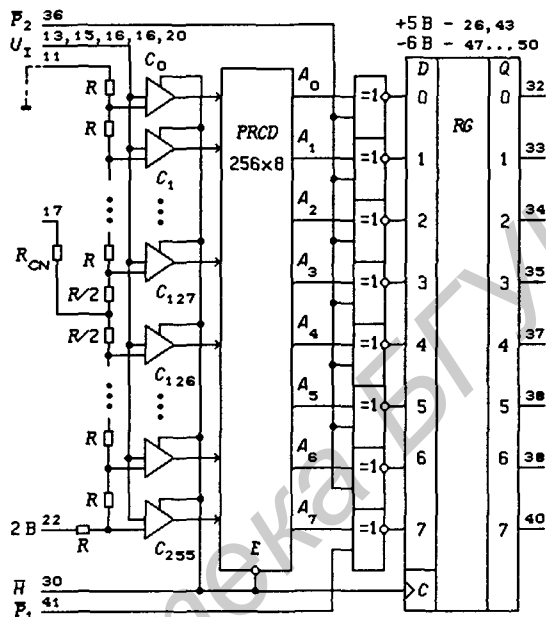


Рис. 6.151

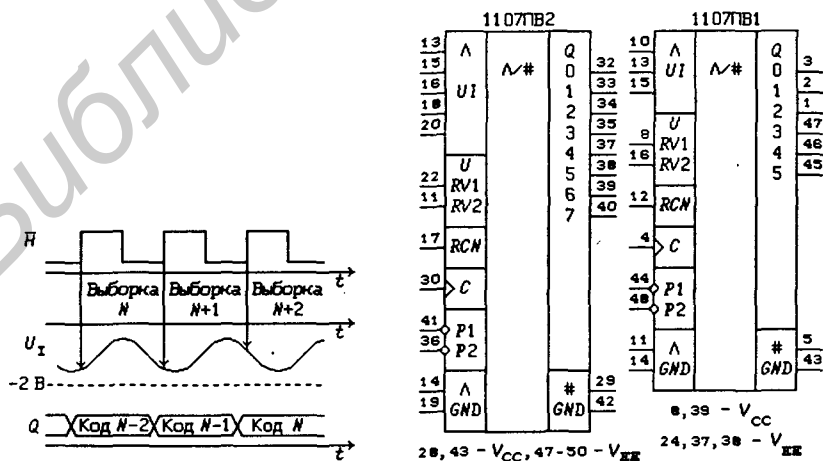


Рис. 6.152

Рис. 6.153

Таблица 6.32. Функционирование АЦП 1107ПВ2

$\overline{P_1}\overline{P_2}$	$V_I = 0 \text{ В}$	$V_I = -2 \text{ В}$
	$Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0$	$Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0$
1 1	0 0 0 0 0 0 0 0	1 1 1 1 1 1 1 1
0 0	1 1 1 1 1 1 1 1	0 0 0 0 0 0 0 0
0 1	1 0 0 0 0 0 0 0	0 1 1 1 1 1 1 1
1 0	0 1 1 1 1 1 1 1	1 0 0 0 0 0 0 0

Таблица 6.33. Основные параметры АЦП 1107ПВ1 и 1107ПВ2

Параметры	1107ПВ1	1107ПВ2
Частота преобразования, МГц	20	20
Время преобразования, нс	100	100
Нелинейность характеристики преобразования, мВ	$\pm 16$	$\pm 4$
Ток потребления от $V_{CC} = +5 \text{ В}$ , мА	30	35
Ток потребления от $V_{EE} = -6 \text{ В}$ , мА	150	450
Ток потребления от $V_{RV1} = -2 \text{ В}$ , мА	43	35

На рис. 6.153 показаны условные графические обозначения 8-разрядного АЦП 1107ПВ2 и 6-разрядного АЦП 1107ПВ1, который отличается от первого АЦП только числом разрядов. Подробное описание ИС 1107ПВ1 можно найти в [29]. Основные параметры этих АЦП приведены в табл. 6.33. АЦП имеют выводы аналоговой земли  $\wedge GND$  и цифровой земли  $\#GND$  ( $GND$  — Ground — земля).

## 6.15. Синтез линейных комбинационных схем

Для проектирования линейных цифровых автоматов над полем  $GF(q)$  при  $q \neq 2$  необходимо использовать специальный набор базовых ЛЭ, выполняющих операции сложения и умножения по модулю  $q$ . Такие ЛЭ являются достаточно сложными устройствами, синтез которых можно выполнить в виде КС на основе двоичных сумматоров и стандартных ЛЭ. Любой автомат над полем  $GF(q)$  может быть построен на  $D$ -триггерах и вышеуказанных ЛЭ (никакие другие элементы не требуются).

**Сумматор по модулю  $q$ .** На вход сумматора по модулю  $q$  могут поступать числа  $0 \leq X \leq q-1$  и  $0 \leq Y \leq q-1$ . Сумматор должен вычислять сумму

$$Z = (X + Y)_q,$$

где число  $Z$  равно остатку от деления суммы  $X + Y$  на число  $q$ . Понятно, что для чисел  $q$ ,  $X$ ,  $Y$  и  $Z$  можно использовать двоичное представление, т. е. эти числа можно записать в виде:

$$q = q_n \dots q_p \dots q_1, \quad X = x_n \dots x_p \dots x_1, \\ Y = y_n \dots y_p \dots y_1, \quad Z = z_n \dots z_p \dots z_1,$$

где  $q_p$ ,  $x_p$ ,  $y_p$  и  $z_p$  — двоичные разряды соответствующих чисел. Требуется синтезировать сумматор по модулю  $q$  при любом значении  $n$ .

Традиционные методы синтеза (таблицы истинности, диаграммы Вейча) не могут быть использованы для логического проектирования сумматоров по модулю  $q$ , так как по условию задачи число двоичных разрядов не задано. В данном случае следует воспользоваться арифметическими свойствами входных и выходных переменных, а в качестве основных элементов — двоичными 4-разрядными сумматорами 555ИМ6 и 561ИМ1.

Рассмотрим двоичную сумму

$$S = (X + Y) + (2^n - q), \quad (6.63)$$

где  $S = s_{n+1}s_n \dots s_p \dots s_1$ , а вес двоичного разряда  $s_{n+1}$  равен  $2^n$  (отметим, что сумма весов всех остальных разрядов равна  $2^n - 1$ ). Очевидно, что сумма  $S$  может принимать значения:  $S < 2^n$  и  $S \geq 2^n$  в зависимости от значений чисел  $X$  и  $Y$  (однако, следует иметь в виду, что при любых значениях чисел  $X$  и  $Y$  сумма  $S < 2^{n+1}$ ).

Если сумма  $S < 2^n$ , то  $s_{n+1} = 0$ , и из соотношения (6.63) следует, что  $X + Y < q$ , а значит,

$$Z = X + Y = S - 2^n + q = \langle S + q \rangle,$$

где символ  $\langle A \rangle$  означает исключение у величины  $A = a_{n+1}a_n \dots a_1$  старшего разряда  $a_{n+1}$ , т. е.  $\langle A \rangle = a_n \dots a_1$ .

Если же сумма  $S \geq 2^n$ , то  $s_{n+1} = 1$ , и из соотношения (6.63) следует, что  $X + Y \geq q$ , а значит,

$$Z = X + Y - q = S - 2^n = \langle S \rangle.$$

Таким образом, имеет место соотношение:

$$Z = (X + Y)_q = \begin{cases} \langle S + q \rangle, & \text{если } s_{n+1} = 0, \\ \langle S \rangle, & \text{если } s_{n+1} = 1. \end{cases} \quad (6.64)$$

На основании соотношения (6.64) может быть построена схема сумматора по модулю  $q$ , где  $q$  — любое простое число. На рис. 6.154 показана схема сумматора для случаев, когда число  $q$  можно представить не более чем четырьмя разрядами ( $q = 3, 5, 7, 11$  и  $13$ ). Двоичный сумматор  $D1$  производит вычисление суммы чисел  $X = x_4x_3x_2x_1$  и  $Y = y_4y_3y_2y_1$ , двоичный сумматор  $D2$  вычисляет сумму  $S$ , определяемую соотношением (6.63), поскольку  $2^4 - q = \bar{q}_4\bar{q}_3\bar{q}_2\bar{q}_1 + 0001$  — дополнение числа  $q$  до числа  $2^4$ . Разряд  $s_{n+1} = s_5$  суммы (6.63) формируется с помощью ЛЭ ИЛИ. Если  $s_5 = 0$ , то ЛЭ ИЛИ-НЕ выдают число  $q = q_4q_3q_2q_1$ , поступающее на входы двоичного сумматора  $D3$ , который и вычисляет сумму  $Z = (X + Y)_q$ . Если же  $s_5 = 1$ , то ЛЭ

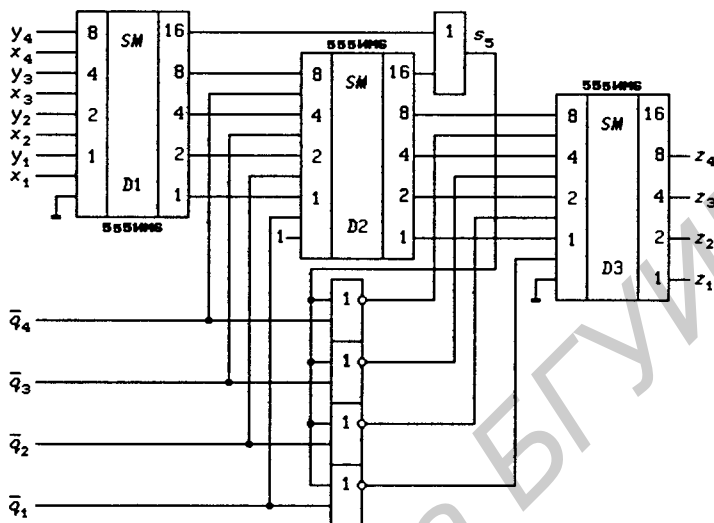


Рис. 6.154

ИЛИ-НЕ выдают число  $0 = 0000$ . Таким же способом могут быть построены сумматоры по модулю  $q$  для любого  $q = q_n \dots q_1$ , где  $n > 4$ . В структурных схемах будем использовать для сумматоров по модулю  $q$  условное обозначение, показанное на рис. 6.155, а.

Если  $q = 2^n - 1$  (при  $n = 2, 3, 5, 7, 13, 17, 19, 31$  числа  $q$  — простые), то схема сумматора по модулю  $q$  упрощается, так как  $2^n - q = 1$  и сумма (6.63) вычисляется с помощью одного двоичного сумматора (число 1 подается на вход сумматора  $D1$ , а сумматор  $D2$  и ЛЭ ИЛИ исключаются). При  $q = const$  схема сумматора по модулю  $q$  может быть упрощена за счет исключения ЛЭ ИЛИ-НЕ. В этом случае следует получить сигнал  $\bar{s}_{n+1}$  и подать его на входы двоичного сумматора  $D3$ , соответствующие числу  $q$ . На рис. 6.156 показана схема сумматора по модулю 7 ( $7 = 2^3 - 1$ ), выполненная на основе 4-разрядных двоичных сумматоров (здесь достаточно было бы использовать 3-разрядные двоичные сумматоры).

**Умножитель по модулю  $q$ .** Один из сомножителей, например  $Y$ , можно представить в виде:

$$Y = \sum_{p=1}^n y_p 2^{p-1},$$

где  $Y = y_n \dots y_p \dots y_1$  — двоичное число. Тогда для произведения чисел  $X \cdot Y$  имеет место соотношение:

$$X \cdot Y = \sum_{p=1}^n y_p X \cdot 2^{p-1},$$

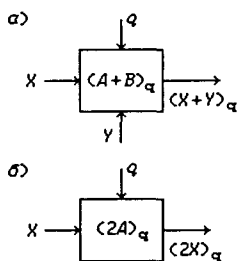


Рис. 6.155

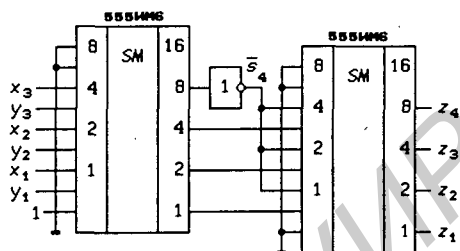


Рис. 6.156

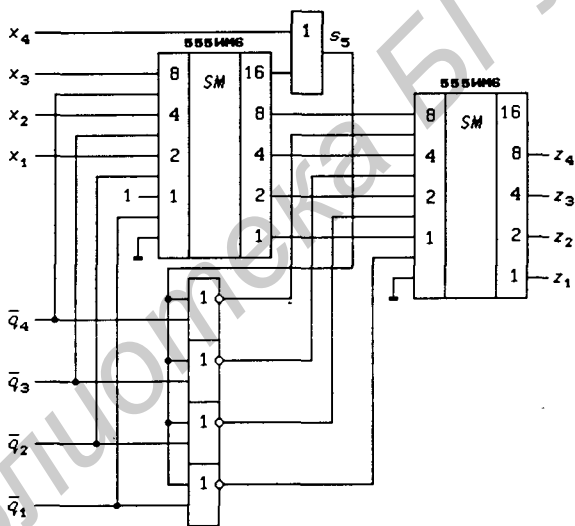


Рис. 6.157

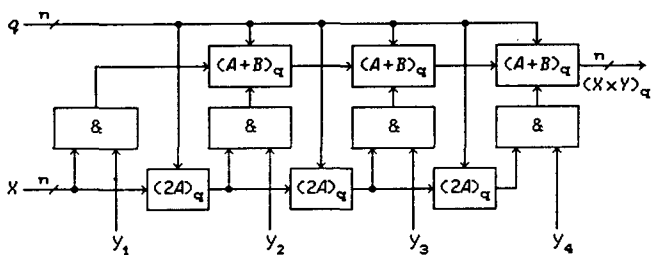


Рис. 6.158

где  $y_p = 0$  или 1. Из этого следует, что для построения умножителя по модулю  $q$  необходимо синтезировать типовую схему, выполняющую операцию  $(X \cdot 2)_q$  — умножение на 2 по модулю  $q$ . Действительно, так как  $(X \cdot 2^{j+1})_q = (2(X \cdot 2^j)_q)_q$ , величины  $(X \cdot 2^{p-1})_q$  могут быть получены последовательным использованием умножителей на 2 по модулю  $q$ .

Правило построения схемы умножителя на 2 по модулю  $q$  следует из соотношений (6.63) и (6.64), если в них положить  $Y = X$  и  $S = 2X + (2^n - q)$ . На рис. 6.157 показана схема умножителя на 2 по модулю  $q$  при 4-разрядном двоичном представлении  $q$ . Умножение числа  $X$  на 2 достигается сдвигом разрядов числа  $X$  на один разряд относительно входов левого сумматора, поэтому для вычисления двоичной суммы  $S = 2X + (2^n - q)$  требуется всего один двоичный сумматор. На выходе правого сумматора получается величина  $Z = z_4z_3z_2z_1 = (2X)_q$ . На рис. 6.155,б приведено условное обозначение умножителя на 2 по модулю  $q$ , которое будет использоваться в структурных схемах умножителей чисел  $X$  и  $Y$  по модулю  $q$ .

На рис. 6.158 показана структурная схема умножителя по модулю  $q$ , вычисляющего величину

$$Z = (X \cdot Y)_q = \left( \sum_{p=1}^n y_p X \cdot 2^{p-1} \right)_q, \quad n = 4.$$

Здесь числа  $q$  и  $X$  представляют собой  $n$ -мерные векторы, а узел & — совокупность  $n$  ЛЭ И для поразрядного логического умножения числа  $X$  на разряды  $y_p$ , где  $p = 1, 2, \dots, n$  (на рис. 6.158  $n = 4$ ).

Схема умножителя чисел  $X$  и  $Y$  по модулю  $q$  существенно упрощается, если  $q = 2^n - 1$ . Покажем, что в этом случае  $(2X)_q = x_{n-1} \dots x_1 x_n$ , где  $X = x_n x_{n-1} \dots x_1$ , т.е. умножение на 2 по модулю  $q$  реализуется циклическим сдвигом разрядов числа  $X$  на один разряд в сторону старших разрядов. Действительно, при  $q = 2^n - 1$  сумма  $S = 2X + (2^n - q) = 2X + 1 = s_{n+1} s_n \dots s_1$ . Если  $S < 2^n$ , то  $s_{n+1} = 0$  и  $2X < 2^n - 1 = q$ , т.е.  $(2X)_q = 2X = x_{n-1} \dots x_1 x_n$ , так как  $S < 2^n$  только при  $x_n = 0$ . Если же  $S \geq 2^n$ , то  $s_{n+1} = 1$ , и  $2X \geq 2^n - 1 = q$ , т.е.  $(2X)_q = 2X - q = 2X - 2^n + 1 = x_{n-1} \dots x_1 x_n$ , так как  $S \geq 2^n$  только при  $x_n = 1$ .

При построении линейных цифровых автоматов требуется производить умножение чисел  $X$  не на произвольные числа  $Y$ , а на постоянные коэффициенты  $Y = y_n \dots y_1$ , задающие структуру линейного автомата. В этом случае значения  $y_p$  (0 или 1,  $p = 1, 2, \dots, n$ ) не изменяются во времени, поэтому узлы & на рис. 6.158 имеют чисто символическое значение, указывающее на наличие или отсутствие связей. Например, при  $q = 11$  или 13 и  $Y = 1001$ , два первых сумматора по модулю  $q$   $(A + B)_q$  отсутствуют, а сигнал  $X$  и сигнал с выхода последнего умножителя на 2 по модулю  $q$   $(2A)_q$  следует подать на входы последнего сумматора  $(A + B)_q$  (рис. 6.159).

На рис. 6.160 показана схема умножителя  $(5X)_7$  ( $q = 7 = 2^3 - 1$ ),



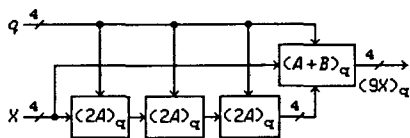


Рис. 6.159

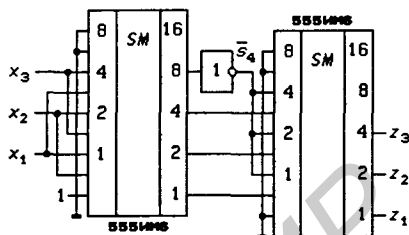


Рис. 6.160

построенная на основании очевидного соотношения:

$$(5X)_7 = (X + (4X)_7)_7 = (x_3x_2x_1 + x_1x_3x_2)_7.$$

Здесь для получения величины  $(4X)_7$  использован циклический сдвиг разрядов числа  $X = x_3x_2x_1$  на два разряда в сторону старших разрядов. Чем меньше в двоичном представлении константы  $Y$  содержится единиц, тем проще получается схема умножителя по модулю  $q$   $(X \cdot Y)_q$ .

Таблица 6.34. Сумматор и умножитель по модулю 3

$i$	$x_2 x_1 y_2 y_1$	$z_2 z_1$	$z'_2 z'_1$
0	0 0 0 0	0 0	0 0
1	0 0 0 1	0 1	0 0
2	0 0 1 0	1 0	0 0
4	0 1 0 0	0 1	0 0
5	0 1 0 1	1 0	0 1
6	0 1 1 0	0 0	1 0
8	1 0 0 0	1 0	0 0
9	1 0 0 1	0 0	1 0
10	1 0 1 0	0 1	0 1

Синтезированные выше сумматор и умножитель по модулю  $q$  позволяют реализовать любой линейный автомат над полем  $GF(q)$ . Сумматор и умножитель по модулю  $q = 3$  легко синтезировать традиционными методами. Для этого по табл. 1.8 составляется таблица истинности (табл. 6.34) для функций  $z_2, z_1$  и  $z'_2, z'_1$ , определяющих искомые разряды чисел

$$Z = (X + Y)_3 \text{ и } Z' = (X \cdot Y)_3,$$

где  $Z = z_2z_1$ ,  $Z' = z'_2z'_1$ ,  $X = x'_2x'_1$  и  $Y = y'_2y'_1$ . Если по табл. 6.34 составить диаграммы Вейча, то можно получить:

$$z_2 = x_2\bar{y}_2\bar{y}_1 \vee \bar{x}_2\bar{x}_1y_2 \vee x_1y_1, \quad z_1 = x_2y_2 \vee \bar{x}_2\bar{x}_1y_1 \vee x_1\bar{y}_2\bar{y}_1,$$

$$z'_2 = x_2y_1 \vee x_1y_2, \quad z'_1 = x_2y_2 \vee x_1y_1.$$

При больших значениях  $q$  задача синтеза сильно усложняется, а схемы получаются более громоздкими, чем при использовании сумматоров.

## Глава 7

### Сдвигающие регистры и счетчики

#### 7.1. Сдвигающие регистры без параллельной записи данных

Любой  $m$ -разрядный сдвигающий регистр, построенный на триггерах  $Q_{m-1}, \dots, Q_r, \dots, Q_0$ , имеет вход последовательного ввода информации  $DS$  ( $DS$  — *Data Serial* — последовательно вводимые данные) и выход последовательного вывода информации  $SO = Q_{m-1}$  с последнего триггера ( $SO$  — *Serial Output*), однако выходы параллельного вывода информации могут и отсутствовать. Общие вопросы построения, описания и использования сдвигающих регистров были рассмотрены в § 4.4.

Сдвигающие регистры типов  $SI/PO$  и  $SI/SO$ . На рис. 7.1,а изображен 4-разрядный сдвигающий регистр с последовательным  $SO = Q_3$  и параллельными прямым  $Q_3Q_2Q_1Q_0$  и инверсным  $\overline{Q_3}\overline{Q_2}\overline{Q_1}\overline{Q_0}$  выходами, выполненный на  $D/R$ -S-триггерах 1533TM2 (имеется и инверсный последовательный выход  $\overline{SO} = \overline{Q_3}$ ). Асинхронные потенциальные входы  $\overline{R}$  и  $\overline{S}$  используются для установки триггеров регистра в одно из исходных состояний 0000 при  $\overline{R} = 0$  или 1111 при  $\overline{S} = 0$  (должно выполняться условие  $R \cdot S = 0$ ). Сдвигающий регистр относится к типу  $SI/PO$  (последовательный вход/параллельный выход) и на основании соотношений (4.31) и (5.10) полностью описывается функциями:

$$Q_0^+ = S \vee (DS \cdot dH \vee Q_0 \overline{dH}) \overline{R}, \quad Q_r^+ = S \vee (Q_{r-1} dH \vee Q_r \overline{dH}) \overline{R},$$

где  $r = 1, 2, 3$ .

Для сдвига 8-разрядных слов можно использовать 8-разрядные синхронные регистры памяти. На рис. 7.1,б показан  $4 \times 8$ -разрядный сдвигающий регистр типа  $SI/SO$  (последовательный вход/последовательный выход), выполненный на че-

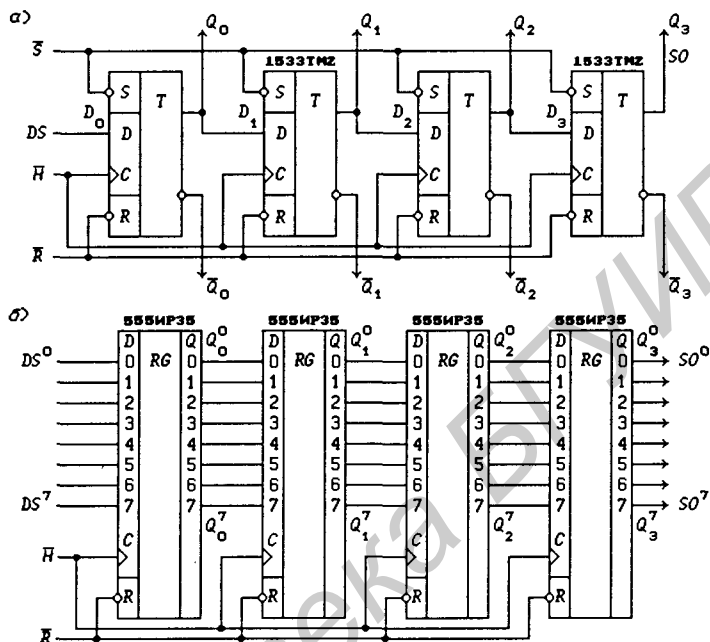


Рис. 7.1

тырех ИС 555ИР35. Последовательно вводимые 8-разрядные данные  $DS^7 DS^6 \dots DS^0$  появляются на 8 последовательных выходах  $SO^7 SO^6 \dots SO^0$  через четыре такта. Выходы триггеров обозначены через  $Q_r^j$ , где  $j$  — номер сдвигающего регистра ( $j = 0, 1, \dots, 7$ ),  $r$  — номер разряда сдвигающего регистра ( $r = 0, 1, 2, 3$ ). Асинхронный потенциальный вход  $\bar{R}$  используется для сброса регистра в нулевое состояние. Синхронные регистры памяти можно использовать и для построения обычных сдвигающих регистров типа  $SI/PO$ . Так, если в ИС 555ИР35 положить  $D_0 = DS$  и выполнить соединения  $D_r = Q_{r-1}$  ( $r = 1, 2, \dots, 7$ ), то получится 8-разрядный сдвигающий регистр типа  $SI/PO$ .

На сдвигающем регистре типа  $SI/SO$  и мультиплексоре  $2 \rightarrow 1$  можно построить запоминающее устройство с рециркуляцией данных (рис. 7.2). Функции возбуждения  $D$ -триггеров этого устройства имеют вид:

$$D_0 = Q_3 \cdot \bar{M} \vee DS \cdot M, \quad D_r = Q_{r-1}, \quad r = 1, 2, 3$$

( $M$  — Mode — режим;  $M = 0$  — рециркуляция данных,  $M = 1$  — последовательный ввод данных  $DS$ ).

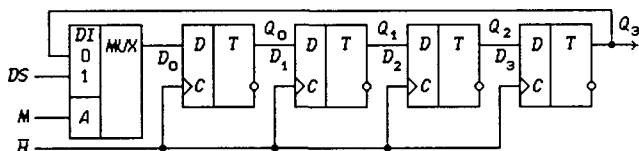


Рис. 7.2

На рис. 7.3 показаны ИС:

1533ИР31 — 24-разрядный сдвигающий регистр типа *SI/PO*, описываемый функциями

$$Q_0^+ = DS \cdot dH \vee Q_0 \overline{dH}, \quad Q_r^+ = Q_{r-1} dH \vee Q_r \overline{dH}, \quad (7.1)$$

где  $r = 1, 2, \dots, 23$ ;

555ИР8 — 8-разрядный сдвигающий регистр типа *SI/PO*, описываемый функциями

$$Q_0^+ = (DS \cdot dH \vee Q_0 \overline{dH}) \cdot \overline{R}, \quad Q_r^+ = (Q_{r-1} dH \vee Q_r \overline{dH}) \cdot \overline{R}, \quad (7.2)$$

где  $DS = DS_1 DS_2$ ,  $r = 1, 2, \dots, 7$ ;

1554ИР47, 564ИР1, 176ИР10, 74НС4006 — два 4- и два 5-разрядных сдвигающих регистра типа *SI/SO* с общим тактовым сигналом, описываемые функциями

$$Q_{j0}^+ = DS_j dH \vee Q_{j0} \overline{dH}, \quad Q_{jr}^+ = Q_{j,r-1} dH \vee Q_{jr} \overline{dH},$$

где  $j = 0, 1, 2, 3$  — номер регистра,  $r = 0, 1, 2, 3, (4)$  — номер триггера в регистре (пятиразрядные регистры имеют выходы с двух последних триггеров);

1554ИР46, 564ИР2, 74НС4015 — два 4-разрядных сдвигающих регистра типа *SI/PO*, описываемых функциями (7.2) при  $r = 1, 2, 3$ ;

МС14562В — 128-разрядный сдвигающий регистр типа *SI/SO* с доступом к выходному сигналу каждого 16-го триггера, описываемый функциями (7.1) при  $r = 1, 2, \dots, 127$ ;

176ИР4 — 64-разрядный сдвигающий регистр типа *SI/SO* с прямым  $Q_{63}$  и инверсным  $\overline{Q}_{63}$  выходами, описываемый функциями (7.1) при  $DS = DS_0 \overline{A} \vee DS_1 A$  (мультиплексный последовательный вход) и  $r = 1, 2, \dots, 63$  (имеется выход  $CO = C$  ( $CO$  — *Clock Output*), с которого снимается усиленный сигнал синхронизации);

74LS91 — 8-разрядный сдвигающий регистр типа *SI/SO* с прямым  $Q_7$  и инверсным  $\overline{Q}_7$  выходами, описываемый функциями (7.1) при  $DS = DS_1 DS_2$  и  $r = 1, 2, \dots, 7$ .

Каскадирование сдвигающих регистров для увеличения их разрядности осуществляется соединением последовательного

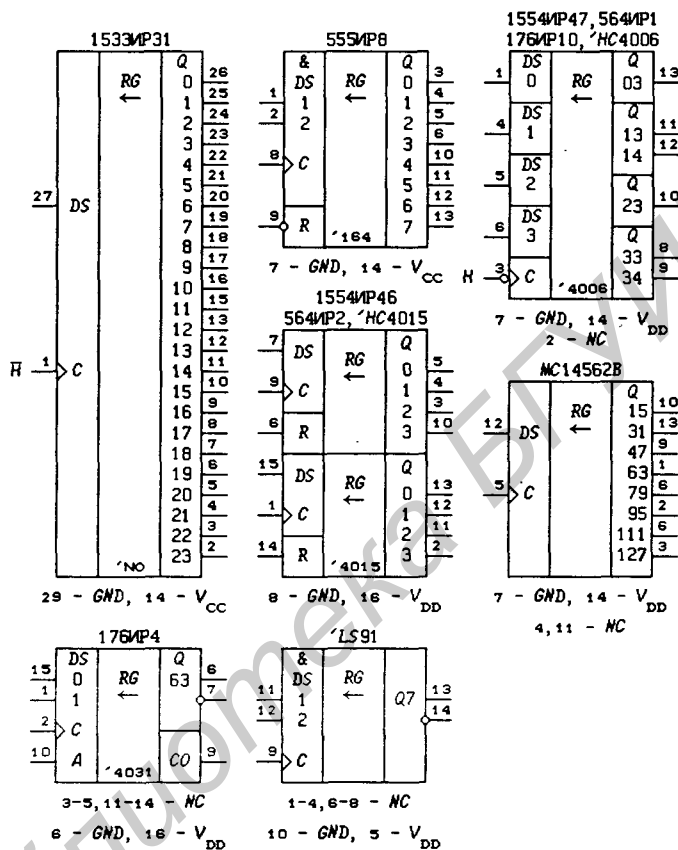


Рис. 7.3

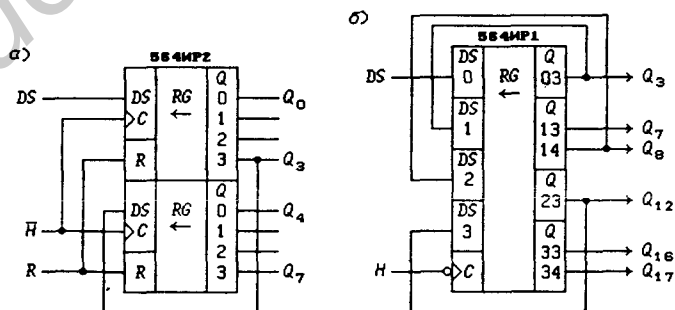


Рис. 7.4

выхода  $SO$  одного регистра с последовательным входом  $DS$  другого регистра. Построенный таким способом 8-разрядный сдвигающий регистр на основе двух 4-разрядных сдвигающих регистров представлен на рис. 7.4,а ( $SO = Q_3$ ). На ИС 564ИР1 может быть построен 18-разрядный сдвигающий регистр типа  $SI/SO$  с дополнительными (промежуточными) выходами (рис. 7.4,б;  $SO = Q_{17}$  — последовательный выход регистра).

Мультиплексный последовательный вход  $DS$  в ИС 176ИР4 можно использовать для записи и рециркуляции информации. Схема, показанная на рис. 7.5, представляет собой запоминающее устройство  $64 \times 1$  бит с последовательным доступом к разрядам. Адрес записи и чтения каждого разряда сдвигающего регистра задается сигналами  $A_5, \dots, A_0$  с помощью счетчика 555ИЕ19 и компаратора 559СК1. При поразрядном равенстве  $A_i = Q_i$  ( $i = 0, 1, \dots, 5$ ) и  $WR = 1$  ( $WR$  — Write) входной мультиплексор сдвигающего регистра переключается сигналом  $A = 1$  на запись значения входного сигнала  $DS$  и одновременно по этому же адресу производится чтение содержимого сдвигающего регистра ( $DO$  — Data Output). Максимальное время доступа к памяти при смене адреса равно  $64 \cdot T_H$ , где  $T_H$  — период тактового сигнала  $H$ .

Рассмотренное запоминающее устройство является одноразрядным ( $64 \times 1$  бит). Для реализации запоминающего устройства  $64 \times l$  бит требуется использовать  $l$  ИС 176ИР4, а также  $l$  ЛЭ И для формирования выходных сигналов запоминающего устройства  $DO_{l-1} \dots DO_1 DO_0$  (управляющая схема остается без изменения; сигнал  $A$  подключается ко всем ИС 176ИР4 для одновременного мультиплексирования всех  $l$  разрядов записываемых и рециркулируемых слов).

Неиспользованные выходы счетчика 555ИЕ19 позволяют увеличить объем памяти запоминающего устройства до  $256 \times 1$  бит (рис. 7.5), если ИС 176ИР4 заменить на 256-разрядный сдвигающий регистр — четыре последовательно включенных ИС 176ИР4.

На рис. 7.6 показана ИС  $MC14557B$ , представляющая собой сдвигающий регистр типа  $SI/SO$  с программируемым числом разрядов

$$m = A_5 A_4 A_3 A_2 A_1 A_0 + 1, \quad (7.3)$$

описываемый функциями (7.2) при  $DS = DS_0 \bar{A} \vee DS_1 A$  и  $r = 1, 2, \dots, m$ .

Программирование числа разрядов сдвигающего регистра  $MC14557B$  поясняется структурной схемой, изображенной на рис. 7.7. Схема содержит 7 сдвигающих регистров, различаю-

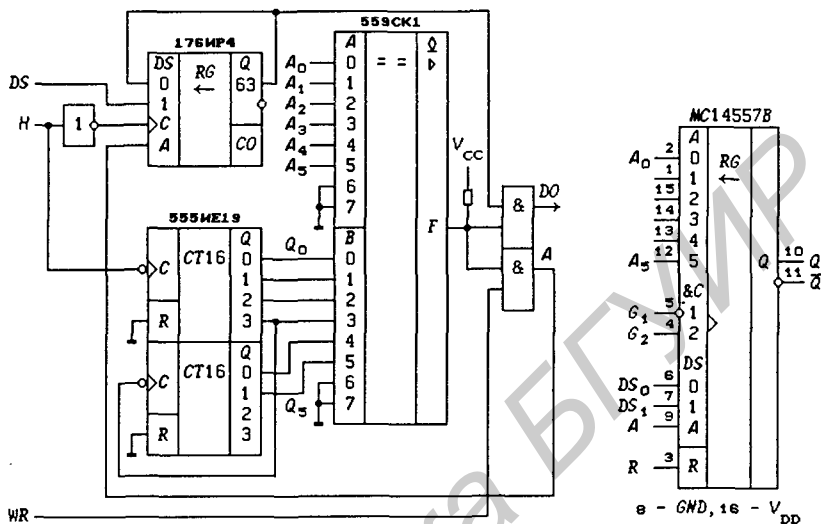


Рис. 7.5

Рис. 7.6

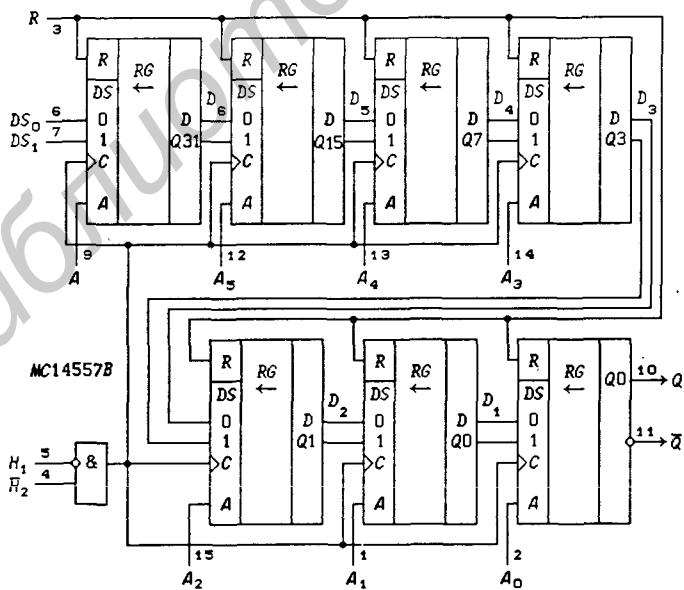


Рис. 7.7

щихся числом разрядов, равным  $2^k$  (32, 16, 8, 4, 2, 1). Каждый регистр, кроме последнего (выходного), может быть исключен из операции сдвига значением сигнала  $A_k = 0$ , поскольку сигналы на последовательных входах  $DS$  регистров описываются функциями:  $DS = D_6 = DS_0 \bar{A} \vee DS_1 A$  для первого (32-разрядного) сдвигающего регистра и  $DS = D_k = D_{k+1} \bar{A}_k \vee Q_2 k_{-1} A_k$  для остальных регистров. Как следует из соотношения (7.3), можно установить любое число  $1 \leq m \leq 64$  разрядов в сдвигающем регистре.

Срабатывание ИС  $MC14557B$  по тактовому сигналу  $C$  описывается функцией

$$dC = \overline{dG_1 G_2} = G_2 dG_1 \vee \bar{G}_1 d\bar{G}_2 = \begin{cases} dG_1 & \text{при } G_2 = 1, \\ d\bar{G}_2 & \text{при } G_1 = 0. \end{cases}$$

**Сдвигающие устройства с выходными регистрами памяти.** Цифровые устройства, представляющие собой сдвигающие регистры типа  $SI/PO$  с выходными регистрами памяти, приведены на рис. 7.8:

74LS594 — 8-разрядное устройство с синхронным регистром памяти, устанавливаемым асинхронным потенциальным сигналом сброса  $\overline{RR}$  в нулевое состояние;

74LS599 — 8-разрядное устройство, отличающееся от ИС 74LS594 только открытыми коллекторными выходами регистра памяти;

74LS595 — 8-разрядное устройство, отличающееся от ИС 74LS594 только  $Z$ -состоянием выходов регистра памяти и заменой сигнала сброса  $\overline{RR}$  на сигнал  $\overline{OE}$  управления  $Z$ -состоянием выходов;

74LS596 — 8-разрядное устройство, отличающееся от ИС 74LS594 только открытыми коллекторными выходами регистра памяти и заменой сигнала сброса  $\overline{RR}$  на сигнал  $\overline{E}$  стробирования выходов  $DO_r$  регистра памяти (при  $\overline{E} = 1$  устанавливаются значения  $DO_r = 1$ );

564ПР1, 74НС4094 — 8-разрядные устройства с асинхронным потенциальным регистром памяти;

74LS673 — 16-разрядное устройство с двунаправленным последовательным входом/выходом  $DS/SO$  и параллельной записью данных из выходного синхронного регистра памяти в сдвигающий регистр;

74LS675 — 16-разрядное устройство с отдельными последовательными входом  $DS$  и выходом  $SO$  и параллельной записью данных из выходного синхронного регистра памяти в сдвигающий регистр.



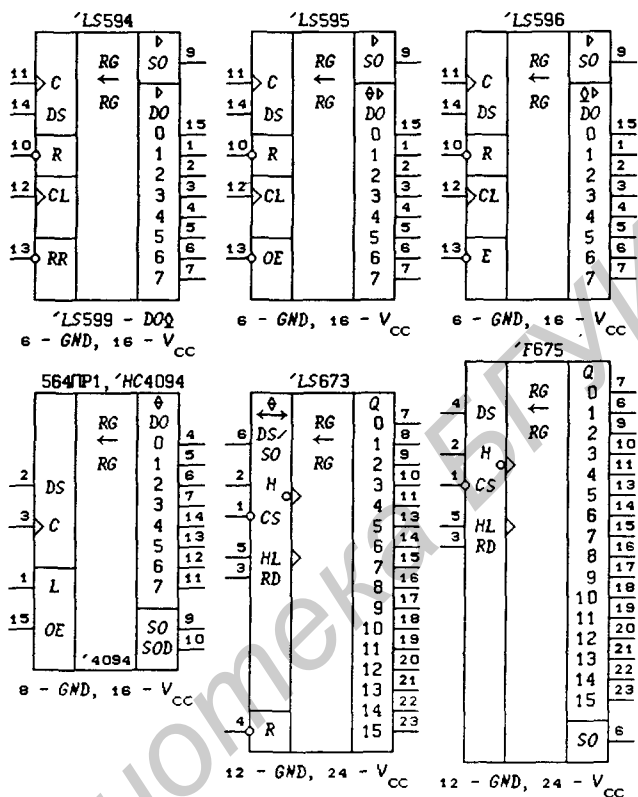


Рис. 7.8

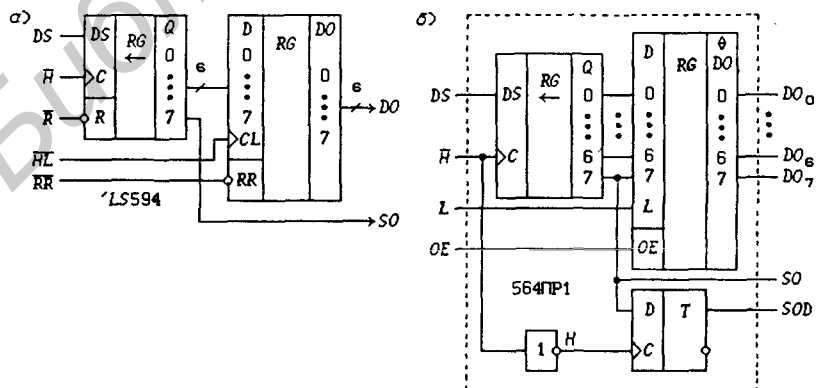


Рис. 7.9

Структурная схема ИС 74LS594 изображена на рис. 7.9,а:  $DO = DO_7 \dots DO_0$  — параллельный выход устройства,  $SO = Q_7$  — последовательный выход устройства. Сдвигающий регистр в ИС 74LS599, 74LS595 и 74LS596 выполнен по этой же схеме и описывается функциями (7.2). Различаются перечисленные ИС только типом выходов  $DO$  регистра памяти и использованием вместо входа  $\overline{RR}$  (*Register Reset*) входов  $\overline{OE}$  или  $\overline{E}$  ( $CL$  — *Clock Load* — тактовый сигнал загрузки). Регистры памяти описываются функциями:

$$DO = QR — 74LS594, 74LS599, DO = \overline{E} \cdot \overline{QR} — 74LS596,$$

$$DO_r = \begin{cases} QR_r \text{ при } \overline{OE} = 0, \\ Z\text{-состояние при } \overline{OE} = 1 \end{cases}$$

для 74LS595, причем  $QR_r^+ = (Q_r dHL \vee QR_r \overline{dHL}) \cdot \overline{RR}$  для 74LS594, 74LS599 и  $QR_r^+ = Q_r dHL \vee QR_r \overline{dHL}$  для 74LS595, 74LS596 ( $Q_r$  — выходные сигналы сдвигающего регистра).

Структурная схема ИС 564ПП1 изображена на рис. 7.9,б:  $SO = Q_7$  — последовательный выход,  $SOD$  — задержанный на полтакта последовательный выход,  $DO = DO_7 \dots DO_0$  — параллельный выход устройства. Регистр памяти с  $Z$ -состоянием выходов построен на асинхронных потенциальных  $D$ - $L$ -триггерах. Сдвигающий регистр описывается функциями (7.1) при  $r = 1, 2, \dots, 7$ , а регистр памяти — функциями

$$DO_r = \begin{cases} QR_r \text{ при } OE = 1, \\ Z\text{-состояние при } OE = 0, \end{cases}$$

где  $QR_r^+ = D_r L \vee QR_r \overline{L}$ ,  $D_r = Q_r$  — выходные сигналы сдвигающего регистра,  $r = 0, 1, \dots, 7$ .

Структурная схема ИС 74LS673 изображена на рис. 7.10,а. Функции возбуждения триггеров сдвигающего регистра описываются выражениями:

$$D_0 = DS \cdot \overline{L} \vee DP_0 L, D_r = Q_{r-1} \overline{L} \vee DP_r L, r = 1, 2, \dots, 15,$$

где  $DP_r = Q_r$  — выходные сигналы регистра памяти ( $Q_{15} \dots Q_0$  — параллельный выход),  $r = 0, 1, \dots, 15$ ,  $\overline{L} = \overline{RD \cdot \overline{HL} \cdot CS}$  ( $\overline{L} = 0$  — загрузка,  $\overline{L} = 1$  — сдвиг),  $\overline{CS}$  — выбор кристалла,  $RD$  (*Read*) — чтение информации по последовательному выходу  $SO$ ,  $\overline{HL}$  — тактовый сигнал загрузки регистра памяти.

Вентиль с  $Z$ -состоянием выхода включается значением сигнала  $OE = RD \cdot CS = 1$  (при этом  $DS/SO = Q'_{15} = SO$ ). Так

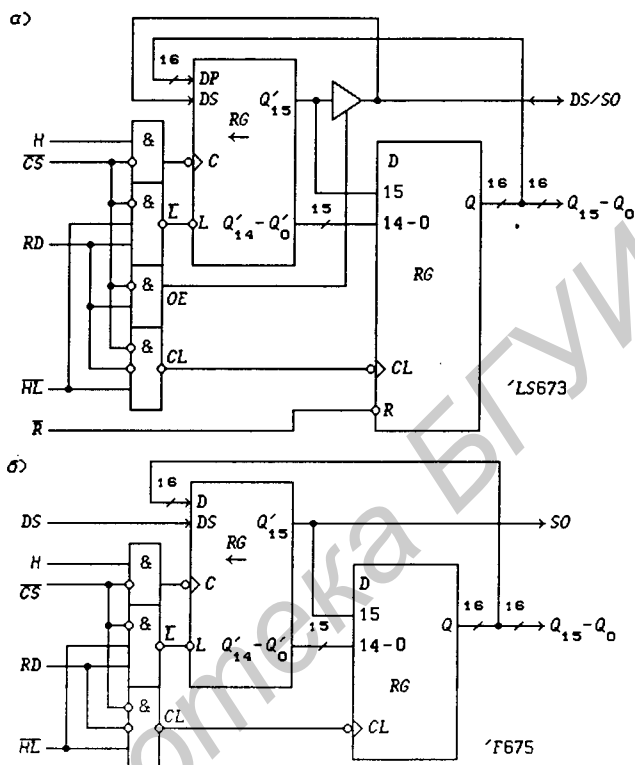


Рис. 7.10

как сигнал  $L = OE \cdot \overline{HL}$ , то при значении  $OE = 0$  ( $\overline{HL} = \Phi$ ) производится последовательный ввод данных по входу  $DS$ , а при  $OE = 1$  и  $\overline{HL} = 0$  — чтение информации по последовательному выходу  $SO$  с рециркуляцией.

Синхронный регистр памяти в ИС 74LS673 выполнен на  $D/R$ -триггерах и описывается функциями переходов

$$Q_r^+ = (D_r d C L \vee Q_r \overline{d C L}) \cdot \overline{R},$$

где  $D_r = Q'_r$ ,  $CL = HL \vee RD \vee \overline{CS}$  (загрузка производится сигналом  $HL$  при  $RD = 0$  и  $\overline{CS} = 0$ ).

Структурная схема ИС 74F675 изображена на рис. 7.10,б; она отличается от предыдущей схемы только отсутствием вентилей с  $Z$ -состоянием выхода, что требует введения отдельных последовательных входа  $DS$  и выхода  $SO$  и исключения одного из входов ( $\overline{R}$ ).

## 7.2. Сдвигающие регистры с параллельной записью данных

Сдвигающие  $m$ -разрядные регистры с параллельной записью (загрузкой) данных  $D_{m-1}, \dots, D_0$  всегда имеют последовательный вход  $SI$  (*Serial Input*) ввода данных  $DS$  и последовательный выход  $SO$  (*Serial Output*). Такие регистры могут быть двух типов: с параллельным входом и последовательным выходом ( $PI/SO$  — *Parallel Input/Serial Output*) или с параллельным входом и параллельным выходом ( $PI/PO$  — *Parallel Input/Parallel Output*). Параллельная загрузка данных может быть как синхронной, так и асинхронной потенциальной.

**Сдвигающие регистры типов  $PI/SO$  и  $PI/PO$ .** Для мультиплексирования функций (сдвиг и загрузка), выполняемых регистрами, необходимо использовать дополнительные управляющие сигналы. Один управляющий сигнал  $L$  (*Load* — *загрузка*) позволяет включать два режима работы регистра:  $L = 0$  — последовательный ввод и сдвиг данных,  $L = 1$  — синхронная параллельная загрузка данных. При асинхронной потенциальной загрузке данных сдвигающие регистры строятся на  $D/D$ - $L$ -триггерах, описываемых функцией переходов (4.30).

На рис. 7.11 показаны ИС:

155ИР1 — 4-разрядный сдвигающий регистр типа  $PI/PO$  с синхронной параллельной загрузкой данных и двумя тактовыми входами  $CL$  (*Clock Load* — тактовый сигнал для загрузки данных) и  $CS$  (*Clock Shift* — тактовый сигнал для сдвига данных), связанными функцией  $C = CS \cdot \bar{L} \vee CL \cdot L$  (можно использовать один тактовый сигнал  $CS = CL = H$ ); ИС описывается функциями:

$$\left. \begin{aligned} Q_r^+ &= DT_r d(CS \cdot \bar{L} \vee CL \cdot L) \vee Q_r d \overline{CS \cdot \bar{L} \vee CL \cdot L}, \quad r = 0 \dots 3, \\ DT_0 &= DS \cdot \bar{L} \vee D_0 L, \quad DT_r = Q_{r-1} \bar{L} \vee D_r L, \quad r^* = 1, 2, 3 \end{aligned} \right\} \quad (7.4)$$

( $DT_r$  — функции возбуждения триггеров);

531ИР12 — 4-разрядный сдвигающий регистр типа  $PI/PO$  с синхронной параллельной загрузкой данных, асинхронным потенциальным сигналом  $\bar{R}$  сброса регистра в нулевое состояние и входами последовательного ввода данных  $JS$  и  $\bar{K}\bar{S}$  (при  $JS = \bar{K}\bar{S}$  получается вход  $DS$ ); ИС описывается функциями:

$$\left. \begin{aligned} Q_r^+ &= (DT_r dH \vee Q_r \bar{d}H) \cdot \bar{R}, \quad r = 0, 1, 2, 3, \\ DT_0 &= (\bar{Q}_0 JS \vee Q_0 \bar{K}\bar{S}) \bar{L} \vee D_0 L, \quad DT_r = Q_{r-1} \bar{L} \vee D_r L; \end{aligned} \right\} \quad (7.5)$$

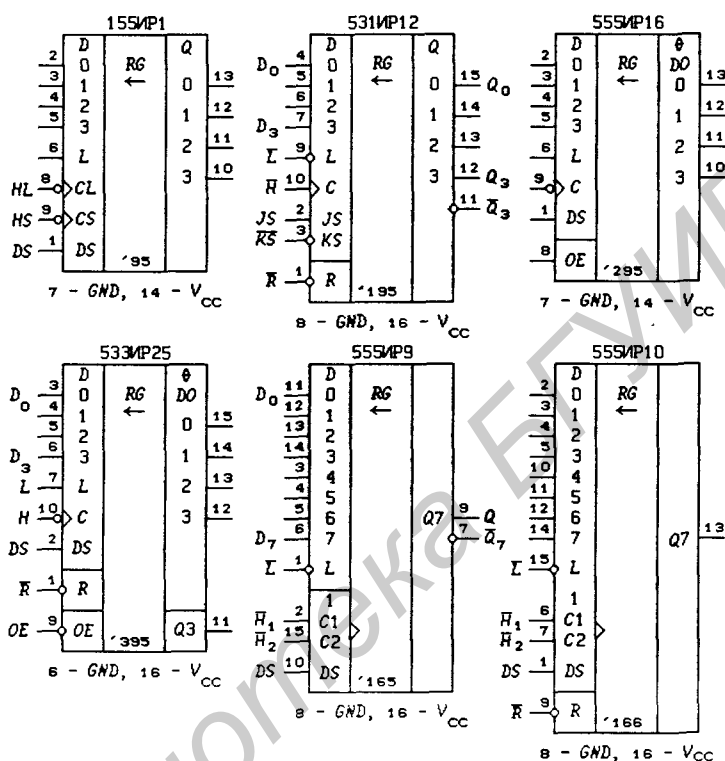


Рис. 7.11

555ИР16 — 4-разрядный сдвигающий регистр типа *PI/PO* с синхронной параллельной загрузкой данных и *Z*-состоянием выходов  $DO_r$ ; ИС описывается функциями:

$$DO_r = \begin{cases} Q_r & \text{при } OE = 1, \\ Z\text{-состояние} & \text{при } OE = 0, \end{cases} \quad (7.6)$$

$$\left. \begin{aligned} Q_r^+ &= DT_r dH \vee Q_r \overline{dH}, \quad r = 0, 1, 2, 3, \\ DT_0 &= DS \cdot \overline{L} \vee D_0 L, \quad DT_r = Q_{r-1} \overline{L} \vee D_r L, \quad r = 1, 2, 3; \end{aligned} \right\} \quad (7.7)$$

555ИР25 — 4-разрядный сдвигающий регистр типа *PI/PO* с синхронной параллельной загрузкой данных, асинхронным потенциальным сигналом  $\overline{R}$  сброса регистра в нулевое состояние и *Z*-состоянием выходов  $DO_r$ ; ИС описывается функциями (7.6),

$SO = Q_3$  и

$$\left. \begin{aligned} Q_r^+ &= (DT_r dH \vee Q_r \overline{dH}) \cdot \overline{R}, \quad r = 0, 1, 2, 3, \\ DT_0 &= DS \cdot \overline{L} \vee D_0 L, \quad DT_r = Q_{r-1} \overline{L} \vee D_r L, \quad r = 1, 2, 3; \end{aligned} \right\} (7.8)$$

555ИР9 — 8-разрядный сдвигающий регистр типа  $PI/SO$  с асинхронной параллельной загрузкой данных, выполненный на  $D/D-L$ -триггерах (4.30); ИС описывается функциями:

$$\left. \begin{aligned} Q_r^+ &= D_r L \vee (DT_r dH \vee Q_r \overline{dH}) \cdot \overline{L}, \quad r = 0, 1, \dots, 7, \\ DT_0 &= DS, \quad DT_r = Q_{r-1}, \quad r = 1, 2, \dots, 7, \end{aligned} \right\} (7.9)$$

где  $H = H_1 H_2$ ;

555ИР10 — 8-разрядный сдвигающий регистр типа  $PI/SO$  с синхронной параллельной загрузкой данных и асинхронным потенциальным сигналом  $\overline{R}$  сброса регистра в состояние 0; ИС описывается функциями (7.8) при  $H = H_1 H_2$  и  $r = 0, 1, \dots, 7$  ( $Q_7 = SO$ ).

Каскадирование сдвигающих регистров типов  $PI/SO$  и  $PI/PO$  производится так же, как и каскадирование сдвигающих регистров типов  $SI/SO$  и  $SI/PO$  (см. рис. 7.4). Сигнал  $OE$ , управляющий  $Z$ -состоянием выходов, не должен оказывать влияния на функции, выполняемые схемой, полученной при каскадировании ИС. Хотя сдвиг и загрузка данных в ИС 555ИР16 производятся независимо от значения сигнала  $OE$ , однако значение  $OE = 0$  разрывает связь между соседними ИС (при каскадировании последовательный выход  $SO = DO_3$  одной ИС подается на последовательный вход  $DS$  другой ИС). Таким образом, если используется вход  $OE$  ( $OE \neq 1$ ), то следует считать, что ИС 555ИР16 не имеет последовательного выхода.

На рис. 7.12 показана схема 8-разрядного сдвигающего регистра с параллельной синхронной записью данных, выполненная на двух ИС 533ИР25. Эти ИС кроме выходов  $DO_r$ , управляемых сигналом  $\overline{OE}$ , имеют дополнительный последовательный выход  $SO = Q_3$ . Этот выход позволяет производить каскадирование ИС независимо от значения сигнала  $\overline{OE}$ .

Тактовый сигнал сдвигающих регистров 555ИР9 и 555ИР10 описывается функцией

$$\overline{dH_1} \vee \overline{H_2} = d(H_1 H_2) = H_2^* dH_1 \vee H_1^* dH_2, \quad (7.10)$$

т. е. один из равноправных тактовых сигналов  $\overline{H_1}$  или  $\overline{H_2}$  может использоваться для запрета синхронных операций (например, при  $\overline{H_2} = 1$  обеспечивается режим хранения данных в сдвигающем регистре, если тактовый сигнал  $\overline{H}$  подается на вход  $\overline{H_1}$ ).

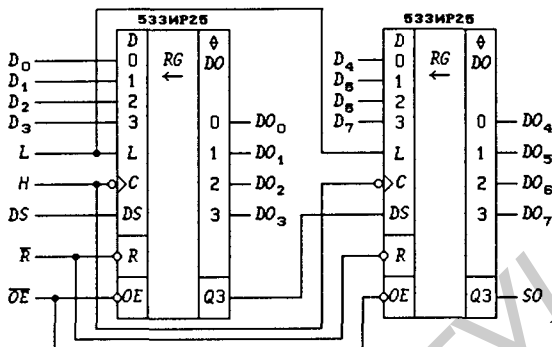


Рис. 7.12

На основании соотношений (7.4) – (7.9) легко могут быть построены функциональные схемы всех описанных сдвигающих регистров. На рис. 7.13 показана функциональная схема одного разряда сдвигающего регистра 555IP9

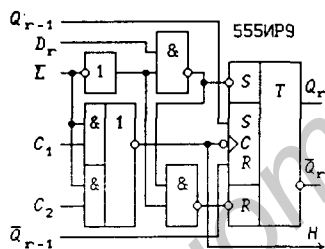


Рис. 7.13

(ЛЭ И-ИЛИ-НЕ формирует тактовый сигнал  $H$  для всех триггеров регистра). В функциях (7.9) (для краткости описания) вместо двух синхронных сигналов  $S_r$  и  $R_r$  использован один сигнал  $DT_r$ , что вполне допустимо при выполнении соотношения  $R_r = \overline{S_r}$ .

Сдвигающие регистры с асинхронной потенциальной нагрузкой данных (555IP9) удобны для построения интерфейсных устройств микропроцессорных систем, так как нагрузка осуществляется без участия тактового сигнала (например, при использовании системы на основе микропроцессора 580BM80 следует положить  $\overline{L} = \overline{I/O} \overline{WR} \vee \overline{CS}$ , где  $\overline{CS}$  — сигнал с дешифратора адреса внешнего устройства).

На рис. 7.14 приведены ИС, выполненные по КМОП-технологии:

176IP3 — 4-разрядный сдвигающий регистр типа  $PI/PO$  с синхронной параллельной загрузкой данных, по функциональному назначению аналогичный ИС 155IP1;

561IP9, 1554IP51, 74HC4035 — 4-разрядный сдвигающий регистр типа  $PI/PO$  с синхронной параллельной загрузкой данных, отличающийся от ИС 531IP12 наличием входа  $P$  (Polarity), управляющего полярностью выходного сигнала ( $DO_r = Q_r \oplus \overline{P}$ ,

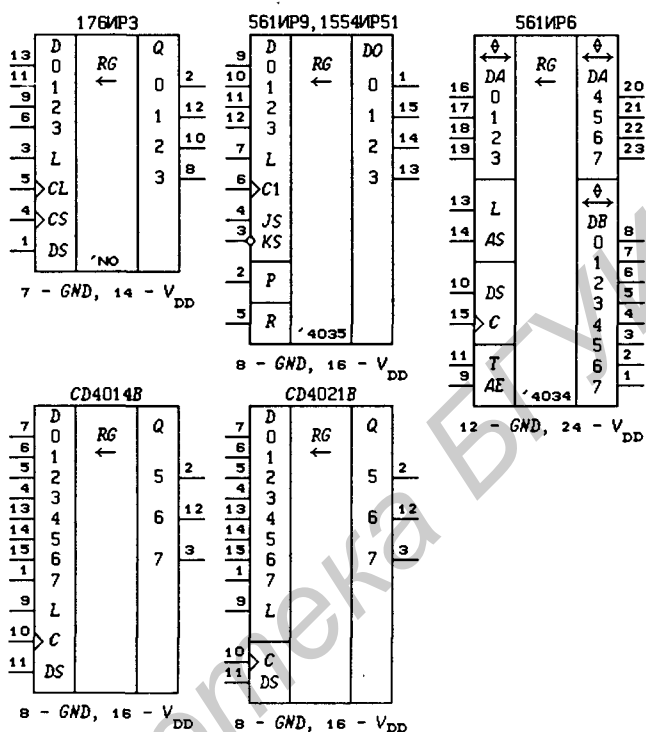


Рис. 7.14

т. е.  $DO_r = \bar{Q}_r$  при  $\bar{P} = 0$  и  $DO_r = Q_r$  при  $\bar{P} = 1$ );

561IP6 — многофункциональный 8-разрядный сдвигающий регистр с параллельной синхронной и асинхронной загрузкой и двумя двунаправленными шинами данных DA и DB (*T* — Transmit — передача данных от входов DA к выходам DB при  $T = 1$  и от входов DB к выходам DA при  $T = 0$ ; AE — разрешение шины DA: при AE = 0 шина DA отключена);

CD4014B — 8-разрядный сдвигающий регистр типа PI/SO с синхронной параллельной загрузкой данных и двумя промежуточными выходами Q<sub>5</sub> и Q<sub>6</sub>; ИС описывается функциями (7.7) при  $r = 0, 1, \dots, 7$  ( $Q_7 = SO$ );

CD4021B — 8-разрядный сдвигающий регистр типа PI/SO с асинхронной параллельной загрузкой данных и двумя промежуточными выходами Q<sub>5</sub> и Q<sub>6</sub>; ИС описывается функциями (7.9) ( $Q_7 = SO$ ).

В табл. 7.1 приведены режимы работы ИС 561IP6 (значе-



Таблица 7.1. Описание работы ИС 561ИР6

A E L T A S	Шина		Режим работы
	DA	DB	
0 0 0 Ф	Отключена	Отключена	Сдвиг
0 0 1 Ф	Отключена	Выход	Сдвиг
0 1 0 0	Отключена	Вход	Синхронная загрузка
0 1 0 1	Отключена	Вход	Асинхронная загрузка
0 1 1 0	Отключена	Выход	Хранение
0 1 1 1	Отключена	Выход	Хранение
1 0 0 Ф	Выход	Отключена	Сдвиг
1 0 1 Ф	Отключена	Выход	Сдвиг
1 1 0 0	Выход	Вход	Синхронная загрузка
1 1 0 1	Выход	Вход	Асинхронная загрузка
1 1 1 0	Вход	Выход	Синхронная загрузка
1 1 1 1	Вход	Выход	Асинхронная загрузка

ние сигнала  $AS = 1$  включает асинхронный режим приема и передачи). Данная ИС представляет собой приемопередатчик со сдвигающим регистром (см. § 5.9), который можно использовать и как приемопередатчик без памяти (при асинхронной загрузке). Приемопередатчик позволяет производить преобразование последовательных данных в параллельные, параллельных — в последовательные с коммутацией приемника и передатчика данных с помощью сигнала  $T$ . Параллельный обмен данными между шинами  $DA$  и  $DB$  может выполняться с запоминанием данных в регистре.

На рис. 7.15 приведены ИС:

7494 — 4-разрядный сдвигающий регистр типа  $PI/SO$  с асинхронными потенциальными установкой и сбросом, описываемый функциями:

$$\left. \begin{aligned} Q_r^+ &= ST_r \vee (D_r dH \vee Q_r \overline{dH}) \cdot \overline{R}, \quad r = 0, 1, 2, 3, \\ D_0 &= DS, \quad D_r = Q_{r-1}, \quad r = 1, 2, 3, \end{aligned} \right\} \quad (7.11)$$

где  $ST_r = S_{1r} E_1 \vee S_{2r} E_2$ ;

74LS96 — 5-разрядный сдвигающий регистр типа  $PI/PO$  с асинхронными потенциальными установкой и сбросом, описываемый функциями (7.11) при  $ST_r = S_r E$ ;

74L99 — 4-разрядный сдвигающий регистр типа  $PI/PO$  с синхронной параллельной загрузкой данных и двумя тактовыми входами  $CL$  (*Clock Load* — тактовый сигнал для загрузки данных) и  $CS$  (*Clock Shift* — тактовый сигнал для сдвига данных), связанными функцией  $C = CS \cdot \overline{L} \vee CL \cdot L$  (можно исполь-

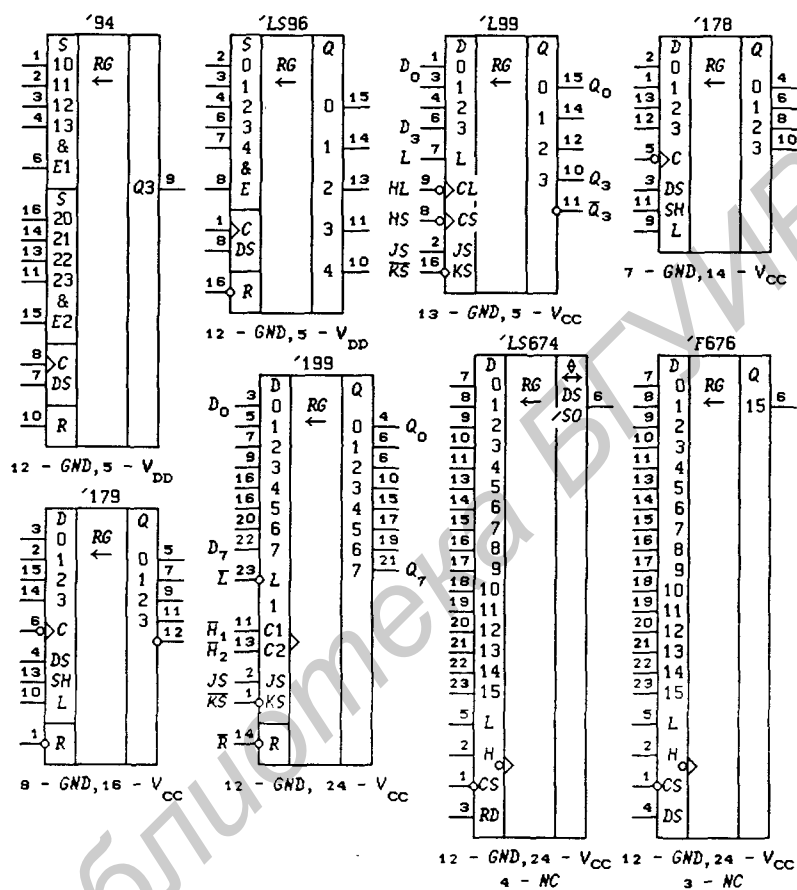


Рис. 7.15

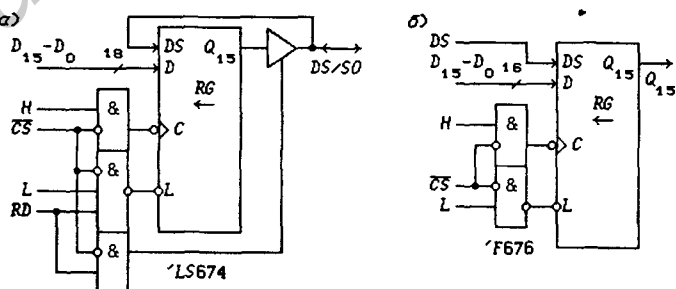


Рис. 7.16

зывать один тактовый сигнал  $CS = CL = H$ ); ИС описывается функциями:

$$Q_r^+ = DT_r d(CS \cdot \bar{L} \vee CL \cdot L) \vee Q_r \overline{dCS \cdot \bar{L} \vee CL \cdot L}, \quad r = 0, 1, 2, 3, \\ DT_0 = (\bar{Q}_0 JS \vee Q_0 \bar{K}S) \bar{L} \vee D_0 L, \quad DT_r = Q_{r-1} \bar{L} \vee D_r L, \quad r = 1, 2, 3;$$

74178 — 4-разрядный сдвигающий регистр типа *PI/PO* с синхронной параллельной загрузкой данных, описываемый функциями:

$$\left. \begin{aligned} Q_r^+ &= DT_r dH \vee Q_r \bar{dH}, \quad r = 0, 1, 2, 3, \\ DT_0 &= Q_0 \bar{S}H \cdot \bar{L} \vee D_0 \bar{S}H \cdot L \vee DS \cdot SH, \\ DT_r &= Q_r \bar{S}H \cdot \bar{L} \vee D_r \bar{S}H \cdot L \vee Q_{r-1} SH, \end{aligned} \right\} \quad (7.12)$$

где  $r = 1, 2, 3$ ,  $L$  (*Load*) — загрузка,  $SH$  (*Shift*) — сдвиг (вход  $SH$  имеет приоритет по отношению ко входу  $L$ );

74179 — 4-разрядный сдвигающий регистр типа *PI/PO* с синхронной параллельной загрузкой данных и асинхронным потенциальным сигналом  $\bar{R}$  сброса регистра в нулевое состояние, описываемый функциями (7.12) при

$$Q_r^+ = (DT_r dH \vee Q_r \bar{dH}) \cdot \bar{R}, \quad r = 0, 1, 2, 3;$$

74199 — 8-разрядный сдвигающий регистр типа *PI/PO* с синхронной параллельной загрузкой данных, асинхронным потенциальным сигналом  $\bar{R}$  сброса регистра в нулевое состояние и входами последовательного ввода данных  $JS$  и  $\bar{K}S$  (при  $JS = \bar{K}S$  получается вход  $DS$ ); ИС описывается функциями (7.5) при  $H = H_1 H_2$ ;

74LS674 — 16-разрядный сдвигающий регистр типа *PI/SO* с синхронной загрузкой и двунаправленным последовательным входом/выходом  $DS/SO$  (рис. 7.16,а);

74F676 — 16-разрядный сдвигающий регистр типа *PI/SO* с синхронной загрузкой и отдельными последовательными входом  $DS$  и выходом  $SO$  (рис. 7.16,б).

**Сдвигающие регистры с расширением знака.** На рис. 7.17 показан сдвигающий регистр типа *PI/PO* с расширением знака и синхронной параллельной загрузкой данных (ИС 555ИР28 и 533ИР28):  $DS_0, DS_1$  — мультиплексные последовательные входы, управляемые адресным сигналом  $A$ ;  $\bar{SE}$  (*Sign Extension*) — расширение знака;  $\bar{RE}$  (*Register Enable*) — разрешение регистра (разрешение операций сдвига и загрузки);  $SH$  (*Shift*) — сдвиг;  $SO = Q_7$  — последовательный выход;

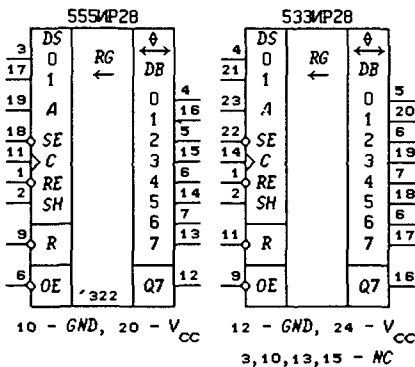


Рис. 7.17

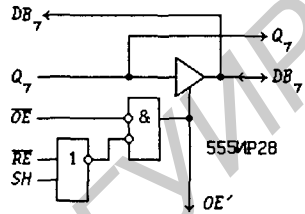


Рис. 7.18

$DB_7 \dots DB_1 DB_0$  (Data Bidirectional) — двунаправленный параллельный вход/выход. Работа ИС описывается функциями:

$$DO_r = \begin{cases} Q_r \text{ при } (\overline{RE} \vee SH) \cdot OE = 1, \\ Z\text{-состояние при } (\overline{RE} \vee SH) \cdot OE = 0, \end{cases}$$

$$Q_r^+ = (D_r dH \vee Q_r \overline{dH}) \cdot \overline{R}, \quad r = 0, 1, \dots, 7,$$

$$D_0 = (DS_0 \overline{A} \cdot \overline{SE} \vee DS_1 A \cdot \overline{SE} \vee Q_0 SE) \cdot RE \cdot SH \vee DB_0 RE \cdot \overline{SH} \vee Q_0 \overline{RE},$$

$$D_r = Q_{r-1} RE \cdot SH \vee DB_r RE \cdot \overline{SH} \vee Q_r \overline{RE}, \quad r = 1, 2, \dots, 7.$$

Из этих соотношений следует, что при  $\overline{RE} = SH = 0$  производится загрузка данных ( $D_r = DB_r$  и параллельный выход находится в Z-состоянии), при  $\overline{RE} = 0$  и  $SH = 1$  — ввод данных по последовательному каналу ( $D_0 = DS_i$  при  $\overline{SE} = 1$  и  $D_r = Q_{r-1}$ ,  $r = 1, 2, \dots, 7$ ) или расширение знака ( $D_0 = Q_0$  при  $\overline{SE} = 0$  и  $D_r = Q_{r-1}$ ,  $r = 1, 2, \dots, 7$ ) и при  $\overline{RE} = 1$  — хранение данных ( $D_r = Q_{r-1}$ ,  $r = 0, 1, \dots, 7$ ). При выполнении операции расширения знака в триггер  $Q_0$  записывается знаковый разряд и затем производится его сдвиг в заданное (необходимое) число разрядов без изменения содержимого триггера  $Q_0$  для нормирования размера разрядной сетки чисел, представленных в дополнительном коде. Например, числа +5 и -5 при разных размерах разрядной сетки могут иметь представления:

$$\begin{array}{cccc} & 0 & 1 & 0 & 1, & & 1 & 0 & 1 & 1, \\ & 0 & 0 & 0 & 0 & 1 & 0 & 1, & & 1 & 1 & 1 & 1 & 0 & 1 & 1, \\ & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1, & & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 1 & 1. \end{array}$$

Схема управления Z-состоянием выходов  $DB_r$  в ИС 555ИР28

изображена на рис. 7.18. Сигнал  $OE' = (\overline{RE} \vee SH) \cdot OE$  подается на остальные вентили с  $Z$ -состоянием выхода.

**Сдвигающие регистры с входным регистром памяти.** Регистр памяти можно включить как на параллельном выходе сдвигающего регистра (см. § 7.1), так и на его параллельном входе. Получаемые таким способом устройства обладают большими функциональными возможностями, чем каждый из используемых узлов в отдельности.

На рис. 7.19 представлены 8-разрядные устройства с асинхронной потенциальной загрузкой данных в сдвигающий регистр:

74HC589 — устройство на основе сдвигающего регистра типа  $PI/SO$  (рис. 7.20,а), описываемого функциями (7.9);

74LS597 — устройство на основе сдвигающего регистра типа  $PI/SO$  с асинхронным потенциальным сбросом сигналом  $\overline{R}$  (рис. 7.20,б), описываемый функциями  $SO = Q_7$  и

$$\left. \begin{aligned} Q_r^+ &= [D_r L \vee (DT_r dH \vee Q_r \overline{dH}) \cdot \overline{L}] \cdot \overline{R}, \quad r = 0, 1, \dots, 7, \\ DT_0 &= DS, \quad DT_r = Q_{r-1}, \quad r = 1, 2, \dots, 7; \end{aligned} \right\} \quad (7.13)$$

74LS598 — устройство на основе сдвигающего регистра типа  $PI/PO$  с асинхронным потенциальным сбросом сигналом  $\overline{R}$  (рис. 7.20,в), описываемый функциями (7.13) при  $DT_0 = DS_0 \overline{A} \vee DS_1 A$ ,  $SO = Q_7$  и

$$DB_r = \begin{cases} Q_r & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1. \end{cases}$$

Во всех перечисленных ИС используются синхронные регистры памяти. В ИС 74LS598 сигнал  $\overline{CEN}$  (*Clock Enable*) служит для включения ( $\overline{CEN} = 0$ ) и выключения ( $\overline{CEN} = 1$ ) тактового сигнала  $\overline{H}$  (см. рис. 7.20,в). Действительно, упрощенным методом анализа, изложенным в § 2.4, можно получить:

$$\alpha^+ = \overline{\overline{H} \cdot \alpha \cdot \overline{CEN} \vee H} = H \vee \alpha \cdot \overline{CEN},$$

а значит тактовый сигнал  $\alpha^+ = H$  при значении управляющего сигнала  $\overline{CEN} = 0$  и  $\alpha^+ = H \vee \alpha$  при значении  $\overline{CEN} = 1$ . При первом изменении сигнала  $\overline{H}$  с 1 на 0 установится значение  $\alpha = 1$ , поэтому  $\alpha^+ = 1$  при всех дальнейших изменениях сигнала  $\overline{H}$ , если значение управляющего сигнала  $\overline{CEN} = 1$ .

**Многофункциональные устройства на основе сдвигающих регистров.** На рис. 7.21 показаны ИС:

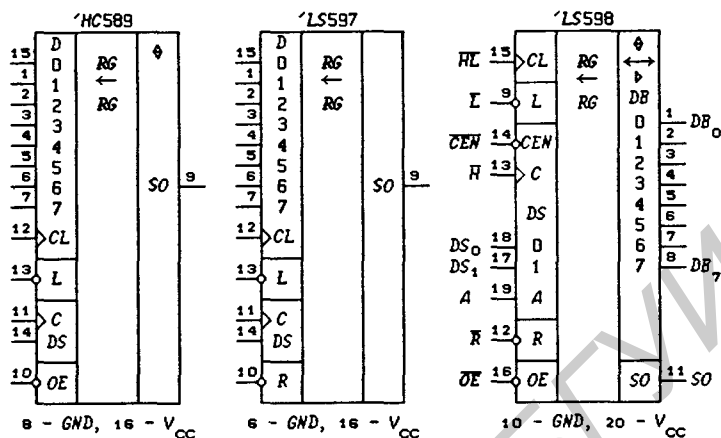


Рис. 7.19

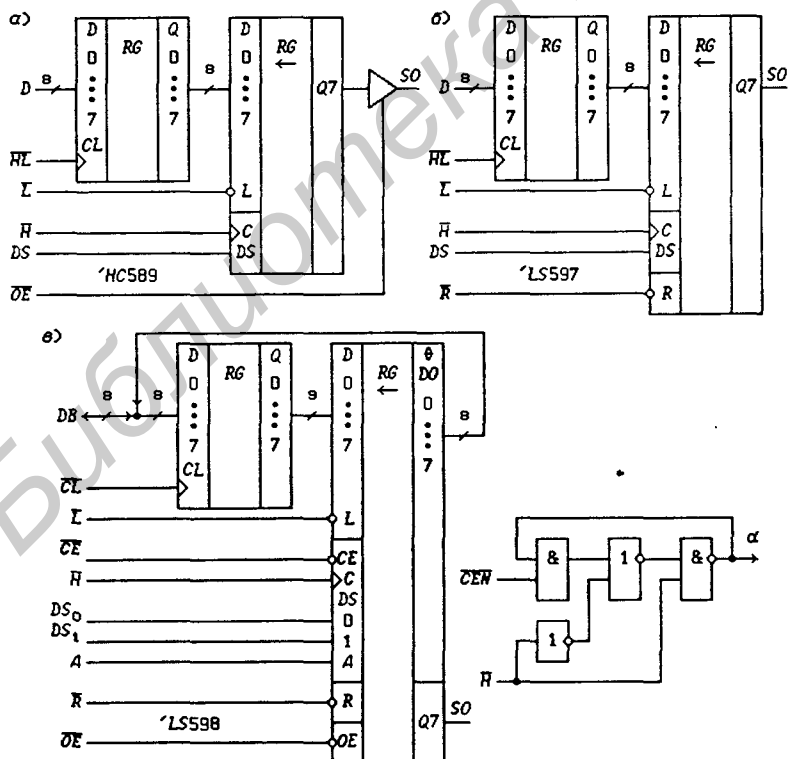


Рис. 7.20

74ALS819 — 8-разрядный диагностическо-конвейерный регистр (*Diagnostics/Pipeline Register*; рис. 7.22,а), описываемый функциями

$$SDO = QS_7 \overline{M} \vee DS \cdot M,$$

$$DB_r = \begin{cases} QS_r \text{ при } OE = DS \cdot M = 1, \\ Z\text{-состояние при } OE = 0, \end{cases} \quad PE = \overline{\sum_{r=1}^7 Q_r},$$

$$QS_r^+ = D_r dH \vee QS_r \overline{dH}, \quad Q_r^+ = DB_r dHL \vee Q_r \overline{dHL}, \quad r = 0 \dots 7,$$

где  $D_0 = DS \cdot \overline{M} \vee DB_0 M$ ,  $D_r = QS_{r-1} \overline{M} \vee DB_r M$ ,  $r = 1, 2, \dots, 7$ ;

74ALS29818, 74AC11818 — 8-разрядный диагностическо-конвейерный регистр (рис. 7.22,б), описываемый функциями

$$SDO = QS_7 \overline{M} \vee DS \cdot M,$$

$$DA_r = \begin{cases} QS_r \text{ при } OEA = 1, \\ Z\text{-состояние при } OEA = 0, \end{cases}$$

$$DB_r = \begin{cases} Q_r \text{ при } \overline{OEB} = 0, \\ Z\text{-состояние при } \overline{OEB} = 1, \end{cases}$$

$$QS_r^+ = D_r dH \vee QS_r \overline{dH},$$

$$Q_r^+ = (DA_r \overline{M} \vee QS_r M) \cdot dHL \vee Q_r \overline{dHL}, \quad r = 0, 1, \dots, 7,$$

$$D_0 = DS \cdot \overline{M} \vee \overline{DS} \cdot DB_0 M \vee DS \cdot QS_0 M,$$

$$D_r = QS_{r-1} \overline{M} \vee \overline{DS} \cdot DB_r M \vee DS \cdot QS_r M,$$

$$OEA = Q, \quad Q^+ = DS \cdot M \cdot dH \vee Q \cdot \overline{dH}$$

(сигнал  $OEA$  представляет собой сигнал  $DS \cdot M$ , привязанный к тактовому сигналу  $\overline{H}$ ).

На структурных схемах описанных устройств (рис. 7.22) введены названия регистров: *Shadow Reg.* — теневой регистр, *Pipeline Reg.* — конвейерный регистр.

Узел  $M2$  в ИС 74ALS819 вычисляет контрольный разряд  $PE$  (*Parity Even* — четный паритет) —  $PE = 0$  при нечетном числе разрядов  $Q_r = 1$  и  $PE = 1$  при четном числе разрядов  $Q_r = 1$ . Таким образом, по 9-разрядной шине  $PEQ_7 \dots Q_1 Q_0$  всегда передается нечетное число разрядов, равных 1. Это свойство можно использовать при передаче данных для обнаружения однократных ошибок в параллельном канале связи. Режимы работы ИС 74ALS819 приведены в табл. 7.2.

Интегральные схемы 74ALS29818 и 74AC11818 можно использовать в качестве приемопередатчиков с памятью, позволяющих производить некоторые преобразования данных внутри

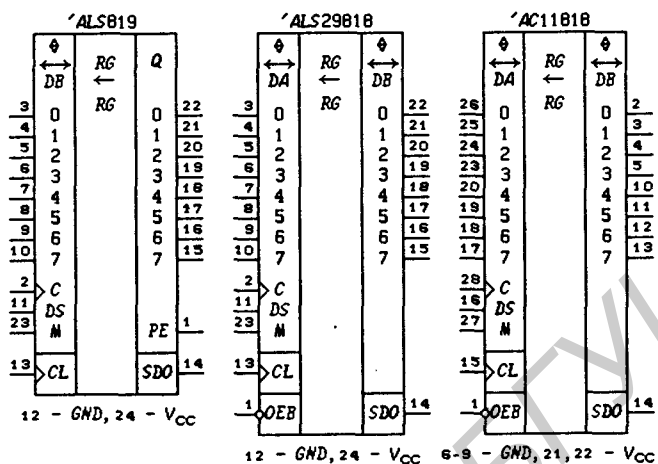


Рис. 7.21

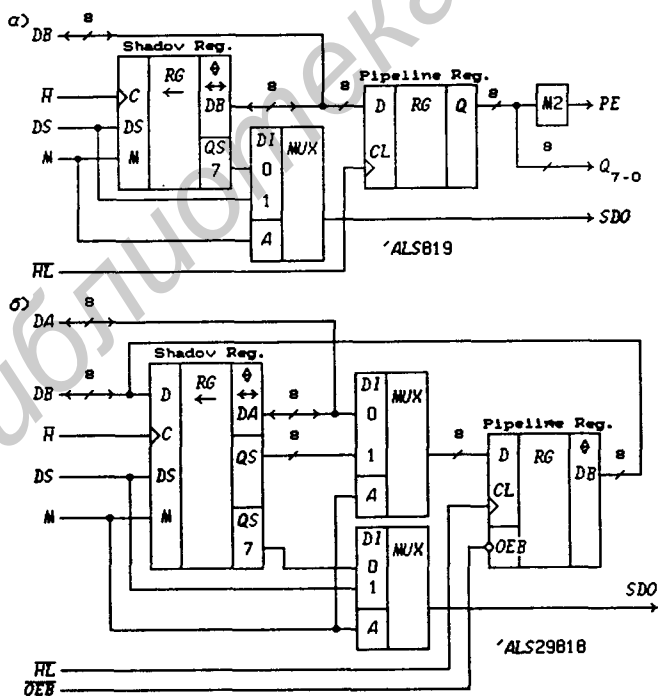


Рис. 7.22



Таблица 7.2. Режимы работы ИС 74ALS819

Входы				Выходы		Операция или функция
<i>M</i>	<i>DS</i>	$\overline{H}$	$\overline{HL}$	<i>SDO</i>	<i>DB</i>	
0	x	∫	x	<i>QS</i> <sub>7</sub>	Z-сост.	Последовательный ввод <i>DS</i> в <i>Shadow Reg.</i> , сдвиг
1	0	∫	x	<i>DS</i>	Вход	Параллельная загрузка <i>Shadow Reg.</i> от <i>DB</i>
1	0	∫	∫	<i>DS</i>	Вход	Парал. загрузка <i>Shadow Reg.</i> и <i>Pipeline Reg.</i> от <i>DB</i>
0	x	x	∫	<i>QS</i> <sub>7</sub>	Вход	Параллельная загрузка <i>Pipeline Reg.</i> от <i>DB</i>
x	0	x	∫	-		
0	x	∫	∫	<i>DS</i>	Вход	Парал. загрузка <i>Pipeline Reg.</i> от <i>DB</i> и сдвиг в <i>Shadow Reg.</i>
1	1	#	∫	<i>DS</i>	Выход	Загрузка <i>Pipeline Reg.</i> от <i>Shadow Reg.</i>
1	x	x	x	<i>DS</i>	-	Передача <i>DS</i> на последовательный выход <i>SDO</i>
1	1	x	x	<i>DS</i>	Выход	Хранение данных в <i>Shadow Reg.</i>
0	x	x	x	<i>QS</i> <sub>7</sub>		Запрет выходов <i>DB<sub>r</sub></i>
x	0	x	x	-	Z-сост.	

Примечание. # — нет перехода ∫.

ИС. Режимы работы ИС 74ALS29818 и 74AC11818 приведены в табл. 7.3.

На рис. 7.23 показаны двухступенчатые 8-разрядные сдвигающие регистры (*Dual Rank 8-bit Shift Registers*):

74ALS962 — ИС, описываемая функциями:

$$DB_r = \begin{cases} Q_r & \text{при } OE = DIS_I \overline{DIS}_O = 1, \\ Z\text{-состояние} & \text{при } OE = 0, \end{cases}$$

$$Q_r^+ = D_r dH \vee Q_r \overline{dH}$$

$$\text{при } D_r = DB_r \overline{DIS}_I \vee QS_r \overline{DIS}_{TU} \vee Q_r DIS_I DIS_{TU},$$

$$QS_r^+ = D_r dH \vee QS_r \overline{dH}$$

$$\text{при } D_0 = DS \cdot \overline{DIS}_S DIS_{TD} \vee Q_0 \overline{DIS}_{TD} \vee QS_0 DIS_S DIS_{TD} \text{ и}$$

$$D_r = Q_{r-1} \overline{DIS}_S DIS_{TD} \vee Q_r \overline{DIS}_{TD} \vee QS_r DIS_S DIS_{TD}, \quad r = 0 \dots 7$$

(*DIS*<sub>0</sub> — Output disable, *DIS*<sub>1</sub> — Input disable, *DIS*<sub>TU</sub> — Transfer up disable, *DIS*<sub>TD</sub> — Transfer down disable, *DIS*<sub>S</sub> — Shift disable);

Таблица 7.3. Режимы работы ИС  
74ALS29818 и 74AC11818

Входы					Выходы			Операция или функция
$\overline{M}$	$\overline{O}$	$\overline{E}$	$\overline{D}$	$\overline{S}$	$\overline{H}$	$\overline{H}$	$\overline{L}$	
$Q_{S7}$	$DB$	$DA$						
0	x	x	∫	x	$Q_{S7}$	-	Z-сост.	Послед. ввод $DS$ в <i>Shadow Reg.</i> , сдвиг
1	1	0	∫	x	$DS$	Вход	Z-сост.	Парал. загрузка <i>Shadow Reg.</i> от $DB$
1	0	0	∫	#	$DS$	Выход	Z-сост.	Парал. загрузка <i>Shadow</i> <i>Reg.</i> от <i>Pipeline Reg.</i>
0	x	x	x	∫	$Q_{S7}$	-	Вход	Загрузка <i>Pipeline</i> <i>Reg.</i> от $DA$
0	x	x	∫	∫	-	-	Вход	Загрузка <i>Pipeline</i> <i>Reg.</i> от $DA$ , сдвиг
1	x	x	#	∫	$DS$	-	-	Загрузка <i>Pipeline</i> <i>Reg.</i> от <i>Shadow Reg.</i>
1	x	x	x	x	$DS$	-	-	Передача $DS$ на послед. выход $SDO$
1	0	0	∫	∫	$DS$	Выход	Z-сост.	Обмен данными между регистрами
1	x	1	x	x	$DS$	-	-	Хранение данных в <i>Shadow Reg.</i>
1	x	1	∫	x	$Q_{S7}$	-	Выход	Разрешение парал. выхода <i>Shadow Reg.</i>

Примечание. # — нет перехода ∫.

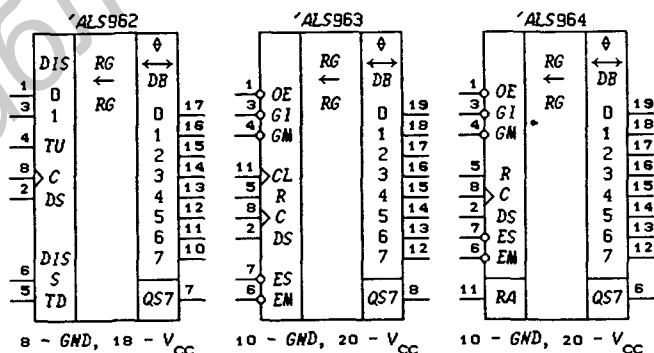


Рис. 7.23

74ALS963 — ИС с синхронным сбросом регистров сигналом  $R$ , описываемая функциями:

$$DB_r = \begin{cases} Q_r & \text{при } OE \cdot \overline{GI} = 1, \\ Z\text{-состояние} & \text{при } OE \cdot \overline{GI} = 0, \end{cases}$$

$$Q_r^+ = D_{1r} dHL \vee Q_r \overline{dHL},$$

$$D_{1r} = DB_r GI \vee QS_r \overline{R} \cdot GM \vee Q_r \overline{R} \cdot \overline{GI} \cdot \overline{GM},$$

$$QS_r^+ = D_{2r} dH \vee QS_r \overline{dH}, \quad r = 0 \dots 7,$$

$$D_{2,0} = DS \cdot \overline{R} \cdot ES \cdot \overline{EM} \vee Q_0 \overline{R} \cdot EM \vee QS_0 \overline{R} \cdot \overline{ES} \cdot \overline{EM},$$

$$D_{2r} = QS_{r-1} \overline{R} \cdot ES \cdot \overline{EM} \vee Q_r \overline{R} \cdot EM \vee QS_r \overline{R} \cdot \overline{ES} \cdot \overline{EM}$$

( $\overline{GM}$ ,  $\overline{EM}$  — разрешение передачи (*Move*) из регистра в регистр,  $\overline{GI}$  — разрешение ввода с шины  $DB$ ,  $\overline{ES}$  — разрешение сдвига последовательных данных  $DS$ );

74ALS964 — ИС с синхронным ( $R$ ) и асинхронным ( $RA$ ) сбросом регистров, отличающаяся от ИС 74ALS963 только функциями:

$$Q_r^+ = (D_{1r} dH \vee Q_r \overline{dH}) \cdot \overline{RA}, \quad QS_r^+ = (D_{2r} dH \vee QS_r \overline{dH}) \cdot \overline{RA}.$$

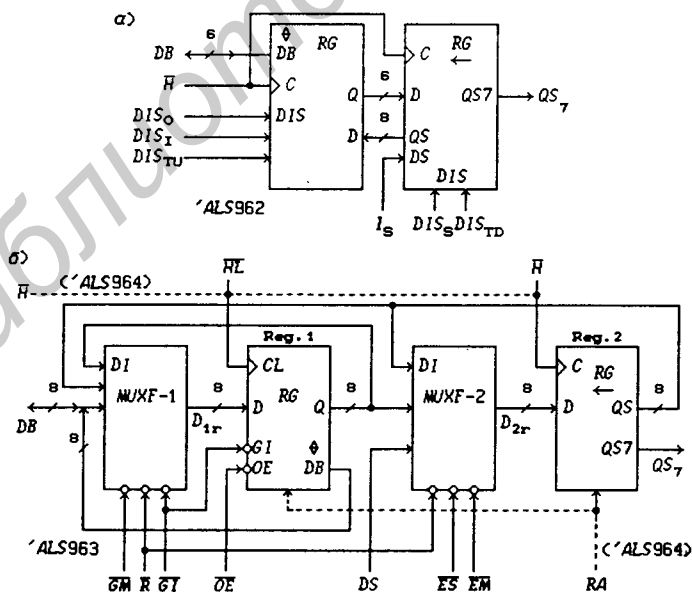


Рис. 7.24

Таблица 7.4. Режимы работы ИС 74ALS963

$\overline{O} \overline{E} \overline{G} \overline{I} \overline{G} \overline{M} \overline{E} \overline{M} \overline{E} \overline{S} \overline{H} \overline{L} \overline{H} \overline{R}$	$DB$	Операция или функция
1 1 1 1 1 × × 0	Z-сост.	Хранение
0 1 1 1 1 × × 0	Выход	Хранение
× 0 1 1 1 ∫ × 0	Вход	$DB \rightarrow Reg.1$
1 1 0 1 1 ∫ × 0	Z-сост.	$Reg.2 \rightarrow Reg.1$
0 1 0 1 1 ∫ × 0	Выход	$Reg.2 \rightarrow Reg.1$
× 0 0 1 1 ∫ ∫ 0	Вход	$DB_r \vee QS_r \rightarrow Reg.1$
1 1 1 0 × × ∫ 0	Z-сост.	$Reg.1 \rightarrow Reg.2$
0 1 1 0 × × ∫ 0	Выход	$Reg.1 \rightarrow Reg.2$
× 0 1 0 × ∫ ∫ 0	Вход	$Reg.1 \rightarrow Reg.2,$ $DB \rightarrow Reg.1$
1 1 0 0 × ∫ ∫ 0	Z-сост.	$Reg.1 \leftrightarrow Reg.2$
0 1 0 0 × ∫ ∫ 0	Выход	$Reg.1 \leftrightarrow Reg.2$
× 0 0 0 × ∫ ∫ 0	Вход	$Reg.1 \rightarrow Reg.2,$ $DB_r \vee QS_r \rightarrow Reg.1$
1 1 1 1 0 × ∫ 0	Z-сост.	Сдвиг данных в $Reg.2$
0 1 1 1 0 × ∫ 0	Выход	Сдвиг данных в $Reg.2$
× 0 1 1 0 ∫ ∫ 0	Вход	Сдвиг данных в $Reg.2,$ $DB \rightarrow Reg.1$
1 1 0 1 0 ∫ ∫ 0	Z-сост.	$Reg.2 \rightarrow Reg.1,$ сдвиг $Reg.2$
0 1 0 1 0 ∫ ∫ 0	Выход	$Reg.2 \rightarrow Reg.1,$ сдвиг $Reg.2$
× 0 0 1 0 ∫ ∫ 0	Вход	$DB_r \vee QS_r \rightarrow Reg.1,$ сдвиг $Reg.2$
× 1 × × × ∫ × 1		Синхронный сброс $Reg.1$
× × × × × × ∫ 1		Синхронный сброс $Reg.2$
× 1 × × × ∫ ∫ 1		Синхр. сброс $Reg.1$ и 2
× 0 × × × ∫ ∫ 1	Вход	$DB \rightarrow Reg.1,$ сброс $Reg.2$
× 0 × × × ∫ × 1	Вход	$DB \rightarrow Reg.1$

Структурная схема ИС 74ALS962 изображена на рис. 7.24,а. Операции, выполняемые ИС, легко устанавливаются на основании вышеприведенных функций. Например,

$$Q_r^+ = QS_r dH \vee Q_r \overline{dH}, \quad QS_r^+ = Q_r dH \vee QS_r \overline{dH}$$

при  $DIS_I = DIS_O = 1$ ,  $DIS_{TU} = DIS_{TD} = 0$  (обмен данными между регистрами);

$$Q_r^+ = (DB_r \vee QS_r) \cdot dH \vee Q_r \overline{dH}$$

при  $DIS_I = DIS_{TU} = 0$  (запись в регистр памяти функции  $DB_r \vee QS_r$ ).

Структурная схема ИС 74ALS963 показана на рис. 7.24,б. Режимы ее работы приведены в табл. 7.4. Штрих-пунктирными линиями изображены входы для подачи сигналов  $\overline{H}$  и  $RA$  в ИС 74ALS964.

### 7.3. Реверсивные сдвигающие регистры

Символическая схема, изображенная на рис. 7.25,а, наглядно поясняет операции, производимые простейшими 4-разрядными реверсивными сдвигающими регистрами (типа  $SI/SO$ ): последовательный ввод и передача информации из триггера  $Q_r$  в триггер  $Q_{r+1}$  или из триггера  $Q_r$  в триггер  $Q_{r-1}$  обозначены направленными ветвями;  $DS_0$  и  $SO_3 = Q_3$  — последовательные вход и выход данных при сдвиге в сторону старших разрядов (сдвиг влево);  $DS_3$  и  $SO_0 = Q_0$  — последовательные вход и выход данных при сдвиге в сторону младших разрядов (сдвиг вправо). Сдвиг влево и вправо означают направление сдвига в общепринятой записи двоичных чисел. Более сложные реверсивные сдвигающие регистры (типа  $PI/PO$ ) имеют параллельные входы и выходы данных и выполняют четыре операции: сдвиг влево, сдвиг вправо, параллельная запись (загрузка) и хранение данных.

Реверсивные сдвигающие регистры всегда могут быть построены на сдвигающих регистрах с синхронной параллельной загрузкой данных (на регистрах типа  $PI/PO$ ). Входы параллельной загрузки используются при этом для сдвига данных в сторону младших разрядов (от  $Q_r$  к  $Q_{r-1}$ ). На рис. 7.25,б показана реализация 4-разрядного реверсивного сдвигающего регистра типа  $SI/PO$  на ИС 155ИР1, описываемой функциями (7.4). Подставив в эти функции в соответствии с рис. 7.25,б значения  $DS = DS_0$ ,  $L = M$  ( $Mode$  — режим),  $D_r = Q_{r+1}$  ( $r = 0, 1, 2$ ),

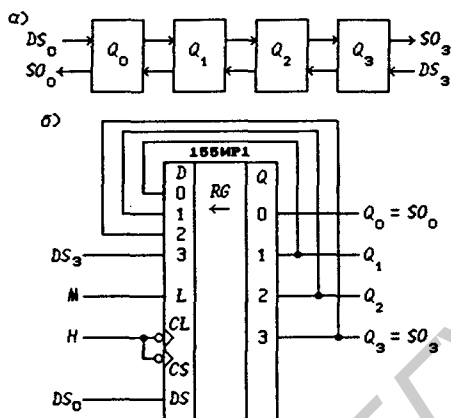


Рис. 7.25

$D_3 = DS_3$  и  $CS = CL = H$ , получим:

$$Q_r^+ = DT_r dH \vee Q_r \overline{dH}, \quad r = 0, 1, 2, 3, \quad DT_0 = DS_0 \overline{M} \vee Q_1 M,$$

$$DT_r = Q_{r-1} \overline{M} \vee Q_{r+1} M, \quad r = 1, 2, \quad DT_3 = Q_2 \overline{M} \vee DS_3 M$$

( $M = 0$  — сдвиг в сторону старших разрядов,  $M = 1$  — сдвиг в сторону младших разрядов).

Принцип построения 8-разрядного реверсивного сдвигающего регистра на двух сдвигающих регистрах типа *PI/PO* (ИС 555ИР16) иллюстрируется рис. 7.26 ( $OE \equiv 1$  для реализации операций сдвига влево и вправо).

Реверсивные сдвигающие регистры типов *PI/SO* и *PI/PO*. На рис. 7.27 показаны ИС:

531ИР11, 1561ИР15, МС14194В, СD40194В, 74АС11194В — 4-разрядные реверсивные сдвигающие регистры типа *PI/PO* с асинхронным потенциальным сбросом сигналом  $\overline{R}$  в нулевое состояние, описываемые функциями:

$$Q_r^+ = (S_r dH \vee Q_r \overline{R_r} \overline{dH}) \cdot \overline{R}, \quad r = 0, 1, 2, 3, \quad (7.14)$$

$$S_0 = Q_0 \overline{M_1} \overline{M_0} \vee DS_0 \overline{M_1} M_0 \vee Q_1 M_1 \overline{M_0} \vee D_0 M_1 M_0,$$

$$S_r = Q_r \overline{M_1} \overline{M_0} \vee Q_{r-1} \overline{M_1} M_0 \vee Q_{r+1} M_1 \overline{M_0} \vee D_r M_1 M_0, \quad r = 1, 2,$$

$$S_3 = Q_3 \overline{M_1} \overline{M_0} \vee Q_2 \overline{M_1} M_0 \vee DS_3 M_1 \overline{M_0} \vee D_3 M_1 M_0, \quad R_r = \overline{S_r},$$

где  $r = 0, 1, 2, 3$  (используются *R-S/R*-триггеры);

155ИР13 — 8-разрядный реверсивный сдвигающий регистр типа *PI/PO* с асинхронным потенциальным сбросом сигналом

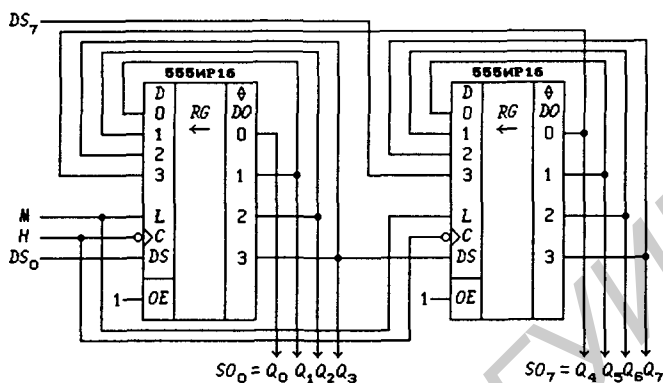


Рис. 7.26

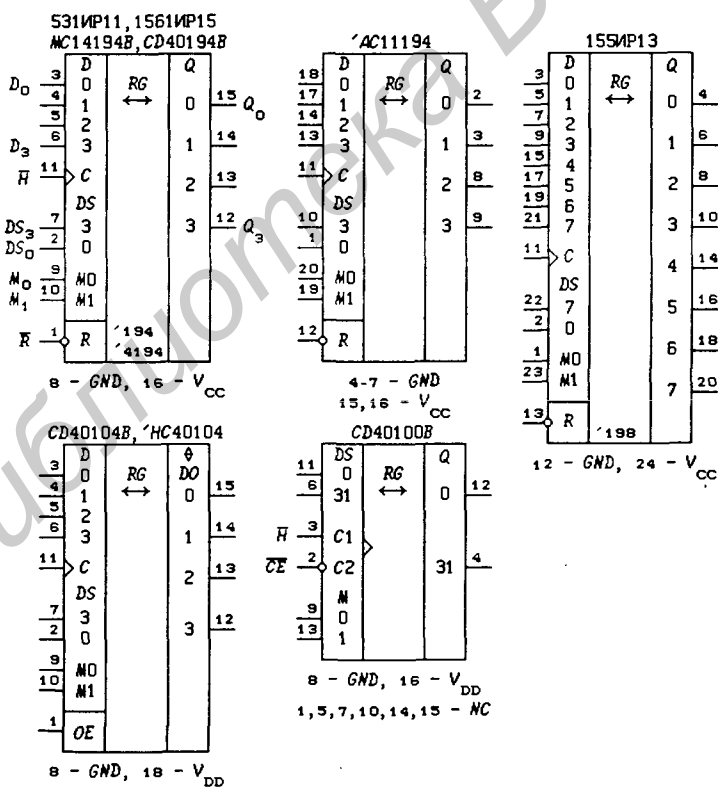


Рис. 7.27

$\bar{R}$  в нулевое состояние, описываемый функциями (7.14) при  $r = 0, 1, \dots, 7$  и

$$\begin{aligned} S_0 &= DS_0\bar{M}_1 \vee Q_1\bar{M}_0 \vee D_0M_1M_0, \\ S_r &= Q_{r-1}\bar{M}_1 \vee Q_{r+1}\bar{M}_0 \vee D_rM_1M_0, \quad r = 1, 2, \dots, 6, \\ S_7 &= Q_6\bar{M}_1 \vee DS_7\bar{M}_0 \vee D_7M_1M_0, \\ R_r &= \bar{S}_r, \quad r = 0, 1, \dots, 7, \quad H_r = (M_1 \vee M_0) \cdot H \end{aligned}$$

( $H_r$  — тактовый сигнал, подаваемый на  $R$ - $S/R$ -триггеры, из которых построен сдвигающий регистр; при  $M_1 = M_0 = 0$  сигнал  $H_r = 0$ , что обеспечивает режим хранения информации);

*CD40104B*, *74HC40104* — 4-разрядные реверсивные сдвигающие регистры типа *PI/PO* с синхронным сбросом и  $Z$ -состоянием выходов, описываемые функциями:

$$\begin{aligned} DO_r &= \begin{cases} Q_r & \text{при } OE = 1, \\ Z\text{-состояние} & \text{при } OE = 0, \end{cases} \\ Q_r^+ &= DT_r dH \vee Q_r \bar{dH}, \quad r = 0, 1, 2, 3, \end{aligned}$$

$$\begin{aligned} DT_0 &= \overline{M_1 \bar{M}_0 \vee DS_0 \bar{M}_1 M_0 \vee Q_1 M_1 \bar{M}_0 \vee D_0 M_1 M_0}, \\ DT_r &= \overline{M_1 \bar{M}_0 \vee Q_{r-1} \bar{M}_1 M_0 \vee Q_{r+1} M_1 \bar{M}_0 \vee D_r M_1 M_0}, \quad r = 1, 2, \\ DT_3 &= \overline{M_1 \bar{M}_0 \vee Q_2 \bar{M}_1 M_0 \vee DS_3 M_1 \bar{M}_0 \vee D_3 M_1 M_0} \end{aligned}$$

( $DT_r$  — функции возбуждения  $D$ -триггеров, на которых построен регистр);

*CD40100B* — 32-разрядный реверсивный сдвигающий регистр типа *SI/SO* с рециркуляцией данных, описываемый функциями:

$$\begin{aligned} Q_r^+ &= D_r dH \vee Q_r \bar{dH}, \quad r = 0, 1, 2, 3, \\ D_0 &= Q_{31} M_1 \bar{M}_0 \vee DS_0 M_1 M_0, \quad D_{31} = Q_0 \bar{M}_1 \bar{M}_0 \vee DS_{31} \bar{M}_1 M_0, \\ D_r &= Q_{r+1} \bar{M}_1 \vee Q_{r-1} M_1, \quad r = 1, 2, \dots, 30 \end{aligned}$$

( $M_1 = 0$  — сдвиг вправо,  $M_1 = 1$  — сдвиг влево,  $M_0 = 0$  — рециркуляция,  $M_0 = 1$  — ввод данных при сдвиге влево и вправо).

Режимы работы рассмотренных реверсивных сдвигающих регистров перечислены в табл. 7.5. Например, из функций, описывающих ИС *531IP11*, следует, что при значениях  $M_1 = M_0 = 0$  функции возбуждения  $S_r = Q_r$ ,  $R_r = \bar{Q}_r$  ( $r = 0, 1, \dots, 3$ ), а значит  $Q_r^+ = Q_r$  (режим хранения данных). Если  $M_1 = M_0 = 1$ , то  $S_r = D_r$ ,  $R_r = \bar{S}_r$ , что соответствует синхронной параллельной загрузке данных  $D_r$  ( $r = 0, 1, \dots, 3$ ).



Таблица 7.5. Режимы работы реверсивных сдвигающих регистров

$M_1 M_0$	531IP11	155IP13, 74AC11194 531IP24, 555IP29 74LS671, 74LS672	CD40104B	CD40100B
0 0	Хранение	Хранение	Сброс	Рециркул. $Q_0$
0 1	Ввод $DS_0$	Ввод $DS_0$	Ввод $DS_0$	Ввод $DS_{31}$
1 0	Ввод $DS_3$	Ввод $DS_7$	Ввод $DS_3$	Рециркул. $Q_{31}$
1 1	Загрузка	Загрузка	Загрузка	Ввод $DS_0$

Если в формулы, характеризующие ИС 531IP11, подставить  $M_1 = L$ ,  $M_0 \equiv 1$ , то получится функции, описывающие сдвигающий регистр с синхронной параллельной загрузкой данных.

На рис. 7.28 показано включение двух ИС 531IP11 для получения 8-разрядного реверсивного сдвигающего регистра типа  $PI/PO$  ( $DS_0$  — вход последовательного ввода данных при сдвиге информации в сторону старших разрядов,  $DS_7$  — вход последовательного ввода данных при сдвиге в сторону младших разрядов).

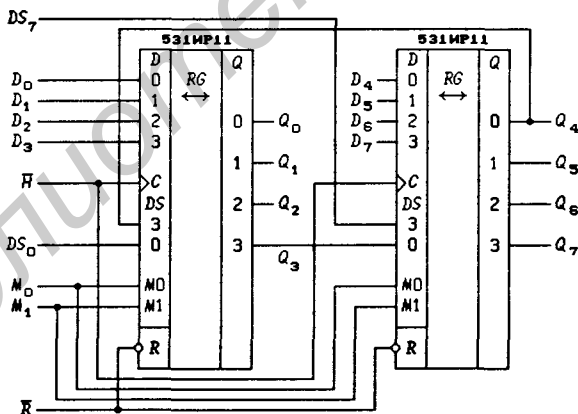


Рис. 7.28

На рис. 7.29 приведены 8-разрядные реверсивные сдвигающие регистры типа  $PI/PO$  с двунаправленной шиной данных  $DB_7 - DB_0$ :

531IP24 — регистр с асинхронным потенциальным сбросом сигналом  $\bar{R} = 0$  в нулевое состояние, описываемый функциями (7.14) при  $r = 0, 1, \dots, 7$  и

$$D_0 = Q_0 \bar{M}_1 \bar{M}_0 \vee DS_0 \bar{M}_1 M_0 \vee Q_1 M_1 \bar{M}_0 \vee DB_0 M_1 M_0,$$

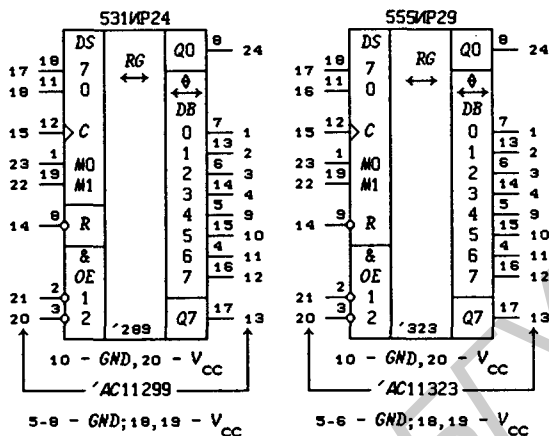


Рис. 7.29

$$D_r = Q_r \overline{M_1} \overline{M_0} \vee Q_{r-1} \overline{M_1} M_0 \vee Q_{r+1} M_1 \overline{M_0} \vee DB_r M_1 M_0, \quad r = 1 \dots 6,$$

$$D_7 = Q_7 \overline{M_1} \overline{M_0} \vee Q_6 \overline{M_1} M_0 \vee DS_7 M_1 \overline{M_0} \vee DB_7 M_1 M_0,$$

$$DB_r = \begin{cases} Q_r & \text{при } OE = \overline{M_1} \overline{M_0} OE_1 OE_2 = 1, \\ Z\text{-состояние} & \text{при } OE = 0; \end{cases}$$

533IP29 — регистр с синхронным сбросом сигналом  $\overline{R} = 0$  в нулевое состояние, описываемый функциями  $D_r$  и  $DB_r$  ( $r = 0, 1, \dots, 7$ ), приведенными выше, и

$$Q_r^+ = D_r \overline{R} \cdot dH \vee Q_r \overline{dH}, \quad r = 0, 1, \dots, 7$$

(практически функции  $D_r \overline{R}$  реализуются заменой в функциях возбуждения  $D_r$  сигналов  $\overline{M_0}$  и  $M_0$  на конъюнкции  $\overline{M_0} \overline{R}$  и  $M_0 \overline{R}$ ).

Режимы работы описанных реверсивных сдвигающих регистров перечислены в табл. 7.5. Структурная схема ИС 531IP24 изображена на рис. 7.30 ( $MUX$  — 8-разрядный 4-канальный мультиплексор,  $RG$  — 8-разрядный синхронный регистр памяти;  $r = 1, 2, \dots, 6$ ). Сигнал  $M_1 M_0 = 1$  переключает выходы  $DB_r$  на параллельный ввод данных, размыкая связи между  $Q_r$  и  $DB_r$ .

На рис. 7.31 представлена схема 16-разрядного реверсивного сдвигающего регистра, из которой видно назначение выходов  $Q_0$  и  $Q_7$ , не переводимых в  $Z$ -состояние сигналом  $OE = 0$ . Сдвигающие регистры с  $Z$ -состоянием выходов допускают непосредственное их подключение к шине данных микроЭВМ.

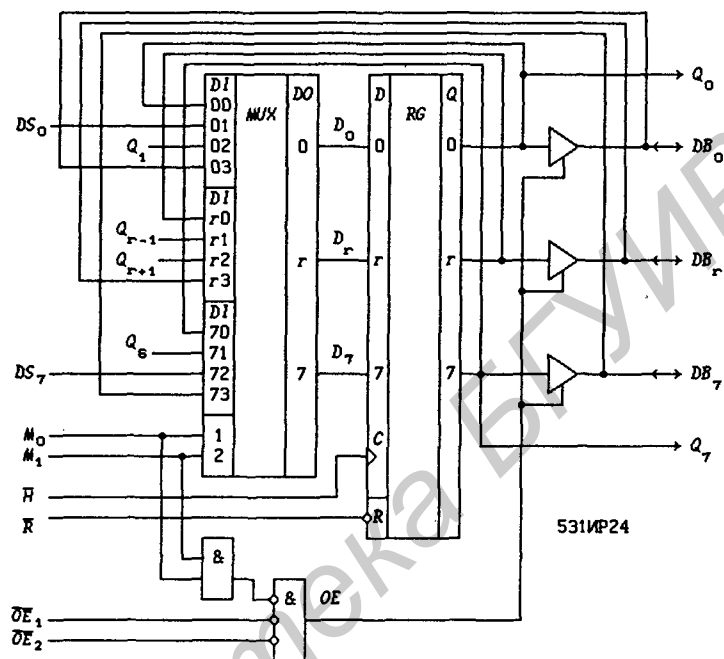


Рис. 7.30

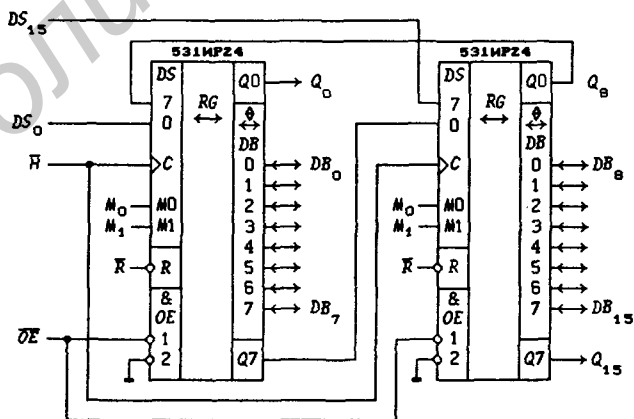


Рис. 7.31

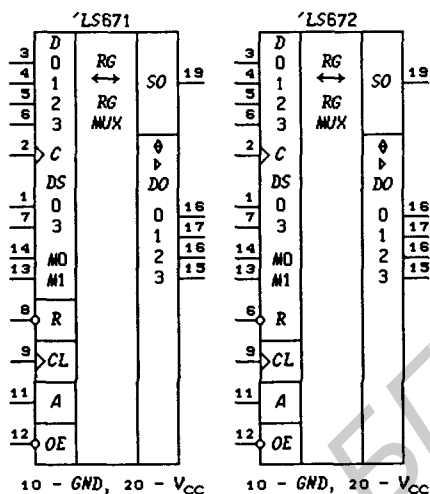


Рис. 7.32

**Многофункциональные устройства на основе реверсивных сдвигающих регистров.** На рис. 7.32 представлены ИС, представляющие собой 4-разрядные устройства, содержащие реверсивный сдвигающий регистр с выходным синхронным регистром памяти и мультиплексными последовательным  $SO$  и параллельным  $DO_3 DO_2 DO_1 DO_0$  выходами:

74LS671 — устройство на основе реверсивного сдвигающего регистра с асинхронным потенциальным сбросом в нулевое состояние сигналом  $\bar{R}$ , описываемое функциями:

$$SO = \overline{Q_3 \bar{M}_1 M_0} \vee \overline{Q_0 M_1 \bar{M}_0}, \quad DO_r = \begin{cases} Q_r \bar{A} \vee Q_r A & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, \end{cases}$$

$$Q_r^+ = (DT_r dH \vee Q_r \bar{dH}) \cdot \bar{R}, \quad r = 0, 1, 2, 3,$$

$$DT_0 = Q_0 \bar{M}_1 \bar{M}_0 \vee DS_0 \bar{M}_1 M_0 \vee Q_1 M_1 \bar{M}_0 \vee D_0 M_1 M_0,$$

$$DT_r = Q_r \bar{M}_1 \bar{M}_0 \vee Q_{r-1} \bar{M}_1 M_0 \vee Q_{r+1} M_1 \bar{M}_0 \vee D_r M_1 M_0, \quad r = 1, 2,$$

$$DT_3 = Q_3 \bar{M}_1 \bar{M}_0 \vee Q_2 \bar{M}_1 M_0 \vee DS_3 M_1 \bar{M}_0 \vee D_3 M_1 M_0,$$

где  $DT_r$  ( $r = 0, 1, 2, 3$ ) — функции возбуждения  $D$ -триггеров сдвигающего регистра (рис. 7.33,а);

74LS672 — устройство на основе реверсивного сдвигающего регистра с синхронным сбросом в нулевое состояние сигналом

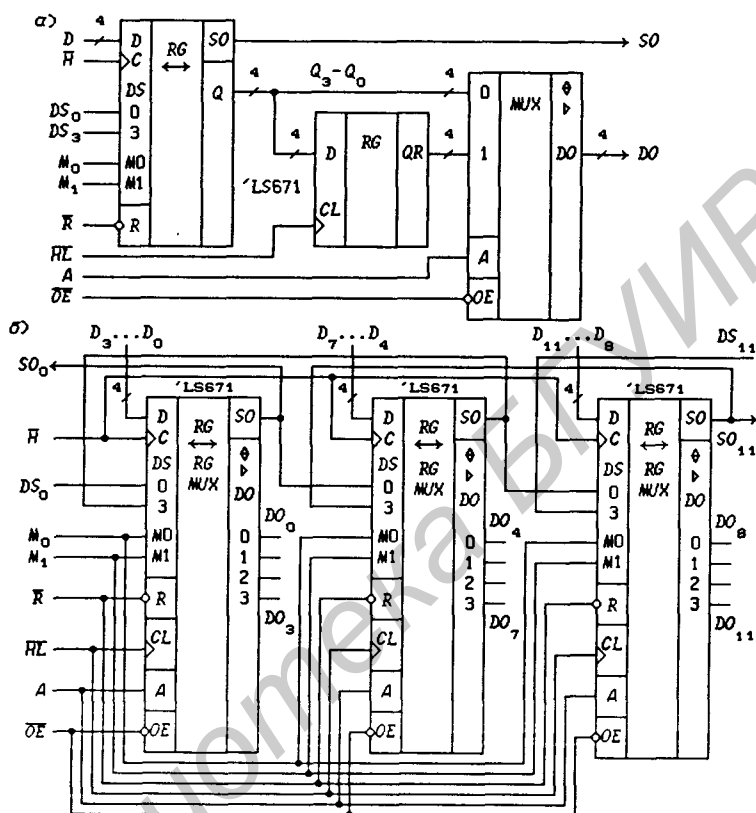


Рис. 7.33

$\bar{R}$ , отличающееся от ИС 74LS671 только функциями переходов триггеров сдвигающего регистра

$$Q_r^+ = DT_r \bar{R} \cdot dH \vee Q_r d\bar{H}, \quad r = 0, 1, 2, 3.$$

Мультиплексный последовательный выход  $SO$  позволяет производить каскадирование рассмотренных ИС (рис. 7.33, б).

#### 7.4. Асинхронные счетчики

Общие принципы построения асинхронных счетчиков были рассмотрены в § 4.6. В интегральном исполнении выпускаются только счетчики с импульсным воздействием счетных сигналов на триггеры, из которых он построен. Основное отличие асинхронных импульсных счетчиков от синхронных —

неодновременность срабатывания триггеров (всех или хотя бы двух). Счетчики любого типа (асинхронные и синхронные) могут иметь и асинхронные потенциальные входы установки некоторых их начальных состояний.

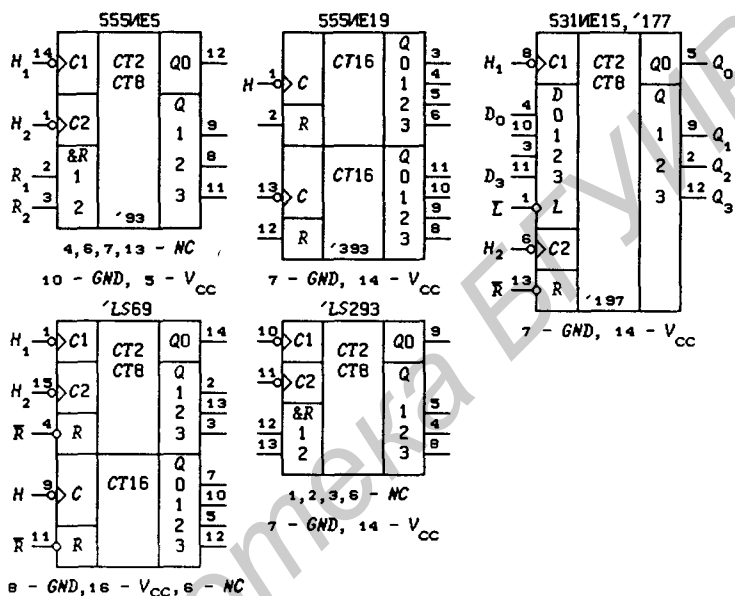


Рис. 7.34

**Двоичные асинхронные счетчики.** На рис. 7.34 представлены ИС (CT — Counter — счетчик):

555IE5 — счетчики по *mod* 2 и *mod* 8 с асинхронной потенциальной установкой нулевого состояния значением сигнала  $R = R_1 R_2 = 1$ , описываемые функциями:

$$\left. \begin{aligned} Q_0^+ &= (Q_0 \oplus dH_1) \cdot \bar{R}, & Q_1^+ &= (Q_1 \oplus dH_2) \cdot \bar{R}, \\ Q_2^+ &= (Q_2 \oplus dQ_1) \cdot \bar{R}, & Q_3^+ &= (Q_3 \oplus dQ_2) \cdot \bar{R}, \end{aligned} \right\} \quad (7.15)$$

(при соединении счетного входа  $H_2$  счетчика по *mod* 8 с выходом  $Q_0$  счетчика по *mod* 2 получается счетчик по *mod* 16);

555IE19 — два счетчика по *mod* 16 с асинхронной потенциальной установкой нулевого состояния значением сигнала  $R = 1$ , описываемые функциями:

$$Q_0^+ = (Q_0 \oplus dH) \cdot \bar{R}, \quad Q_r^+ = (Q_r \oplus dQ_{r-1}) \cdot \bar{R}, \quad r = 1, 2, 3 \quad (7.16)$$

(при соединении счетного входа  $H$  одного счетчика с выходом

$Q_3$  другого счетчика получается счетчик по *mod* 256);

531ИЕ15, 74177 — счетчики по *mod* 2 и по *mod* 8 с асинхронными потенциальными входами загрузки числа  $D = D_3 D_2 D_1 D_0$  значением сигнала  $\bar{L} = 0$  и установки нулевого состояния значением сигнала  $\bar{R} = 0$  (вход  $\bar{R}$  имеет приоритет по отношению ко входу  $\bar{L}$ ), описываемые функциями:

$$\begin{aligned} Q_0^+ &= S_0 \vee (Q_0 \oplus dH_1) \cdot \bar{R}_0, & Q_1^+ &= S_1 \vee (Q_1 \oplus dH_2) \cdot \bar{R}_1, \\ Q_2^+ &= S_2 \vee (Q_2 \oplus dQ_1) \cdot \bar{R}_2, & Q_3^+ &= S_3 \vee (Q_3 \oplus dQ_2) \cdot \bar{R}_3, \\ S_r &= D_r \bar{L} \cdot \bar{R} \cdot \bar{R}, & R_r &= \bar{S}_r \bar{L} \cdot \bar{R}, & r &= 0, 1, 2, 3 \end{aligned}$$

(у ИС 531ИЕ15 счетчики имеют разное быстродействие — максимальная частота тактового сигнала быстродействующего счетчика по *mod* 2 равна 100 МГц, а счетчика по *mod* 8 — 50 МГц);

74LS69 — счетчики по *mod* 2 и *mod* 8 с асинхронной потенциальной установкой нулевого состояния значением сигнала  $\bar{R} = 0$ , описываемые функциями (7.15), и счетчик по *mod* 16 с асинхронной потенциальной установкой нулевого состояния значением сигнала  $\bar{R} = 0$ , описываемый функциями (7.16);

74LS293 — счетчики по *mod* 2 и *mod* 8 (отличается от ИС 555ИЕ5 только расположением выводов).

Многие асинхронные двоичные счетчики могут быть реализованы на синхронно-асинхронных  $J$ - $K/R$ -триггерах, описываемых функцией переходов  $Q^+ = (\bar{Q} \cdot J \cdot dH \vee Q \cdot \bar{K} \cdot dH) \cdot \bar{R}$ . Действительно, при значениях  $J = K = 1$  из функции переходов следует, что  $Q^+ = (Q \oplus dH) \cdot \bar{R}$ , а в качестве сигнала  $H$  можно использовать и выходной сигнал любого триггера. Вместо  $J$ - $K/R$ -триггеров можно использовать  $T/R$ -триггеры, описываемые функцией переходов  $Q^+ = (Q \oplus T \cdot dH) \cdot \bar{R}$ , получаемой из функции переходов  $J$ - $K/R$ -триггеров подстановкой  $J = K = T$ . Функция переходов  $T/R$ -триггеров, принадлежащих к группе II (см. § 4.2), задается выражением  $Q^+ = [Q \oplus d(T \cdot H)] \cdot \bar{R}$ . Такие триггеры используются, в частности, для построения двоично-десятичных асинхронных счетчиков.

Структурная схема счетчика 555ИЕ5 изображена на рис. 7.35,а (сигналы  $J = K = 1$  не показаны), из которой видно, что триггеры  $Q_1$ ,  $Q_2$  и  $Q_3$  счетчика по *mod* 8 могут срабатывать по счетному входу  $H_2$  только последовательно. Временные диаграммы, наглядно поясняющие работу этого счетчика, показаны на рис. 7.35,б — из-за переходных процессов состояния счетчика

$$Q_3 Q_2 Q_1 = 000, 001, 010, 011, 100, 101, 110, 111$$

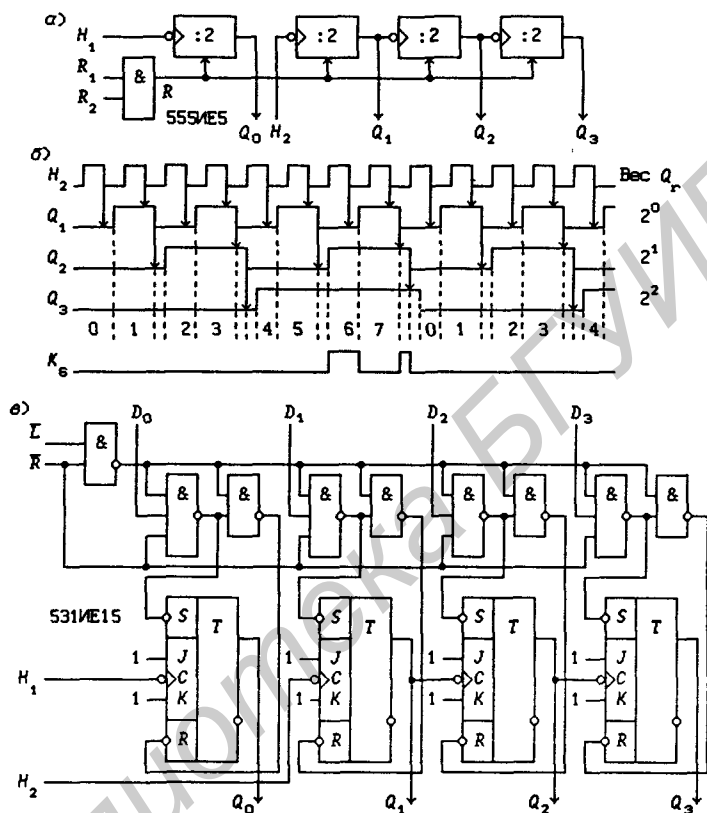


Рис. 7.35

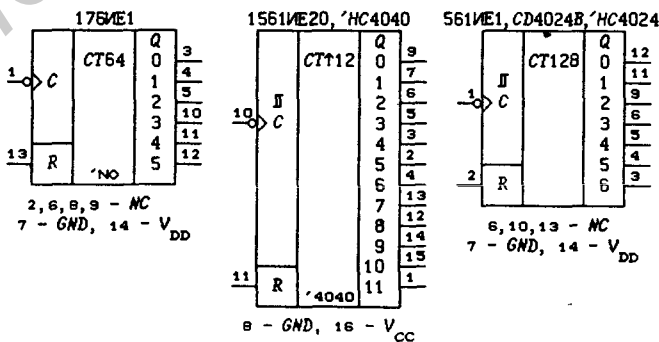


Рис. 7.36



имеют разную длительность, что особенно заметно при больших значениях частоты счетного сигнала  $H_2$ . Кроме того, при дешифрации внутренних состояний счетчика, соответствующих четным числам 000, 010, 100 и 110, будут появляться ложные значения сигналов  $K_0(\mu)$ ,  $K_2(\mu)$ ,  $K_4(\mu)$  и  $K_6(\mu)$ , длительность которых определяется задержкой срабатывания одного триггера. Внутренние состояния счетчика  $\mu = (Q_3Q_2Q_1)$ , а минтермы  $K_j(\mu) = Q_3^{e_3} Q_2^{e_2} Q_1^{e_1}$ , где  $j = e_3e_2e_1$ .

Принципиальная схема счетчика 531ИЕ15 с асинхронной загрузкой данных  $D_7$  изображена на рис. 7.35, в. Триггеры типа  $J-K/R-S$ , дополненные показанными ЛЭ, выполняют функции  $J-K/D-L-R$ -триггеров. Принципиальные схемы ИС одних и тех же цифровых узлов, но изготавливаемых по различным технологиям (*Standard, L, H, LS, S, ALS, AS, F, HC* и др.), могут отличаться друг от друга. Однако эти различия не являются принципиальными, так как сводятся лишь к другим эквивалентным представлениям переключательных функций или использованию других типов триггеров. Поэтому приводимые здесь принципиальные схемы не обязательно с абсолютной точностью совпадают с принципиальными схемами реальных ИС (назначение этих схем — иллюстрация возможной практической реализации цифровых узлов).

Асинхронные счетчики, изготавливаемые по КМОП-технологии, показаны на рис. 7.36:

176ИЕ1 — счетчик по  $\text{mod } 64$  с асинхронной потенциальной установкой нулевого состояния значением сигнала  $R = 1$ , описываемый функциями (7.16) при  $r = 1, 2, \dots, 5$ ;

1561ИЕ20, 74НС4040 — счетчик по  $\text{mod } 4096$  с асинхронной потенциальной установкой нулевого состояния значением сигнала  $R = 1$ , описываемый функциями:

$$Q_0^+ = [Q_0 \oplus d(H\bar{R})] \cdot \bar{R}, \quad Q_r^+ = (Q_r \oplus dQ_{r-1}) \cdot \bar{R}, \quad (7.17)$$

где  $r = 1, 2, \dots, 11$  (знак “ $\uparrow$ ” на рис 7.36 означает степень числа 2, т. е. мнемоника  $CT \uparrow 12$  обозначает счетчик по  $\text{mod } 2^{12}$ );

CD4024, 74НС4024 — счетчик по  $\text{mod } 128$  с асинхронной потенциальной установкой нулевого состояния значением сигнала  $R = 1$ , описываемый функциями (7.17) при  $r = 1, 2, \dots, 7$ .

Наиболее часто используемые счетчики по  $\text{mod } M$  являются и делителями на  $M$  частоты  $f_H$  входного счетного сигнала  $H$ , т. е. в счетчике имеется хотя бы один триггер, частота  $f_{Q_r}$  выходного сигнала  $Q_r$  которого в  $M$  раз меньше частоты входного сигнала  $G$  ( $f_{Q_r} = f_H/M$ ). Счетчик должен иметь выходы с каждого триггера, входящего в его состав, что необходимо для определения в любой момент времени числа импульсов по  $\text{mod}$

$M$ , поступивших на его вход  $H$ . Если выходы не всех триггеров доступны пользователю, то счетчик следует называть делителем частоты. Двоичные счетчики по  $\text{mod } 2^m$  ( $m$  — число триггеров в счетчике) выдают  $m$  сигналов  $Q_r$ , частоты которых  $f_{Q_r} = f_H/2^{r+1}$ , где  $r = 0, 1, \dots, m-1$ .

**Двоично-десятичные асинхронные счетчики.** В интегральном исполнении выпускаются как счетчики по  $\text{mod } 10$  со счетом в коде 8-4-2-1, так и пары счетчиков по  $\text{mod } 2$  и по  $\text{mod } 5$  со счетом в коде 4-2-1, из которых всегда могут быть построены счетчики по  $\text{mod } 10$ . На рис. 7.37 представлены ИС:

555ИЕ2 — счетчики по  $\text{mod } 2$  и  $\text{mod } 5$  с асинхронной потенциальной установкой состояний  $Q_3Q_2Q_1Q_0 = 0000$  и  $1001$  ( $j = 0$  и  $j = 9$ ) значениями сигналов  $R = R_1R_2 = 1$  и  $S = S_1S_2 = 1$ , описываемые функциями:

$$\left. \begin{aligned} Q_0^+ &= S \vee (Q_0 \oplus dH_1) \cdot \bar{R}, & Q_1^+ &= (\bar{Q}_1\bar{Q}_3dH_2 \vee Q_1\bar{dH}_2) \cdot \bar{R}', \\ Q_2^+ &= (Q_2 \oplus dQ_1) \cdot \bar{R}', & Q_3^+ &= S \vee (Q_2Q_1dH_2 \vee Q_3\bar{dH}_2) \cdot \bar{R}, \end{aligned} \right\} \quad (7.18)$$

где  $R' = R \vee S = R_1R_2 \vee S_1S_2$  (триггер  $Q_3$  типа  $R-S/R'$ , описываемый функцией переходов  $Q^+ = (S \cdot dH \vee Q \cdot \bar{R} \cdot dH) \cdot \bar{R}'$ );

531ИЕ14, 74176 — счетчики по  $\text{mod } 2$  и по  $\text{mod } 5$  с асинхронными потенциальными входами загрузки числа  $D = D_3D_2D_1D_0$  значением сигнала  $\bar{L} = 0$  и установки нулевого состояния значением сигнала  $\bar{R} = 0$  (вход  $\bar{R}$  имеет приоритет по отношению ко входу  $\bar{L}$ ), описываемые функциями:

$$\begin{aligned} Q_0^+ &= S_0 \vee (Q_0 \oplus dH_1) \cdot \bar{R}_0, & Q_1^+ &= S_1 \vee (\bar{Q}_1\bar{Q}_3dH_2 \vee Q_1\bar{dH}_2) \cdot \bar{R}_1, \\ Q_2^+ &= S_2 \vee (Q_2 \oplus dQ_1) \cdot \bar{R}_2, & Q_3^+ &= S_3 \vee (Q_2Q_1dH_2 \vee Q_3\bar{dH}_2) \cdot \bar{R}_3, \\ S_r &= D_r \bar{L} \cdot \bar{R} \cdot \bar{R}, & R_r &= \bar{S}_r \bar{L} \cdot \bar{R}, \quad r = 0, 1, 2, 3 \end{aligned}$$

(у ИС 531ИЕ14 счетчики имеют разное быстродействие — максимальная частота тактового сигнала быстродействующего счетчика по  $\text{mod } 2$  равна 100 МГц, а счетчика по  $\text{mod } 5$  — 50 МГц);

555ИЕ20 — пара счетчиков по  $\text{mod } 2$  и  $\text{mod } 5$  с асинхронной потенциальной установкой нулевого состояния значением сигнала  $R = 1$ , описываемые функциями:

$$\left. \begin{aligned} Q_0^+ &= (Q_0 \oplus dH_1) \cdot \bar{R}, & Q_1^+ &= [Q_1 \oplus d(\bar{Q}_3H_2)] \cdot \bar{R}, \\ Q_2^+ &= (Q_2 \oplus dQ_1) \cdot \bar{R}, & Q_3^+ &= [Q_3 \oplus d(T_3H_2)] \cdot \bar{R}, \end{aligned} \right\} \quad (7.19)$$

$$T_3 = \overline{\bar{Q}_3\bar{Q}_2} \vee \overline{\bar{Q}_3\bar{Q}_1} = Q_3 \vee Q_2Q_1;$$

74LS68 — счетчики по  $\text{mod } 2$  и  $\text{mod } 5$  с асинхронной потенциальной установкой нулевого состояния значением сигнала

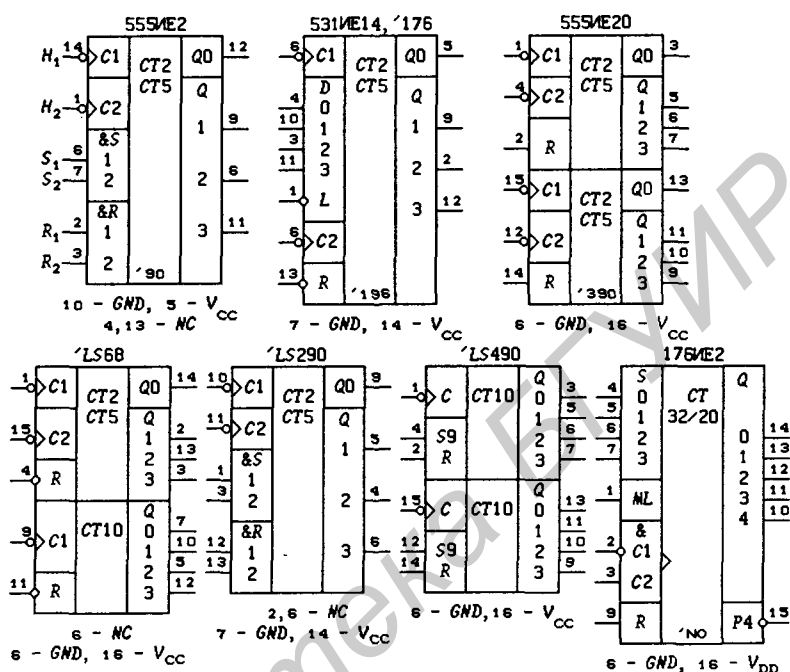


Рис. 7.37

ла  $\bar{R} = 0$ , описываемые функциями (7.19), и счетчик по *mod* 10 с асинхронной потенциальной установкой нулевого состояния значением сигнала  $\bar{R} = 0$ , описываемый функциями:

$$\left. \begin{aligned} Q_0^+ &= (Q_0 \oplus dH) \cdot \bar{R}, & Q_1^+ &= (\bar{Q}_1 \bar{Q}_3 dQ_0 \vee Q_1 \bar{dQ}_0) \cdot \bar{R}, \\ Q_2^+ &= (Q_2 \oplus dQ_1) \cdot \bar{R}, & Q_3^+ &= (Q_2 Q_1 dQ_0 \vee Q_3 \bar{dQ}_0) \cdot \bar{R}, \end{aligned} \right\} (7.20)$$

74LS290 — счетчики по *mod* 2 и *mod* 5 (отличается от ИС 555IE2 только расположением выводов);

74LS490 — два счетчика по *mod* 10 с асинхронной потенциальной установкой состояний  $Q_3 Q_2 Q_1 Q_0 = 0000$  и  $1001$  ( $j = 0$  и  $j = 9$ ) значениями сигналов  $R = 1$  и  $S_9 = 1$ , описываемые функциями:

$$\left. \begin{aligned} Q_0^+ &= S_9 \vee (Q_0 \oplus dH_1) \cdot \bar{R}', & Q_1^+ &= (\bar{Q}_1 \bar{Q}_3 dH_2 \vee Q_1 \bar{dH}_2) \cdot \bar{R}', \\ Q_2^+ &= (Q_2 \oplus dQ_1) \cdot \bar{R}', & Q_3^+ &= S_9 \vee (Q_2 Q_1 dH_2 \vee Q_3 \bar{dH}_2) \cdot \bar{R}, \end{aligned} \right\}$$

где  $R' = R \vee S$ ;

176IE2 — двоичный/двоично-десятичный счетчик с переключаемым модулем пересчета *mod* 32/*mod* 20 ( $M = 32$  при

$ML = 1$  и  $M = 20$  при  $ML = 0$ ,  $ML$  — *Modulo* — модуль) и асинхронными потенциальными сбросом в нулевое состояние значением сигнала  $R = 1$  и установкой триггеров  $Q_0, Q_1, Q_2$  и  $Q_3$  в состояние 1 значениями сигналов  $S_r = 1$  ( $r = 0, 1, 2, 3$ ), описываемый при двоичном счете функциями:

$$\begin{aligned} Q_0^+ &= S_0 \vee (Q_0 \oplus dH) \cdot \bar{R}, & Q_1^+ &= S_1 \vee (Q_1 \oplus dQ_0) \cdot \bar{R}, \\ Q_2^+ &= S_2 \vee (Q_2 \oplus dQ_1) \cdot \bar{R}, & Q_3^+ &= S_3 \vee (Q_3 \oplus dQ_2) \cdot \bar{R}, \\ Q_4^+ &= (Q_4 \oplus dQ_3) \cdot \bar{R}, \end{aligned}$$

где  $H = G_1 \vee \bar{G}_2$ , т. е. счет производится под воздействием сигнала

$$d(G_1 \vee \bar{G}_2) = G_2 dG_1 \vee \bar{G}_1 d\bar{G}_2$$

(счетчик запускается изменением счетного сигнала  $G_1$  с 1 на 0 при значении  $G_2 \equiv 1$  или изменением счетного сигнала  $G_2$  с 0 на 1 при значении  $G_1 \equiv 0$ ); сигнал  $ML$  производит мультиплексирование функций возбуждения триггеров счетчика с двоичного счета на двоично-десятичный счет (не составляет труда на основании соотношений (7.20) дать полное аналитическое описание ИС, введя их в вышеприведенные соотношения с помощью сигнала  $ML$ ); сигнал переноса  $\bar{P}_4 = \bar{Q}_3 \bar{Q}_0$  (не зависит от сигнала  $ML$ ) позволяет строить на ИС 176ИЕ2 многоразрядные десятичные счетчики.

Структурная схема счетчика 555ИЕ2 изображена на рис. 7.38,а, а временные диаграммы, поясняющие работу счетчиков по  $mod 5$  в ИС 555ИЕ2 и 555ИЕ20, — на рис. 7.38,б (сигнал  $T_3$  используется в ИС 555ИЕ20). Асинхронные переходы на временных диаграммах указаны стрелками (триггер  $Q_2$  изменяет состояния под воздействием изменения выходного сигнала триггера  $Q_1$  с 1 на 0; задержки сигналов  $Q_r$  и  $T_3$  относительно счетного сигнала  $H_2$  и друг друга не показаны). Принципиальная схема счетчика 555ИЕ2, построенная по формулам (7.18), изображена на рис. 7.39.

Пару счетчиков по  $mod 2$  и  $mod 5$  можно включить для получения счетчика по  $mod 10$  двумя способами: для счета в коде 8-4-2-1 (рис. 7.40,а и 7.41,а) и в коде 5-4-2-1 (рис. 7.40,б и 7.41,б). При счете в коде 5-4-2-1 выходной сигнал  $Y_3 = Q_0$ , частота которого минимальна, имеет скважность 2 (равные по длительности полупериоды), что иногда требуется для построения некоторых цифровых устройств с десятичным счетом. Асинхронные потенциальные входы  $S_j$  и  $R_j$  в схемах на рис. 7.40 можно использовать для производства установок начальных состояний

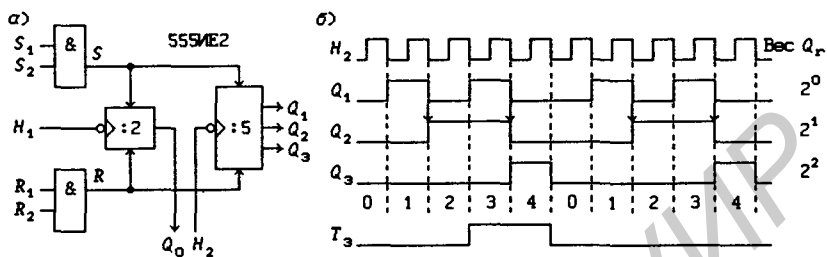


Рис. 7.38

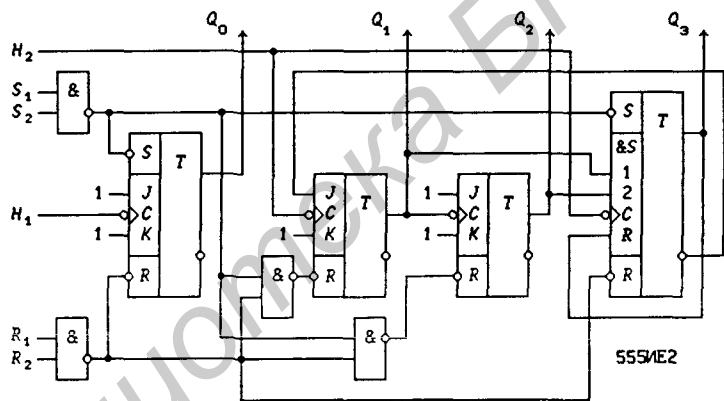


Рис. 7.39

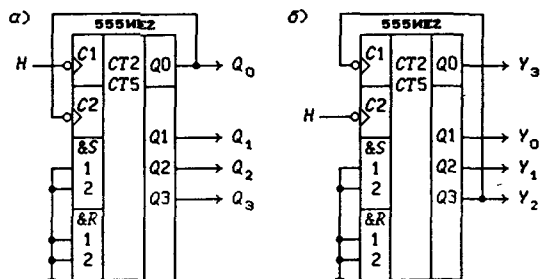


Рис. 7.40

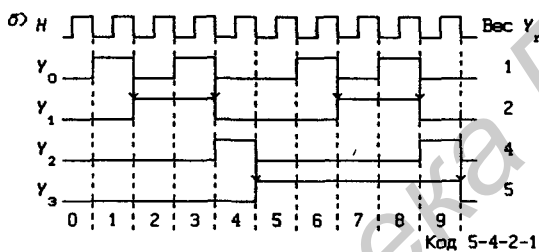
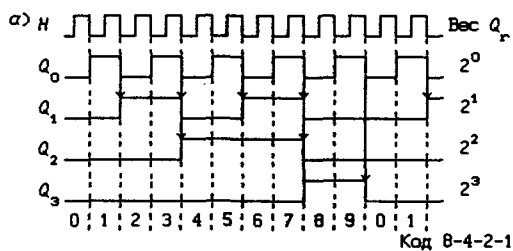


Рис. 7.41

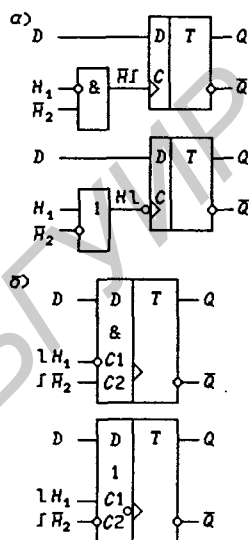


Рис. 7.42

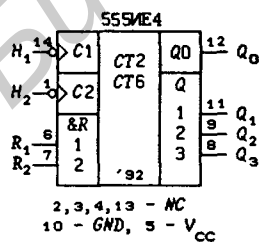


Рис. 7.43

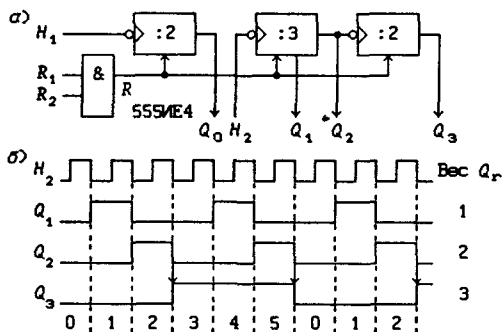


Рис. 7.44

$Q_3Q_2Q_1Q_0 = 0000$  или  $1001$  (рис. 7.40,а) и  $Y_3Y_2Y_1Y_0 = 0000$  или  $1100$  (рис. 7.40,б).

На рис. 7.42,а показаны две эквивалентные схемы, в которых тактовый сигнал формируется с помощью двухвходовых ЛЭ. В обеих схемах на триггер воздействует импульсный сигнал

$$d\overline{H_1}\overline{H_2} = d(H_1 \vee H_2) = \overline{H_2}dH_1 \vee \overline{H_1}dH_2,$$

из чего следует двойственность изображений тактового сигнала на условных графических обозначениях триггеров, показанная на рис. 7.42,б. Сказанное относится и к счетчикам (см. ИС 176ИЕ2 на рис. 7.37), а также другим цифровым устройствам, в которых используются подобные тактовые сигналы.

**Счетчики по  $\text{mod } 6$  и  $\text{mod } 12$ .** На рис. 7.43 представлена ИС 555ИЕ4 — счетчики по  $\text{mod } 2$  и  $\text{mod } 6$  с асинхронной потенциальной установкой нулевого состояния значением сигнала  $R = R_1R_2 = 1$ , описываемые функциями:

$$Q_0^+ = (Q_0 \oplus dH_1) \cdot \overline{R}, \quad Q_1^+ = (\overline{Q_1}\overline{Q_2}dH_2 \vee Q_1\overline{dH_2}) \cdot \overline{R}, \\ Q_2^+ = (\overline{Q_2}Q_1dH_2 \vee Q_2\overline{dH_2}) \cdot \overline{R}, \quad Q_3^+ = (Q_3 \oplus dQ_2) \cdot \overline{R}.$$

Структурная схема счетчика 555ИЕ4 изображена на рис. 7.44,а, а временные диаграммы, поясняющие работу счетчика по  $\text{mod } 6$ , — на рис. 7.44,б. Асинхронные переходы на временных диаграммах указаны стрелками (триггер  $Q_3$  изменяет состояние под воздействием изменения с 1 на 0 выходного сигнала триггера  $Q_2$ ; задержки сигналов не показаны).

Пару счетчиков по  $\text{mod } 2$  и  $\text{mod } 6$  можно включить для получения счетчика по  $\text{mod } 12$  двумя способами: для счета в коде 8-4-2-1 (требуется соединить счетный вход  $H_2$  с выходом триггера  $Q_0$ ) и в коде 6-4-2-1 (требуется соединить счетный вход  $H_1$  с выходом триггера  $Q_3$ ).

## 7.5. Синхронные двоичные счетчики

Синтез и основные свойства синхронных двоичных счетчиков были рассмотрены в § 4.5. Граф переходов счетчика по  $\text{mod } 16$  изображен на рис. 7.45,а ( $-/P_4 = -/0$  и  $-/1$ ,  $P_4$  — сигнал переполнения счетчика, называемый также переносом). Этому графу переходов соответствуют функции возбуждения (4.36)  $T$ -триггеров:

$$\left. \begin{aligned} T_0 &= 1, \quad T_1 = Q_0, \quad T_2 = Q_1Q_0, \\ T_3 &= Q_2Q_1Q_0, \quad P_4 = Q_3Q_2Q_1Q_0. \end{aligned} \right\} \quad (7.21)$$

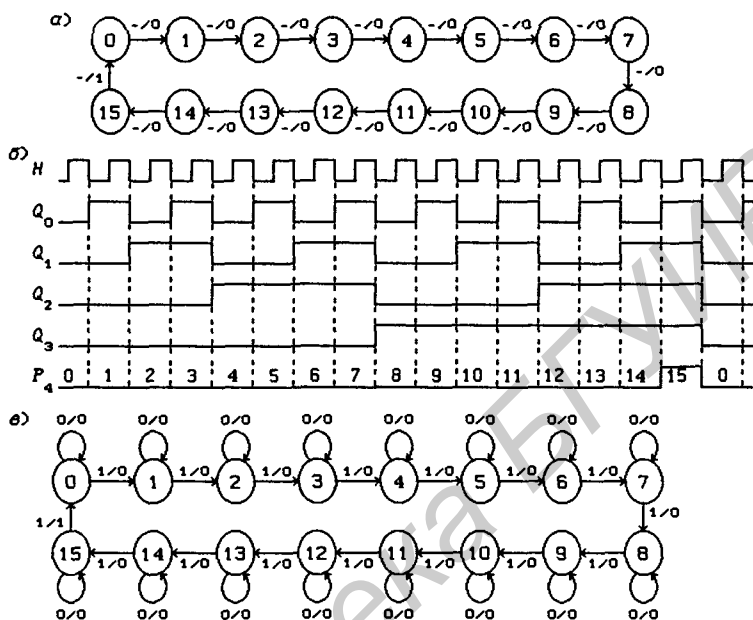


Рис. 7.45

На рис. 7.45,б показаны временные диаграммы синхронного счетчика по  $\text{mod } 16$ , соответствующие графу переходов, изображенному на рис. 7.45,а. Внутренние состояния счетчика  $\mu = (Q_3, Q_2, Q_1, Q_0)$  обозначены числами  $j = e_{Q_3}e_{Q_2}e_{Q_1}e_{Q_0} = 0, 1, \dots, 15$ , где  $e_{Q_r} = 0$  или 1 — состояние триггера  $Q_r$  ( $r = 0, 1, 2, 3$ ). В отличие от асинхронных счетчиков здесь все триггеры  $Q_r$  срабатывают одновременно по переходу тактового сигнала  $H$  с 1 на 0. Если счетчик находится в состоянии  $j$ , то в следующем такте он установится в состояние  $j + 1$ , поэтому такие счетчики называются суммирующими счетчиками (*Up-counter*).

Граф переходов счетчика по  $\text{mod } 16$ , функции возбуждения триггеров которого

$$T_0 = P_0, T_1 = P_0Q_0, T_2 = P_0Q_1Q_0, \\ T_3 = P_0Q_2Q_1Q_0, P_4 = P_0Q_3Q_2Q_1Q_0,$$

изображен на рис. 7.45,в ( $P_0$  — сигнал разрешения счета и переноса;  $P_0/P_4 = 0/0, 1/0$  и  $1/1$ ). При значении сигнала управления  $P_0 = 0$  состояния счетчика не изменяются, что указывается на графе переходов петлями  $P_0/P_4 = 0/0$ .



**Двоичные счетчики.** Синхронные счетчики, изготавливаемые в интегральном исполнении, имеют, как правило, вход  $R$  асинхронной потенциальной или (и) синхронной установки нулевого состояния и входы  $D$ ,  $T$  и  $L$  асинхронной потенциальной или (и) синхронной параллельной загрузки данных. В соответствии с этим для построения синхронных счетчиков (не только двоичных) используются триггеры типов  $D-T-L/R$ ,  $D-T-L-R$ ,  $D-T-L-R/R$ ,  $D-T-L-R/L-R$ ,  $T/D-L-R$  с приоритетами входов  $R$  и  $T/R$ , функции переходов которых могут быть получены из функции переходов (4.29) универсального  $D-T-L-R/D-L-R$ -триггера при использовании одного входа данных  $D = AD = SD$ :

$$Q^+ = [D \cdot L \cdot dH \vee Q \cdot \overline{dH} \vee (Q \oplus T \cdot dH) \cdot \overline{L}] \cdot \overline{R} \quad (7.22)$$

для  $D-T-L/R$ -триггера ( $SR = 0$ ,  $AL = 0$ ,  $L = SL$ ,  $R = AR$ ),

$$Q^+ = D \cdot L \cdot \overline{R} \cdot dH \vee Q \cdot \overline{dH} \vee (Q \oplus T \cdot dH) \cdot \overline{L \vee R} \quad (7.23)$$

для  $D-T-L-R$ -триггера ( $AR = 0$ ,  $AL = 0$ ,  $L = SL$ ,  $R = SR$ ),

$$Q^+ = [D \cdot L \cdot \overline{SR} \cdot dH \vee Q \cdot \overline{dH} \vee (Q \oplus T \cdot dH) \cdot \overline{L \vee SR}] \cdot \overline{AR} \quad (7.24)$$

для  $D-T-L-R/R$ -триггера ( $AL = 0$ ,  $L = SL$ ) и

$$Q^+ = D \cdot AL \cdot \overline{AR} \vee [D \cdot SL \cdot \overline{SR} \cdot dH \vee Q \cdot \overline{dH} \vee (Q \oplus T \cdot dH) \cdot \overline{SL \vee SR}] \cdot \overline{AL \vee AR} \quad (7.25)$$

для  $D-T-L-R/L-R$ -триггера,

$$Q^+ = [D \cdot L \vee (Q \oplus T \cdot dH) \cdot \overline{L}] \cdot \overline{R} \quad (7.26)$$

для  $T/D-L-R$ -триггера ( $SR = 0$ ,  $SL = 0$ ,  $L = AL$ ,  $R = AR$ ) и

$$Q^+ = (Q \oplus T \cdot dH) \cdot \overline{R} \quad (7.27)$$

для  $T/R$ -триггера ( $SR = 0$ ,  $SL = 0$ ,  $AL = 0$ ,  $R = AR$ ).

Счетный вход  $T$  триггеров используется для выполнения операции счета, вход  $L$  (входы  $SL$ ,  $AL$ ) — для параллельной загрузки данных, поступающих по входу  $D$  ( $L = 1$  — загрузка,  $L = 0$  — счет), а вход  $R$  (входы  $SR$ ,  $AR$ ) — для сброса счетчика в нулевое состояние. Перечисленные выше триггеры могут быть реализованы как на  $J-K/R-S$ -триггерах, так и на  $D/R-S$ -триггерах (см. рис. 4.11 – 4.13).

Функции возбуждения  $T$ , триггеров счетчиков, обладающих наибольшими функциональными возможностями, реализуются с предоставлением пользователю управления ими с помощью двух внешних сигналов  $P_0$  и  $E$  —  $P_0 E \cdot T$ , для всех триггеров

счетчика. При этом сигнал переполнения (переноса) двоичного суммирующего счетчика описывается функцией

$$P_m = E \cdot \prod_{r=0}^{m-1} Q_r, \quad (7.28)$$

где  $m$  — число триггеров в счетчике (для выпускаемых ИС  $m = 4$  и  $8$ ). Конечно, выпускаются и счетчики, в которых управление сигналами  $P_0$  и  $E$  отсутствует.

Простота операций, выполняемых счетчиками, и строго определенное назначение информационных входов триггеров позволяет при описании счетчиков ограничиться указанием только типа или функции переходов (7.22) – (7.27) используемых триггеров и функции переноса (7.28) или получаемой из функции (7.28) подстановкой значения управляющего сигнала  $E = 1$ .

На рис. 7.46 приведены синхронные двоичные счетчики:

555IE10, 1561IE21, CD40161, 74AC11161 — счетчик по *mod* 16 с переносом (7.28) при  $m = 4$ , выполненный на  $D$ - $T$ - $L/R$ -триггерах (7.22), с синхронной загрузкой данных  $d_M = D_3D_2D_1D_0$  ( $\bar{L} = 1$  — счет,  $\bar{L} = 0$  — загрузка) и асинхронным потенциальным сбросом в нулевое состояние значением сигнала  $\bar{R} = 0$ ;

1533IE18, MC14163, CD40163, 74AC11163 — счетчик по *mod* 16 с переносом (7.28) при  $m = 4$ , выполненный на  $D$ - $T$ - $L$ - $R$ -триггерах (7.23), с синхронной загрузкой данных  $d_M = D_3D_2D_1D_0$  ( $\bar{L} = 1$  — счет,  $\bar{L} = 0$  — загрузка) и синхронным сбросом в нулевое состояние значением сигнала  $\bar{R} = 0$  (вход  $\bar{R}$  имеет приоритет по отношению ко входу  $\bar{L}$ );

1554IE23, 561IE10, 74HC4520 — два счетчика по *mod* 16 с асинхронным потенциальным сбросом в нулевое состояние значением сигнала  $R = 1$ , выполненные на  $T/R$ -триггерах (7.27);

74ALS561A — счетчик по *mod* 16 с двумя переносами (7.28) при  $m = 4$  и  $RC = P_0E \cdot P_4H$  ( $RC$  — *Ripple Carry* — последовательный перенос), выполненный на  $D$ - $T$ - $L$ - $R/L$ -триггерах (7.25), с синхронной ( $\bar{S}\bar{L} = 0$  — *Synchronous Load*) и асинхронной потенциальной ( $\bar{A}\bar{L} = 0$  — *Asynchronous Load*) загрузкой данных  $d_M = D_3D_2D_1D_0$  и синхронным ( $\bar{S}\bar{R} = 0$  — *Synchronous Reset*) и асинхронным потенциальным ( $\bar{A}\bar{R} = 0$  — *Asynchronous Reset*) сбросом в нулевое состояние (входы  $\bar{S}\bar{R}$  и  $\bar{A}\bar{R}$  имеют при-

оритет по отношению ко входам  $\overline{SL}$  и  $\overline{AL}$ ); выходы счетчика

$$DO_r = \begin{cases} Q_r & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1 \end{cases}$$

(схему используемых триггеров см. на рис. 4.12 — дополнительно требуется выполнить только соединение  $AD = SD = D$ );

74ALS8161, 74AC11461 — счетчик по  $\text{mod } 256$  (во всем, за исключением числа разрядов  $m = 8$  и замены некоторых прямых сигналов на инверсные, аналогичен счетчику '161 — см. ИС 555ИЕ10);

74ALS8163, 74AC11463 — счетчик по  $\text{mod } 256$  (во всем, за исключением числа разрядов  $m = 8$  и замены некоторых прямых сигналов на инверсные, аналогичен счетчику '163 — см. ИС 1533ИЕ18).

На рис. 7.47 изображена принципиальная схема двоичного синхронного счетчика 555ИЕ10, выполненная на основании (7.21) и (7.28). Если  $D$ - $T$ - $L/R$ -триггеры детализировать, например так, как показано на рис. 4.11,а и 4.13,а ( $\overline{SR} \equiv 1$ ,  $\overline{AR} = \overline{R}$ ), то можно получить различные варианты принципиальных схем одного и того же счетчика. Используются и модификации этих вариантов, получаемые снижением порядка переключательных функций с целью повышения быстродействия счетчика.

В счетчиках 561ИЕ10 используется тактовый сигнал, формируемый двухходовым ЛЭ. На рис. 7.48,а изображены две эквивалентные схемы, поясняющие воздействие на триггеры таких динамических входов. В обеих схемах на триггер воздействует импульсный сигнал

$$d\overline{H}_1 \vee \overline{H}_2 = d(H_1 H_2) = H_2^* dH_1 \vee H_1^* dH_2,$$

из чего следует двойственность изображений тактового сигнала на условных графических обозначениях триггеров, показанная на рис. 7.48,б. В § 7.4 уже были рассмотрены подобные динамические входы (см. рис. 7.42,а).

Триггеры на рис. 7.48,б запускаются перепадами тактового сигнала  $\overline{H}_1$  с 0 на 1 при значении  $H_2 \equiv 1$  и перепадами тактового сигнала  $H_2$  с 1 на 0 при значении  $\overline{H}_1 \equiv 0$ . Таким образом, пользователь может выбирать тип перехода тактового сигнала (с 0 на 1 или с 1 на 0), воздействующего на триггеры. Один из входов  $\overline{H}_1$  или  $H_2$  можно использовать для стробирования тактового сигнала  $H$ , как показано на рис. 7.48,в на примере триггера со счетным входом  $T = CE$  (счетчика по  $\text{mod } 2$ ). Счет разрешен только при значении  $CE = 1$  ( $CE$  — *Count Enable* — разре-

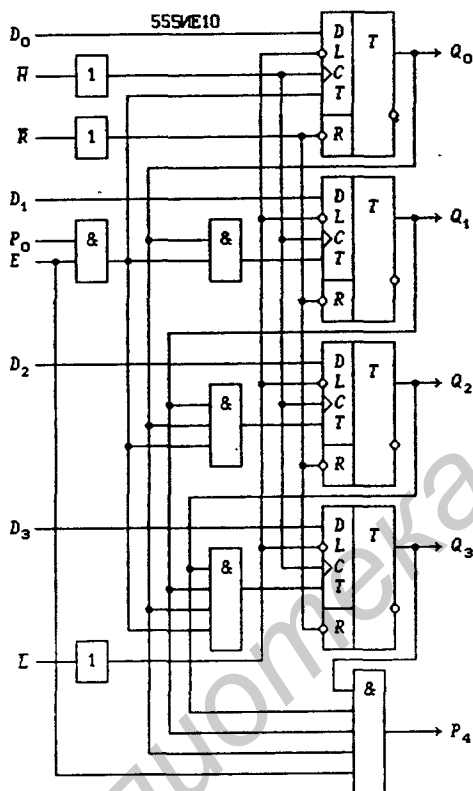


Рис. 7.47

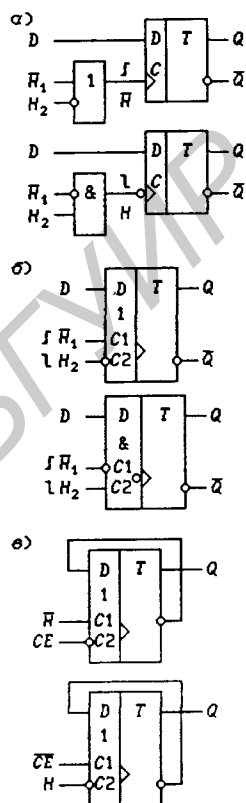


Рис. 7.48

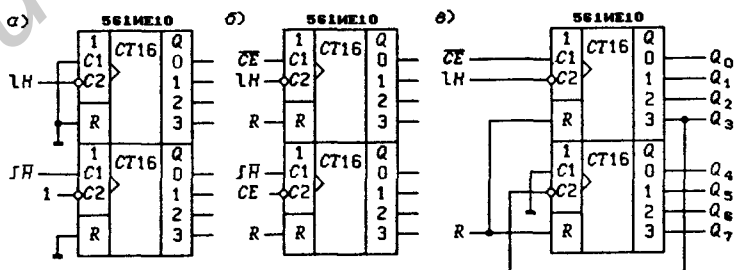


Рис. 7.49

ние счета). Данные триггеры описываются функцией переходов  $Q^+ = Q \oplus d(CE \cdot H)$ .

Включение счетчиков 561ИЕ10 только для счета тактовых сигналов по  $mod\ 16$  представлено на рис. 7.49,а, а при использовании управления тактовым сигналом  $H$  и входа сброса  $R$  — на рис. 7.49,б. Синхронные счетчики можно включать последовательно, подавая выходной сигнал старшего разряда  $Q_3$  одного счетчика на тактовый вход  $H$  другого счетчика. Для получения двоичного счета второй счетчик по  $mod\ 16$  должен вести счет перепадов сигнала  $Q_3$  с 1 на 0 ( $dQ_3 = 1$  — значение импульсного сигнала, воздействующего на второй счетчик). На рис. 7.49,в изображен асинхронный импульсный счетчик по  $mod\ 256$  с двоичным счетом (двоичный счетчик). Если сигнал  $Q_3$  подать на другой тактовый вход второго счетчика, то получится некоторый счетчик, который нельзя называть двоичным ( $dQ_3 = 1$  — значение импульсного сигнала, воздействующего на второй счетчик).

**Каскадирование двоичных счетчиков.** Основные принципы каскадирования счетчиков были описаны ранее (см. § 4.5). Управляющие входы  $P_0$  и  $E$  позволяют реализовать синхронный двоичный счетчик по  $mod\ 2^{4m}$  или по  $mod\ 2^{8m}$ , где  $m$  — число счетчиков по  $mod\ 2^4$  (например, ИС 555ИЕ10 и 1533ИЕ18) или по  $mod\ 2^8$  (например, ИС 74ALS8161 и 74ALS8163).

На рис. 7.50,а показана структурная схема счетчика по  $mod\ 2^{20}$  ( $2^{20} = 1048576$ ), иллюстрирующая метод каскадирования счетчиков по  $mod\ 16$  с использованием только входов  $E$  ( $CE$  — разрешение счета). На основании (7.28), легко получить:

$$P_4 = CE \cdot \prod_{r=0}^3 Q_r, \quad P_8 = P_4 \cdot \prod_{r=4}^7 Q_r, \quad P_{12} = P_8 \cdot \prod_{r=8}^{11} Q_r, \\ P_{16} = P_{12} \cdot \prod_{r=12}^{15} Q_r, \quad P_{20} = P_{16} \cdot \prod_{r=16}^{19} Q_r.$$

Описанная схема называется счетчиком с последовательным переносом, так как сигнал  $CE$  или перенос  $P_4$  при  $CE \equiv 1$  последовательно распространяются через все ИС. Действительно, полученные функции переносов  $P_k$  последовательными подстановками можно представить в общем виде:

$$P_k = CE \cdot \prod_{r=0}^{k-1} Q_r, \quad (7.29)$$

где  $k = 4, 8, 12, 16, 20$ .

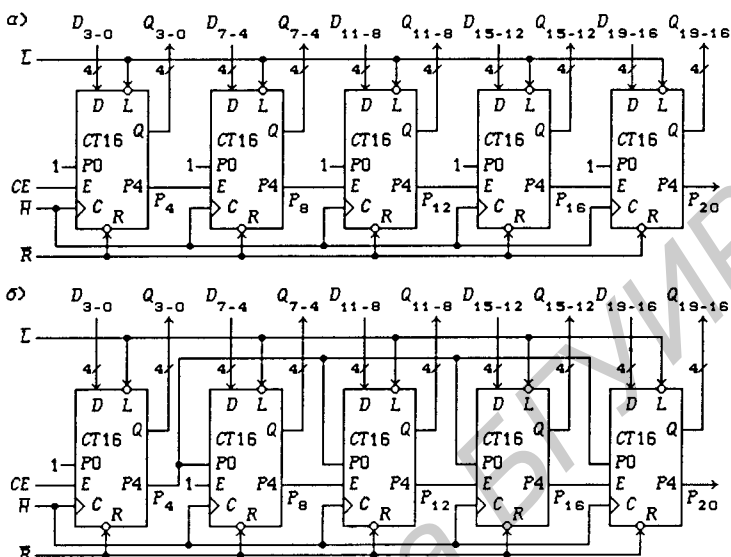


Рис. 7.50

В многокаскадных счетчиках с последовательным переносом функции переноса формируются многоярусными КС. Следовательно, их недостатком является значительное уменьшение максимального значения частоты тактового сигнала по сравнению с максимально допустимой для одного счетчика по  $\text{mod } 16$  (для правильного срабатывания триггеров счетчика задержка сигнала  $P_4$  во всех последовательно включенных счетчиках не должна превышать периода тактового сигнала).

Длительность активного уровня (1) сигнала переноса  $P_4$  равна периоду  $T_H$  тактового сигнала  $\bar{H}$ , а значит и активные уровни всех остальных сигналов переноса  $P_k$  ( $k = 8, 12, 16, \dots$ ) без учета задержек имеют такую же длительность. Из-за последовательной задержки сигнала переноса  $P_4$  каждый следующий сигнал переноса  $P_k$  имеет меньшую длительность активного уровня, чем предыдущий  $P_{k-4}$ .

Структурная схема счетчика по  $\text{mod } 2^{20}$  с параллельным переносом представлена на рис. 7.50, б. На основании (7.28), легко получить:

$$P_4 = CE \cdot \prod_{\tau=0}^3 Q_{\tau}, \quad P_8 = \prod_{\tau=4}^7 Q_{\tau}, \quad P_{12} = P_8 \cdot \prod_{\tau=8}^{11} Q_{\tau},$$

$$P_{16} = P_{12} \cdot \prod_{\tau=12}^{15} Q_{\tau}, \quad P_{20} = P_{16} \cdot \prod_{\tau=16}^{19} Q_{\tau},$$

т.е. сигналы переносов  $P_8, P_{12}, P_{16}$  и  $P_{20}$  не зависят от состояний триггеров  $Q_0, Q_1, Q_2$  и  $Q_3$ , а значит длительность активных уровней всех этих сигналов определяется длительностью значения сигнала переноса  $P_8 = 1$ , равной  $16 \cdot T_H$  (длительность значения сигнала  $P_4 = 1$  равна периоду тактового сигнала  $T_H$ ).

Максимально допустимая частота тактового сигнала у этого счетчика не зависит от числа используемых ИС, а определяется только быстродействием триггеров и временем прохождения сигнала  $P_4$  через формирующий его ЛЭ, находящийся внутри ИС, и цепи формирования функций возбуждения  $T_r$  одного счетчика по  $\text{mod } 16$ . Это объясняется тем, что последовательно распространяется через ИС сигнал переноса  $P_8$ , длительность активного уровня которого в 16 раз больше, чем у сигнала  $P_4$  (при практически используемых разрядностях счетчиков задержка сигнала  $P_8$  на время  $16 \cdot T_H$  невозможна).

Сигналы переноса  $P_k$  в многокаскадных счетчиках с параллельным переносом, построенных на двоичных счетчиках по  $\text{mod } 16$ , можно представить в общем виде:

$$P_4 = CE \cdot \prod_{\tau=0}^3 Q_{\tau}, \quad P_k = \prod_{\tau=4}^{k-1} Q_{\tau}, \quad (7.30)$$

где  $k = 8, 12, 16, 20, \dots$

Принципиальная схема счетчика по  $\text{mod } 2^{12}$  с последовательным переносом, выполненная на трех ИС 555ИЕ10, представлена на рис. 7.51,а, а с параллельным переносом — на рис. 7.51,б. Параллельная загрузка 12-разрядного двоичного числа  $d_M = D_{11} \dots D_1 D_0$  значением сигнала  $\bar{L} = 0$  позволяет начинать счет с заданного начального внутреннего состояния счетчика.

Счетчики с синхронной параллельной загрузкой данных можно использовать для построения сдвигающих регистров и многокаскадных счетчиков с последовательной загрузкой данных и последовательным выводом результата счета. Счетчик по  $\text{mod } 2^{12}$  со сдвигом 4-разрядных чисел показан на рис. 7.52,а. Сигнал управления  $CT/\bar{SH}$  (*Count/Shift*) переключает режимы работы счетчика:  $CT/\bar{SH} = 1$  — счет,  $CT/\bar{SH} = 0$  — сдвиг. Загрузка данных осуществляется по последовательным входам  $DS^0, DS^1, DS^2$  и  $DS^3$ , а вывод результата счета — по последовательным выходам  $SO^0, SO^1, SO^2$  и  $SO^3$ . Загрузку данных и вывод результата счета можно выполнять одновременно. При значении сигнала управления  $CT/\bar{SH} \equiv 0$  счетчик превращается в  $3 \times 4$ -разрядный сдвигающий регистр.

Другой вариант счетчика с последовательной загрузкой дан-

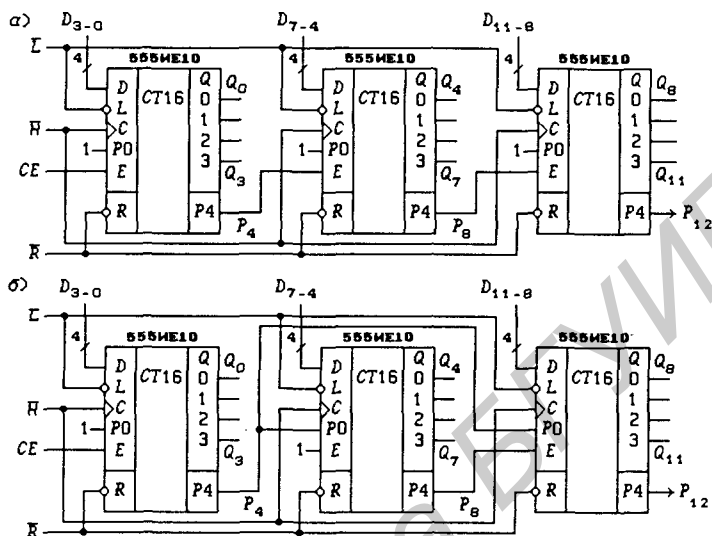


Рис. 7.51

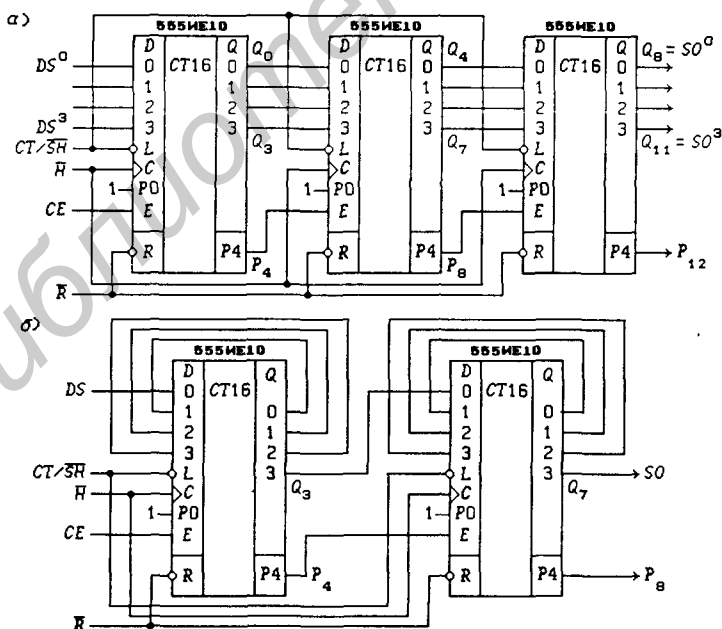


Рис. 7.52



ных и последовательным выводом результата счета приведен на рис. 7.52,б — здесь загрузка данных производится по одному последовательному входу  $DS$ , а вывод результата счета — по одному последовательному выходу  $SO$ . При значении сигнала управления  $CT/\overline{SH} \equiv 0$  счетчик превращается в 8-разрядный сдвигающий регистр. Значения сигналов  $CT/\overline{SH} = 1$  и  $CE = 0$  задают режим хранения данных.

**Программирование модуля пересчета двоичных счетчиков.** Если загрузку двоичных чисел  $d_M = D_3D_2D_1D_0$  производить в счетчик по  $mod\ 16$ , когда он устанавливается в определенное внутреннее состояние  $\mu_j = (e_{Q_3}, e_{Q_2}, e_{Q_1}, e_{Q_0})$ , то модуль пересчета будет определяться величиной  $d_M$  ( $j = e_{Q_3}e_{Q_2}e_{Q_1}e_{Q_0} = 0, 1, \dots, 15$ ). Таким образом, программирование модуля пересчета можно осуществить подключением выхода  $\overline{K}_j(\mu)$  детектора состояния  $\mu_j$  ко входу счетчика  $\overline{L}$  для загрузки в каждом цикле пересчета числа  $d_M$ .

Самая общая схема счетчика с программируемым модулем пересчета изображена на рис. 7.53,а. Здесь модуль пересчета можно изменять как с помощью загружаемого числа  $d_M$  при  $j = const$ , так и механическим переключением выходного сигнала дешифратора  $\overline{K}_j$ , подаваемого на вход  $\overline{L}$  счетчика, при  $d_M = const$ . Запрет счета задается значением сигнала  $CE = 0$ . Выключается программирование модуля пересчета значением сигнала  $\overline{E} = 1$  (при этом выходные сигналы дешифратора  $\overline{K}_j = 1$  и получается счетчик по  $mod\ 16$ ).

Связь между модулем пересчета  $M$ , номером внутреннего состояния счетчика  $j$  и загружаемым числом  $d_M$  легко установить по графу переходов, приведенному на рис. 7.53,б ( $j = 12$ ; на синхронную загрузку затрачивается один такт):

$$M = \begin{cases} j + 1 - d_M & \text{при } j > d_M, \\ j + 1 - d_M + 16 & \text{при } j < d_M, \end{cases} \quad (7.31)$$

(для вычисления значения  $M$  следует подсчитать число переходов между внутренними состояниями в замкнутых циклах, получаемых при загрузке чисел  $d_M$ ).

При значении загружаемого числа  $d_M = j$  счетчик не может выйти из данного внутреннего состояния, поэтому должно выполняться условие  $d_M \neq j$ . Если требуется производить останов счетчика в состоянии  $j$ , то следует задать  $d_M = j$ . При выключении загрузки или при загрузке числа  $d_M = j + 1$  устанавливается модуль пересчета  $M = 16$ .

Программирование модуля пересчета счетчика по  $mod\ 16$  заданием чисел  $d_M = D_3D_2D_1D_0$  и  $j = A_3A_2A_1A_0$ , показано

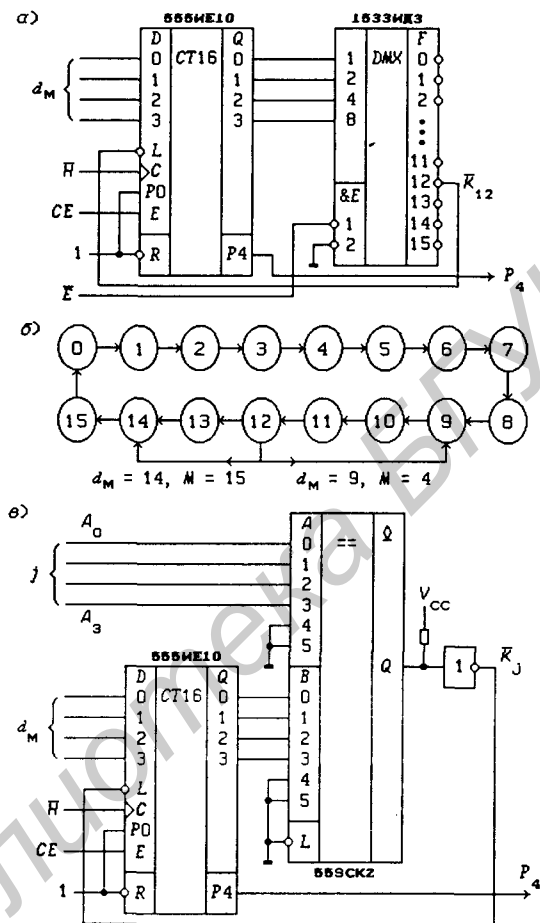


Рис. 7.53

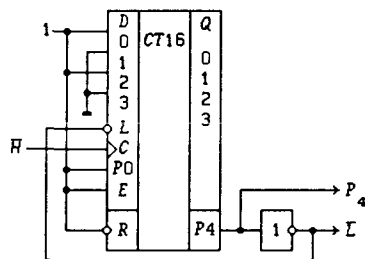


Рис. 7.54

на рис. 7.53,в — цифровой компаратор 559СК2 выдает значение сигнала  $\bar{K}_j = 0$  при достижении равенства  $Q_3Q_2Q_1Q_0 = A_3A_2A_1A_0$ . Рассмотренные методы программирования модуля пересчета требуют дополнительных затрат оборудования, что при практической реализации программируемых счетчиков нежелательно.

Из выражения (7.28) следует, что при значении сигнала  $E = 1$  функция  $P_4 = Q_3Q_2Q_1Q_0$ , а значит  $\bar{P}_4 = \bar{K}_{15}(\mu)$ , т. е. сигнал  $P_4$  можно использовать для программирования модуля пересчета (следует положить  $\bar{L} = \bar{P}_4$ ). Так как в этом случае  $j = 15$ , то из соотношения (7.31) следует, что модуль пересчета

$$M = 16 - d_M = 2^4 - d_M, \quad d_M \neq 15. \quad (7.32)$$

Легко показать, что модуль пересчета двоичного счетчика по  $\text{mod } 2^m$ , построенного из  $m$  триггеров, определяется соотношением

$$M = 2^m - d_M, \quad d_M \neq 2^m - 1, \quad (7.33)$$

если сигнал загрузки  $\bar{L} = \bar{K}_j$ , где  $j = 2^m - 1$  (выходные сигналы всех триггеров  $Q_r = 1$ ),  $d_M = D_{m-1} \dots D_1 D_0$  —  $m$ -разрядное двоичное число.

На рис. 7.54 показано включение счетчика по  $\text{mod } 16$  для получения модуля пересчета  $M = 11$  ( $d_M = 5$ ) при использовании сигнала загрузки  $\bar{L} = \bar{P}_4$ . По графу переходов (рис. 7.55,а) легко проверить справедливость соотношения (7.32). На рис. 7.55,б приведены временные диаграммы, поясняющие работу счетчика по  $\text{mod } 11$ , — внутренние состояния от 0 до 4 исключаются из цикла пересчета загрузкой в состоянии  $j = 15$  числа  $d_M = 5$ .

Недостатком рассмотренного метода программирования модуля пересчета является перенос начала счета с 0 на число  $d_M$ . Выходные сигналы триггеров  $Q_r$  при программировании модуля пересчета претерпевают значительные изменения, поэтому выходным сигналом таких программируемых счетчиков обычно является сигнал  $P_4$  (или  $\bar{L} = \bar{P}_4$ ), длительность которого равна периоду  $T_H$  тактового сигнала, т. е. счетчик используется в качестве делителя частоты с программируемым коэффициентом деления.

Для переключения счетчика из режима счета в режим загрузки на вход  $\bar{L}$  можно подавать и выходные сигналы счетчика  $Q_r$ . Если числа  $d_M$  задавать также с помощью сигналов  $Q_r$ , то можно получить делитель частоты со скважностью 2 выходного сигнала при четном значении модуля пересчета  $M \neq 2^k$ . В табл. 7.6 приведены значения сигналов  $\bar{L}$  и  $D_r$ , обеспечивающие

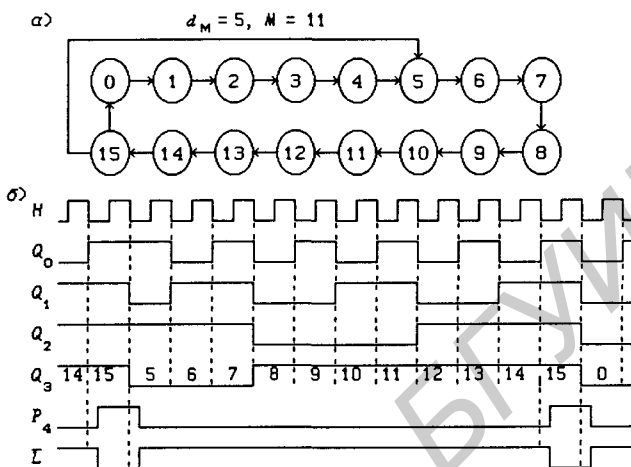


Рис. 7.55

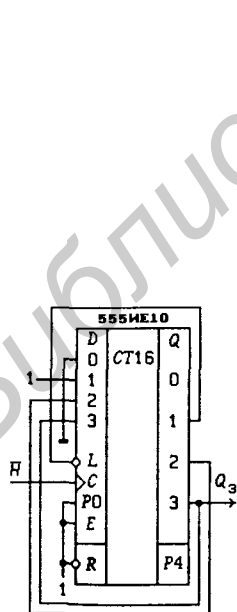


Рис. 7.56

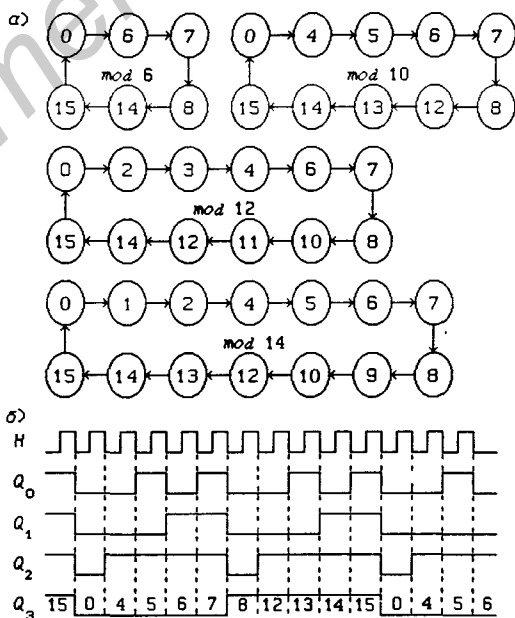


Рис. 7.57

Таблица 7.6. Программирование модуля пересчета

$\bar{L}$	$D_3$	$D_2$	$D_1$	$D_0$	$M$
$Q_1$	$Q_3$	1	1	0	6
$Q_2$	$Q_3$	1	0	0	10
$Q_1$	$Q_3$	$Q_2$	1	0	12
$Q_2$	$Q_3$	$Q_1$	$Q_0$	$\bar{Q}_1\bar{Q}_0$	14

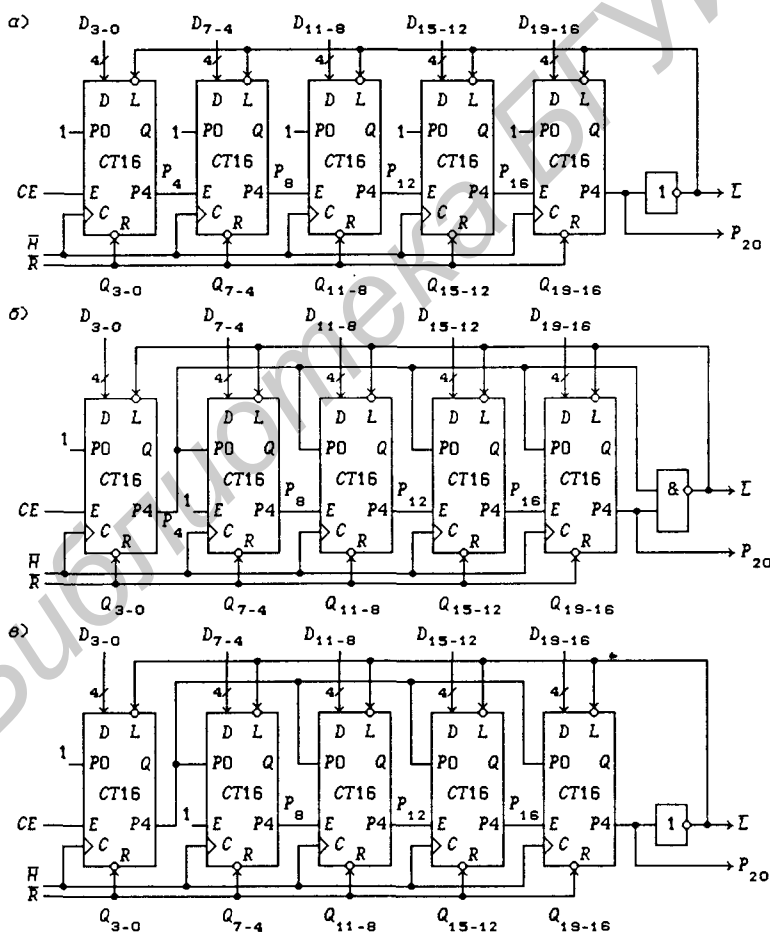


Рис. 7.58

скважность 2 выходного сигнала  $Q_3$  [30], а на рис. 7.56 представлена схема включения счетчика 555ИЕ10 для получения коэффициента деления  $M = 12$ . На рис. 7.57,а показаны графы переходов счетчиков, построенных в соответствии с табл. 7.6. Для счетчика по *mod* 12 на рис. 7.57,б изображены временные диаграммы, соответствующие графу переходов этого счетчика.

Для программирования модуля пересчета многокаскадных двоичных счетчиков используется, как правило, сигнал загрузки  $\bar{L} = f(P_k)$ . На рис. 7.58,а показана структурная схема многокаскадного счетчика с последовательным переносом и сигналом загрузки  $\bar{L} = \bar{P}_{20}$ . На основании соотношения (7.29) при значении сигнала  $CE = 1$  сигнал загрузки  $\bar{L} = \bar{K}_j$ , где  $j = 2^{20} - 1$  (выходные сигналы всех триггеров  $Q_r = 1$ ), т.е. модуль пересчета счетчика  $M = 2^{20} - d_M$  при  $d_M \neq 2^{20} - 1$ , что следует из выражений (7.33) ( $d_M = D_{19} \dots D_1 D_0$  — 20-разрядное двоичное число). Соответствующим выбором числа  $d_M$  можно получить любой модуль пересчета от 2 до  $2^{20} = 1048576$ . Длительность выходного сигнала счетчика  $P_{20} = 1$  равна периоду тактового сигнала.

Структурная схема многокаскадного счетчика с параллельным переносом и сигналом загрузки  $\bar{L} = \overline{P_4 P_{20}}$  показана на рис. 7.58,б. На основании соотношений (7.30) при значении сигнала  $CE = 1$  сигнал загрузки  $\bar{L} = \bar{K}_j$ , где  $j = 2^{20} - 1$ , т.е. программирование модуля пересчета этого счетчика ничем не отличается от программирования модуля пересчета счетчика с последовательным переносом. В частности, модуль пересчета определяется соотношением (7.33), т.е. для 20-разрядного двоичного счетчика  $M = 2^{20} - d_M$  при  $0 \leq d_M < 2^{20} - 1$ .

Вторая структурная схема многокаскадного счетчика с параллельным переносом и сигналом загрузки  $\bar{L} = \bar{P}_{20}$  показана на рис. 7.58,в. На основании соотношений (7.30) сигнал переноса  $P_{20} = Q_{19} \dots Q_5 \cdot Q_4$ , т.е. загрузка числа  $d_M$  производится в состоянии счетчика

$$j = 1 \dots 110000 = 2^{20} - 1 - 15$$

( $Q_r = 1$  для  $4 \leq r \leq 19$  и  $Q_r = 0$  для  $0 \leq r \leq 3$ ) — на 15 тактов раньше, чем в предыдущем счетчике. Из этого следует, что модуль пересчета счетчика с параллельным переносом и сигналом загрузки  $\bar{L} = \bar{P}_{20}$  определяется выражением

$$M = 2^m - 15 - d_M, \quad 0 \leq d_M \leq 2^m - 2^4 - 1, \quad (7.34)$$

где  $m = 20$ . Длительность значения сигнала  $P_{20} = 1$  равна периоду  $T_H$  тактового сигнала  $\bar{H}$  (в каждом внутреннем состоянии,

а значит и в состоянии загрузки, счетчик может находиться только один такт), поэтому задержка сигнала переноса  $P_8$  при распространении его до выхода  $P_{20}$  должна быть меньше  $T_H$ .

Наибольшее быстродействие имеет программируемый счетчик, представленный на рис. 7.58,б, так как активный уровень сигнала  $\bar{L} = 0$  определяется значением переноса  $P_4 = 1$ , который без задержки подается по параллельной цепи на ЛЭ И-НЕ.

Из выражения (7.33) следует, что для задания модуля пересчета  $M$ , в счетчик необходимо загрузить число

$$d_M = 2^m - M, \quad 0 \leq d_M \leq 2^m - 2. \quad (7.35)$$

Вычисление значения  $d_M$  по этой формуле не очень удобно, так как число  $d_M$  требуется представить в двоичной системе счисления. Поскольку

$$\begin{aligned} M &= 2^m - d_M = \sum_{r=0}^{m-1} 2^r + 1 - \sum_{r=0}^{m-1} D_r 2^r = \\ &= \sum_{r=0}^{m-1} (1 - D_r) \cdot 2^r + 1 = \sum_{r=0}^{m-1} \bar{D}_r 2^r + 1 = \bar{d}_M + 1, \end{aligned}$$

где  $\bar{d}_M = \bar{D}_{m-1} \dots \bar{D}_1 \bar{D}_0$ , то

$$\bar{d}_M = M - 1. \quad (7.36)$$

Такая форма представления модуля пересчета более удобна для вычисления числа  $d_M$  по заданному десятичному значению  $M$ : следует найти значение  $\bar{d}_M = M - 1$ , переведя десятичный код числа  $M - 1$  в двоичный, а затем проинвертировать все разряды.

**П р и м е р.** Пусть требуется запрограммировать модуль пересчета  $M = 240336$ . Тогда из соотношения (7.36) следует, что

$$\begin{aligned} \bar{d}_M &= M - 1 = 240335 = 0011.1010.1010.1100.1111, \\ d_M &= 1100.0101.0101.0011.0000, \end{aligned}$$

т. е. требуется 20-разрядный двоичный счетчик с загрузкой числа  $d_M$ , построенный по схеме, изображенной на рис. 7.58,а или 7.58,б.

Соотношение (7.34) также можно преобразовать для упрощения вычисления загружаемого числа  $d_M$ :

$$M + 15 = 2^m - d_M = \bar{d}_M + 1 \text{ и } \bar{d}_M = M + 14.$$

На рис. 7.59 изображены принципиальные схемы 12-разрядных программируемых двоичных счетчиков, соответствующие

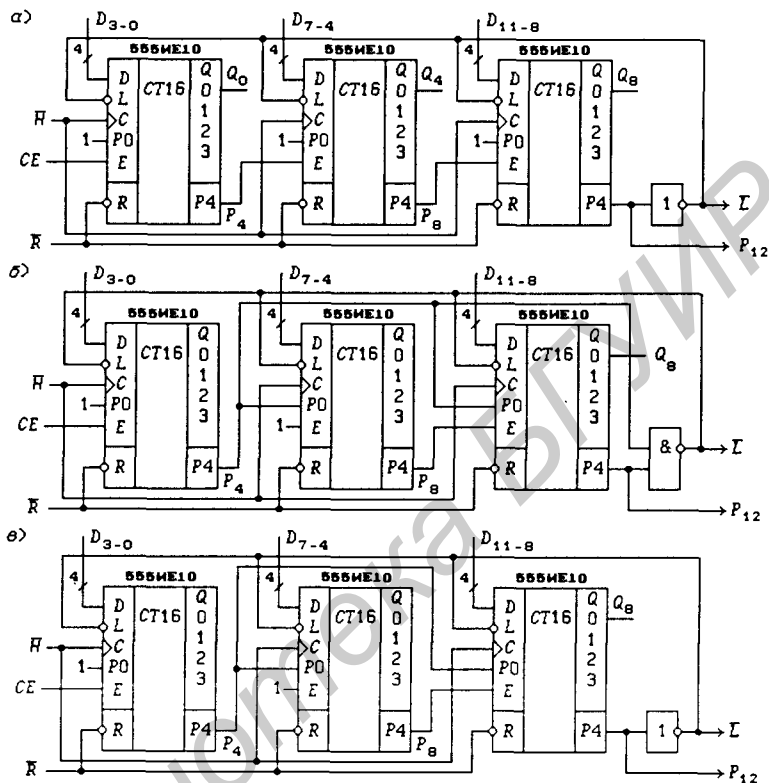


Рис. 7.59

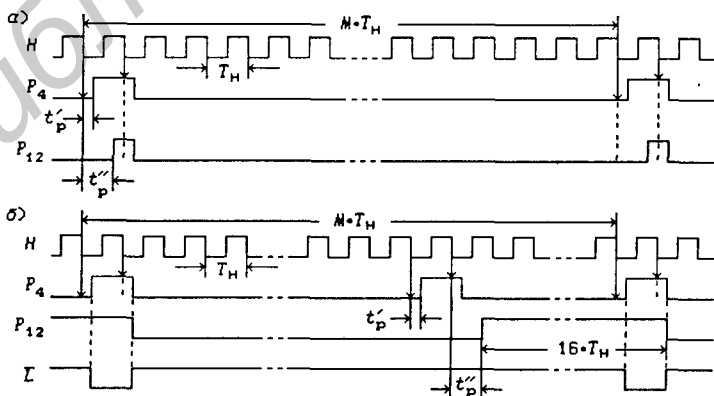


Рис. 7.60



структурным схемам, приведенным на рис. 7.58. Сигналы загрузки  $\bar{L}$  и выходные сигналы  $P_{12}$  описываются функциями:

$$\bar{L} = \overline{CE \cdot Q_{11} \cdots Q_1 \cdot Q_0}, P_{12} = CE \cdot Q_{11} \cdots Q_1 \cdot Q_0 \text{ (рис. 7.59, а),}$$

$$\bar{L} = \overline{CE \cdot Q_{11} \cdots Q_1 \cdot Q_0}, P_{12} = Q_{11} \cdots Q_5 \cdot Q_4 \text{ (рис. 7.59, б),}$$

$$\bar{L} = \overline{Q_{11} \cdots Q_5 \cdot Q_4}, P_{12} = Q_{11} \cdots Q_5 \cdot Q_4 \text{ (рис. 7.59, в).}$$

Временные диаграммы для счетчика с последовательным переносом (рис. 7.59,а) показаны на рис. 7.60,а — задержка  $t''_P$  сигнала  $P_{12}$  относительно тактового сигнала вызвана распространением сигнала  $P_4$  через две ИС, причем  $t''_P \gg t'_P$  для многокаскадных счетчиков. Временные диаграммы для счетчика с параллельным переносом (рис. 7.59,б) изображены на рис. 7.60,б — задержка  $t''_P$  сигнала  $P_{12}$  вызвана распространением сигнала  $P_8$ , причем  $t''_P \gg t'_P$  для многокаскадных счетчиков, однако задержка сигнала загрузки  $\bar{L}$  определяется исключительно задержкой  $t'_P$  сигнала переноса  $P_4$  относительно тактового сигнала (задержкой сигналов в ЛЭ И-НЕ пренебрегли).

Для программирования модуля пересчета можно использовать также вход  $\bar{R}$  сброса счетчика в нулевое состояние (как синхронный, так и асинхронный). Если на синхронный вход сброса  $\bar{R}$  счетчика по  $mod 16$  подать активный уровень в момент времени, когда он находится в состоянии  $j = e_{Q_3}e_{Q_2}e_{Q_1}e_{Q_0}$ , то в следующем такте счетчик установится в состояние  $j = 0000$ . Из этого следует, что модуль пересчета счетчика с программированием модуля пересчета с помощью синхронного сброса определяется соотношением

$$M = j + 1 \quad (7.37)$$

(при асинхронном потенциальном сбросе модуль пересчета  $M = j$ , так как установка нулевого состояния производится немедленно — без участия тактового сигнала).

Таблица 7.7. Программирование модуля пересчета

R	M	
	ИЕ18	ИЕ10
$Q_0$	2	—
$Q_1$	3	2
$Q_2$	5	4
$Q_3$	9	8

Программирование модуля пересчета можно производить и сигналами  $\bar{R} = \bar{Q}_r$ , так как первый переход состояния каждого триггера  $Q_r$  с 0 на 1 при начале цикла пересчета в нулевом состоянии происходит при достижении в процессе двоичного счета состояния  $j = 2^r$ . В табл. 7.7 указаны модули пересчетов  $M$  при  $R = Q_r$ , из которой видно различие между синхронным и асинхронным входами сброса (555ИЕ18 — счетчик с синхронным входом сброса, 555ИЕ10 — счетчик с асинхронным входом сброса).

Счетчик по *mod* 9 с синхронным сбросом, изображенный на рис. 7.61,а, описывается графом переходов, показанным на рис. 7.61,б. Длительность выходного сигнала  $Q_3$  равна периоду тактового сигнала. Если же в этой схеме использовать ИС 555ИЕ10 (счетчик с асинхронным сбросом), то счетчик установится в нулевое состояние сразу же, как только на его выходе появится значение  $Q_3 = 1$ , а значит, модуль пересчета будет на 1 меньше, чем в предыдущем случае. Длительность сигнала  $Q_3 = 1$  определяется быстродействием триггеров счетчика и для ИС 555ИЕ10 составляет примерно 40 нс.

Достоинством программирования модуля пересчета с помощью сброса счетчика в нулевое состояние является сохранение естественного порядка счета, начиная с нуля, с возрастанием на единицу с каждым тактом числа, выдаваемого счетчиком (в каждом такте производится инкрементирование содержимого счетчика). Кроме того, входы загрузки данных освобождаются для выполнения иных функций.

Многокаскадные счетчики с синхронным сбросом программируются, как отмечалось в § 6.7, с помощью адресного компаратора 74ALS677А. Пусть требуется спроектировать счетчик с модулем пересчета  $M = 64896$ . Из соотношения (7.37) следует, что

$$j = M - 1 = 64895 = 1111.1101.0111.1111,$$

т. е. для программирования модуля пересчета следует положить

$$\begin{aligned} \bar{R} &= \bar{K}_{64895}(Q_{15}, \dots, Q_1, Q_0) = \\ &= \overline{Q_{15}Q_{14}Q_{13}Q_{12}Q_{11}Q_{10}Q_9Q_8Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0}. \end{aligned}$$

Эту функцию выполняет адресный компаратор при значении кода  $P_3P_2P_1P_0 = 0010$ . Принципиальная схема спроектированного счетчика изображена на рис. 7.62. Сигнал  $M$  (*Mode* — режим) используется для выключения режима программирования (при значении сигнала  $M = 1$  сигнал сброса  $\bar{R} = 1$  и модуль пересчета равен  $M_{\max} = 2^{16} = 65536$ ).

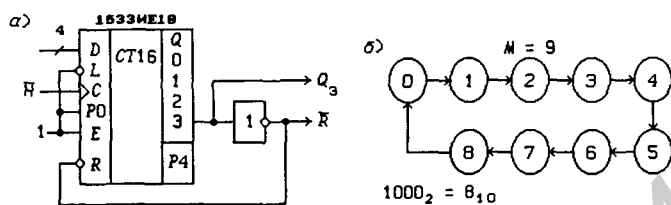


Рис. 7.61

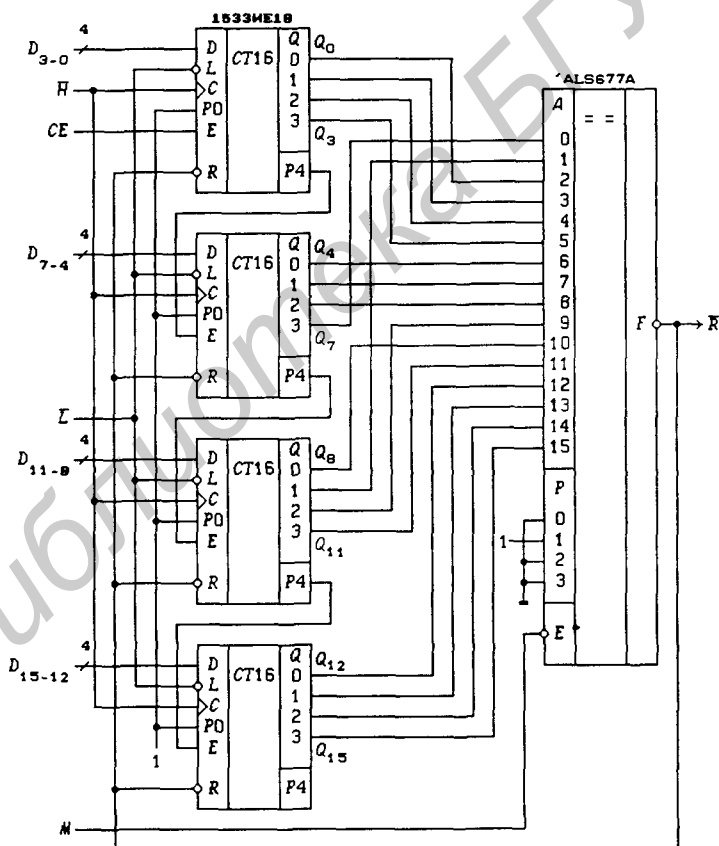


Рис. 7.62

**Переключение модулей пересчета двоичных счетчиков.** С помощью  $k$  управляющих сигналов  $x_k, \dots, x_2$  и  $x_1$  можно задать  $2^k$  модулей пересчета ( $k < m$ , где  $m$  — число разрядов двоичного счетчика). Для небольшого числа модулей пересчета их переключение осуществляется значительно проще, чем непосредственной загрузкой чисел  $d_M$  с возможностью программирования всех модулей пересчета от 2 до  $2^m$ .

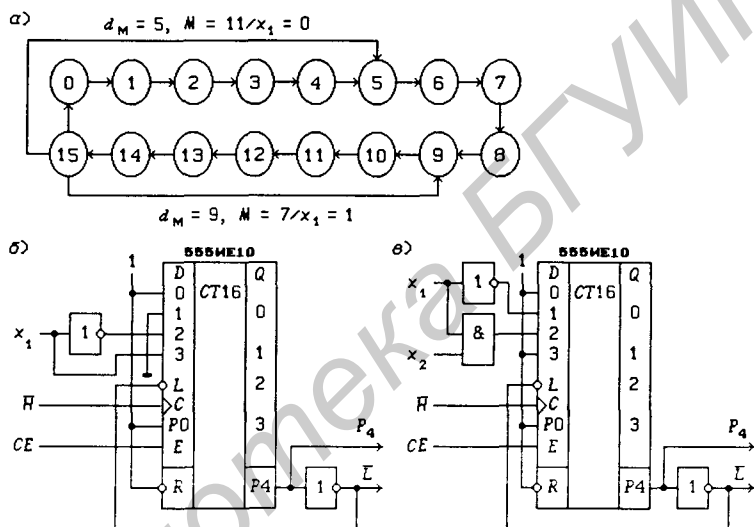


Рис. 7.63

**Пример 1.** Пусть требуется синтезировать счетчик с двумя модулями пересчета: счетчик по  $mod 11$  при  $x_1 = 0$  и счетчик по  $mod 7$  при  $x_1 = 1$ . Такой счетчик задается графом переходов, приведенным на рис. 7.63,а. На основании соотношения (7.32) составляется таблица истинности (табл. 7.8) для функций  $D_3, D_2, D_1$  и  $D_0$  ( $d_M = D_3D_2D_1D_0$ ), из которой непосредственно следует, что

$$D_3 = x_1, D_2 = \bar{x}_1, D_1 = 0, D_0 = 1.$$

Принципиальная схема синтезированного счетчика изображена на рис. 7.63,б. Сигнал  $CE$  используется для разрешения и запрета счета.

**Пример 2.** Пусть требуется синтезировать счетчик с тремя модулями пересчета: счетчик по  $mod 5$  при  $x_2 = \phi$  и  $x_1 = 0$ , счетчик по  $mod 7$  при  $x_2 = 0$  и  $x_1 = 1$ , счетчик по  $mod 3$  при  $x_2 = 1$  и  $x_1 = 1$ . На основании соотношения (7.32)

Таблица 7.8. Программирование модулей пересчета

$x_1$	$D_3 D_2 D_1 D_0$	$d_m$	$M$
0	0 1 0 1	5	11
1	1 0 0 1	9	7

Таблица 7.9. Программирование модулей пересчета

$x_2 x_1$	$D_3 D_2 D_1 D_0$	$d_m$	$M$
0 0	1 0 1 1	11	5
0 1	1 0 0 1	9	7
1 0	1 0 1 1	11	5
1 1	1 1 0 1	13	3

составляется таблица истинности (табл. 7.9) для функций  $D_3$ ,  $D_2$ ,  $D_1$  и  $D_0$ , из которой непосредственно следует, что

$$D_3 = 1, D_2 = x_2 x_1, D_1 = \bar{x}_1, D_0 = 1.$$

Принципиальная схема синтезированного счетчика изображена на рис. 7.63, в.

Аналогично производится синтез и многокаскадных двоичных счетчиков с переключаемым модулем пересчета.

**Функциональные устройства на основе двоичных счетчиков.** На рис. 7.64 приведены ИС:

74LS590, 74AC11590 — счетчик по  $mod\ 256$  с асинхронным потенциальным сбросом в нулевое состояние значением сигнала  $\bar{R} = 0$  и выходным синхронным регистром памяти, которые описываются функциями:

$$P_8 = \prod_{r=0}^7 Q_r, DO_r = \begin{cases} QR_r & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, \end{cases} \quad (7.38)$$

где  $QR_r$  — выходные сигналы триггеров регистра памяти,  $r = 0, 1, \dots, 7$  (рис. 7.65, а); управление сигналом  $\overline{CEN}$  (Clock Enable) выполнено по схеме, изображенной на рис. 7.20, в;

74LS591 — отличается от ИС 74LS590 только функциями

$$DO_r = \overline{E} \cdot \overline{QR}_r$$

(сигнал  $\overline{OE}$  следует заменить на  $\overline{E}$ );

74LS593, 74AC11593 — интерфейсное устройство с двунаправленной шиной данных  $DB_7 - DB_0$ , содержащее счетчик по  $mod\ 256$  на  $T/D-L-R$ -триггерах (7.26) и входной синхронный

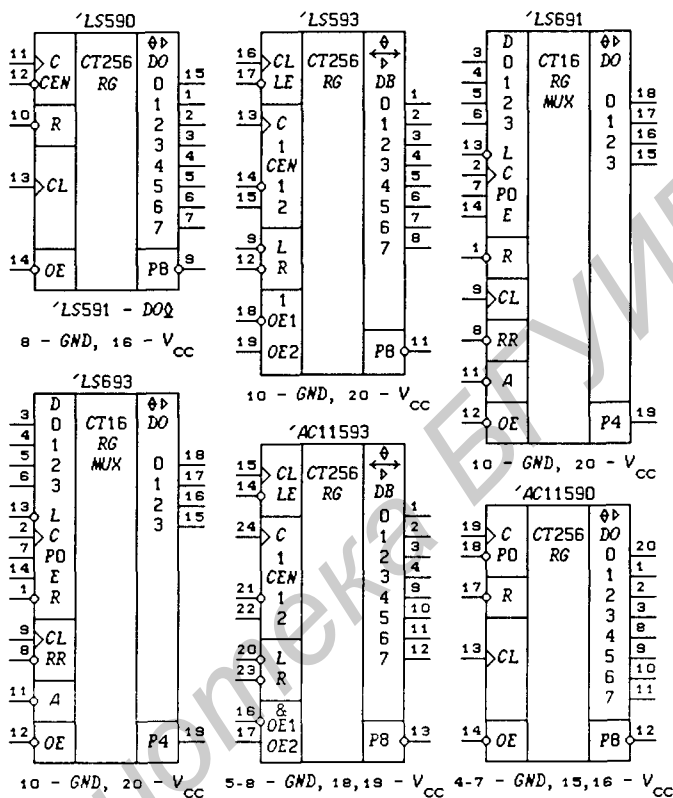


Рис. 7.64

регистр памяти на  $D$ - $L$ -триггерах (рис. 7.65,б), которое описывается функциями:

$$P_8 = \prod_{r=0}^7 Q_r, \quad DB_r = \begin{cases} Q_r & \text{при } OE = 1, \\ Z\text{-состояние} & \text{при } OE = 0, \end{cases} \quad (7.39)$$

$$QR_r^+ = DB_r LE \cdot dHL \vee QR_r \overline{LE} \cdot dHL,$$

где  $Q_r$  — выходные сигналы триггеров счетчика ( $r = 0, 1, \dots, 7$ ); сигнал управления  $OE = OE_1 \vee OE_2$ ; управление сигналом  $\overline{CEN} = \overline{CEN}_1 \overline{CEN}_2$  выполнено по схеме, изображенной на рис. 7.20,б;

74LS691 — интерфейсное устройство, содержащее счетчик по  $mod$  16 типа '161 (см. рис. 7.46), выходной синхронный ре-

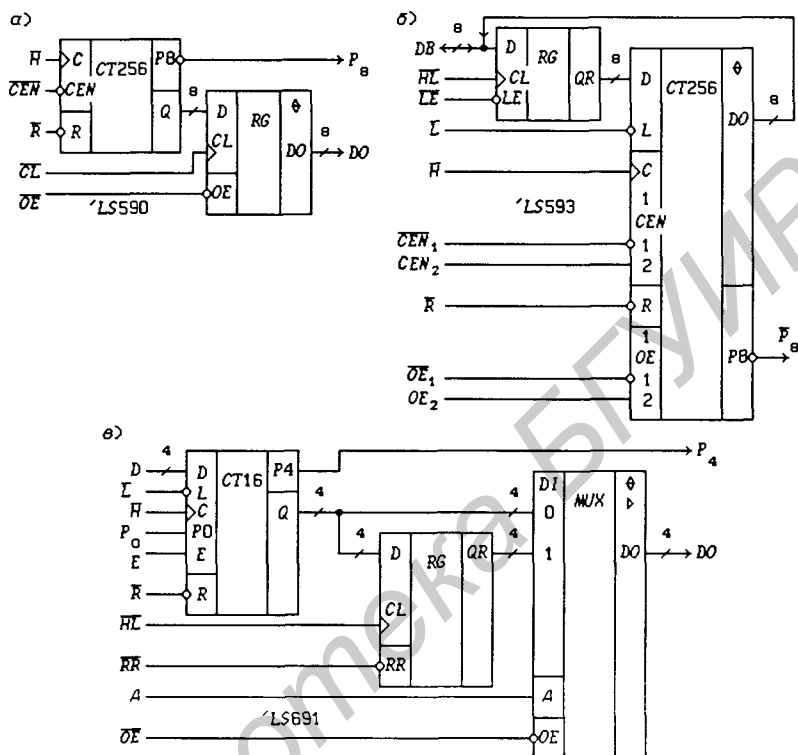


Рис. 7.65

гистр памяти с асинхронным потенциальным сбросом значением сигнала  $\overline{RR} = 0$  и 4-разрядный мультиплексор  $2 \rightarrow 1$  (рис. 7.65, в), которое описывается функциями:

$$DO_r = \begin{cases} Q_r \overline{A} \vee Q_r R_r A & \text{при } \overline{OE} = 0, \\ Z\text{-состояние} & \text{при } \overline{OE} = 1, \end{cases} \quad (7.40)$$

$$QR_r^+ = (Q_r dHL \vee QR_r \overline{dHL}) \cdot \overline{RR}, \quad r = 0, 1, 2, 3;$$

74LS693 — интерфейсное устройство, содержащее счетчик по *mod* 16 типа '163 (см. рис. 7.46), выходной синхронный регистр памяти с синхронным сбросом значением сигнала  $\overline{RR} = 0$  и 4-разрядный мультиплексор  $2 \rightarrow 1$  (рис. 7.65, в), которое описывается функциями (7.40) и

$$QR_r^+ = Q_r \overline{RR} \cdot dHL \vee QR_r \overline{dHL}, \quad r = 0, 1, 2, 3.$$

Каскадирование ИС 74LS590 показано на рис. 7.66,а, из которого на основании одного из соотношений (7.38) следует, что сигналы переносов

$$P_8 = \prod_{r=0}^7 Q_r, P_{16} = \prod_{r=8}^{15} Q_r, P_{24} = \prod_{r=16}^{23} Q_r,$$

$$\alpha = \overline{P_8} \vee \overline{P_{16}} = \overline{P_8 P_{16}}, \bar{\alpha} = \prod_{r=0}^{15} Q_r.$$

Сигнал переноса  $\alpha = \overline{K_{65535}}(Q_{15}, \dots, Q_1, Q_0)$  обеспечивает двоичный счет в трехкаскадном счетчике. Выходы с тремя состояниями  $DO_{23} - DO_0$  позволяют использовать рассмотренный счетчик по  $\text{mod } 2^{24}$  в качестве внешнего устройства микроконтроллеров и микроЭВМ. Сигнал  $\overline{CE}$  (*Count Enable*) используется для включения и выключения счета.

Использование ИС 74LS593 в качестве интерфейсного устройства микроконтроллеров, построенных на основе микропроцессора 580BM80, приведено на рис. 7.66,б. Сигнал  $\overline{L}$  асинхронной потенциальной загрузки данных  $QR_r$  ( $r = 0, 1, \dots, 15$ ) из регистров памяти в счетчики (см. рис. 7.65,б) на основании (7.39) с учетом стробирования тактовым сигналом  $\overline{H}$  можно представить в виде:

$$\overline{L} = \overline{P_8} \vee \overline{P_{16}} \vee \overline{H} = \overline{P_8 P_{16} H},$$

$$L = H \cdot \prod_{r=0}^{15} Q_r = K_{65535}(Q_{15}, \dots, Q_1, Q_0)$$

(стробирование введено для исключения ложных значений сигнала  $\overline{L} = 0$ , которые могут возникнуть при переходных процессах).

Таким образом, данное интерфейсное устройство представляет собой счетчик с программируемым модулем пересчета  $M$ . Отличие асинхронной загрузки от синхронной заключается в выполнении ее на один такт раньше, т.е. в том же такте, в котором формируется значение сигнала загрузки  $\overline{L} = 0$ , а не в следующем такте, как при синхронной загрузке. Исходя из этого, на основании соотношений (7.33) получим:

$$M = 2^m - 1 - d_M, 0 \leq d_M \leq 2^m - 3. \quad (7.41)$$

Структура системных шин на рис. 7.66,б показана для случая использования микропроцессора 580BM80 ( $DB$  — *Data Bus*,  $AB$  — *Address Bus*,  $CB$  — *Control Bus*,  $\overline{I/ORD}$  — *I/O Read*,  $\overline{I/OWR}$  — *I/O Write*,  $\overline{CS}_k$  — *Chip Select*). Программируется модуль пересчета записью в регистры памяти двухбайтового числа  $d_M = d_{M1}d_{M0} = 2^m - 1 - M$ . Младший  $d_{M0}$  и старший  $d_{M1}$  байты числа  $d_M$ , поступающие последовательно от микропроцессора по шине данных  $DB$  при выполнении команд программы



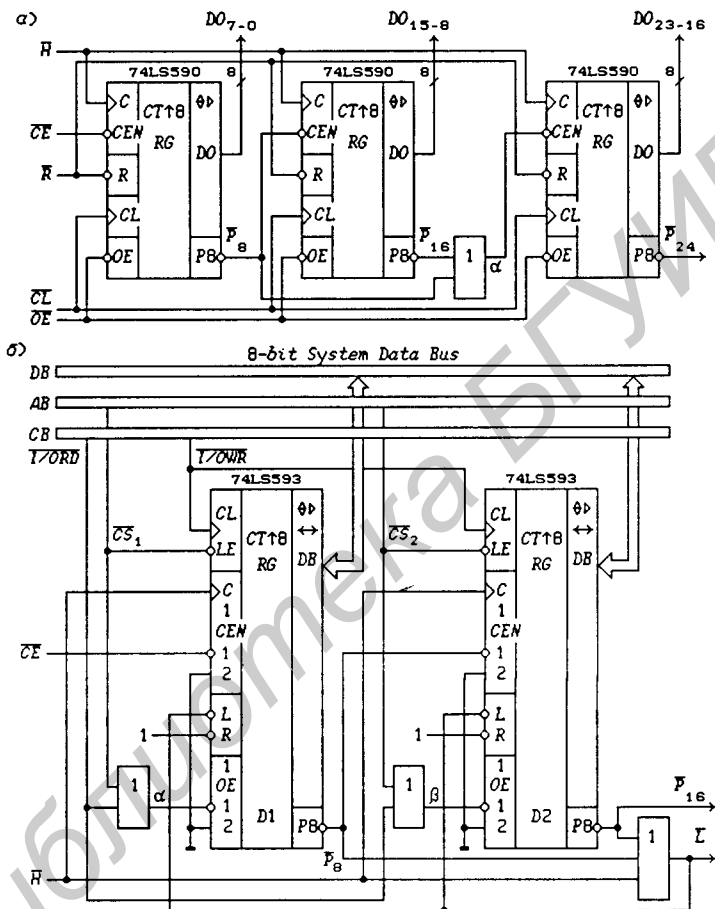


Рис. 7.66

*MVI A, dM0*; загрузка в аккумулятор *A* младшего байта  $d_{M0}$   
*OUT P\_CS1*; вывод  $d_{M0}$  из аккумулятора *A* в порт  $P\_CS1$   
*MVI A, dM1*; загрузка в аккумулятор *A* старшего байта  $d_{M1}$   
*OUT P\_CS2*; вывод  $d_{M1}$  из аккумулятора *A* в порт  $P\_CS2$ ,

записываются в регистры памяти переходом сигнала  $\overline{I/OWR}$  с 0 на 1 при значениях адресных сигналов  $\overline{CS}_1 = 0$  и  $\overline{CS}_2 = 0$ , выдаваемых дешифратором портов внешних устройств (8-разрядные двоичные операнды  $d_{M0}$ ,  $d_{M1}$ ,  $P\_CS1$  и  $P\_CS2$  определяются с помощью директив ассемблера).

Чтение состояния счетчика производится по шине данных  $DB$  сигналами

$$\alpha = \overline{I/ORD} \vee \overline{CS_1} = \overline{I/ORD \cdot CS_1},$$

$$\beta = \overline{I/ORD} \vee \overline{CS_2} = \overline{I/ORD \cdot CS_2}$$

при выполнении команд ввода

$IN P\_CS1$ ; ввод в аккумулятор  $A$  состояния счетчика  $D1$   
 $MOV B, A$ ; пересылка данных из аккумулятора  $A$  в регистр  $B$   
 $IN P\_CS2$ ; ввод в аккумулятор  $A$  состояния счетчика  $D2$

программы обслуживания внешнего устройства, выполняемой микропроцессором. При использовании только аппаратных выходов  $\overline{L}$  и  $\overline{P}_{16}$  внешнее устройство будет представлять собой делитель частоты с программируемым коэффициентом деления (ЛЭ ИЛИ  $\alpha$  и  $\beta$  при этом можно исключить). Длительность активного уровня сигнала  $\overline{P}_{16} = 0$  составляет  $255,5 \cdot T_H$  при модулях пересчета  $M > 256$  (при значениях  $M < 256$  сигнал  $\overline{P}_{16} \equiv 0$ , но при этом нет смысла использовать две ИС 74LS593;  $T_H$  — период тактового сигнала  $\overline{H}$ ), а длительность значения сигнала загрузки  $\overline{L} = 0$  определяется исключительно временем переходного процесса ( $30 - 40$  нс), вызываемого в середине такта воздействием сигнала  $\overline{L} = \overline{P_8 P_{16} H}$ . Сигнал  $\overline{L}$  можно использовать в качестве выходного сигнала делителя частоты при любых модулях пересчета, но следует помнить, что он имеет малую длительность.

## 7.6. Синхронные двоично-десятичные счетчики

Синтез и основные свойства синхронных двоично-десятичных счетчиков были рассмотрены в § 4.5. Граф переходов счетчика по  $mod 10$  изображен на рис. 7.67,а ( $-/P_4 = -/0$  и  $-/1$ ,  $P_4$  — сигнал переполнения счетчика). Этому графу переходов соответствуют функции возбуждения (4.38)  $T$ -триггеров:

$$\left. \begin{aligned} T_0 &= 1, T_1 = \overline{Q_3} Q_0, T_2 = Q_1 Q_0, \\ T_3 &= Q_2 Q_1 Q_0 \vee Q_3 Q_0, P_4 = Q_3 Q_0. \end{aligned} \right\} \quad (7.42)$$

На рис. 7.67,б показаны временные диаграммы синхронного счетчика по  $mod 10$ , соответствующие графу переходов, изображенному на рис. 7.67,а. Внутренние состояния счетчика  $\mu = (Q_3, Q_2, Q_1, Q_0)$  обозначены числами  $j = e_{Q_3} e_{Q_2} e_{Q_1} e_{Q_0} = 0, 1, \dots, 9$ , где  $e_{Q_r} = 0$  или  $1$  — состояние триггера  $Q_r$  ( $r = 0, 1, 2, 3$ ).

Граф переходов счетчика по  $mod 10$ , функции возбуждения триггеров которого

$$\begin{aligned} T_0 &= P_0, T_1 = P_0 \overline{Q_3} Q_0, T_2 = P_0 Q_1 Q_0, \\ T_3 &= P_0 Q_2 Q_1 Q_0 \vee P_0 Q_3 Q_0, P_4 = P_0 Q_3 Q_0, \end{aligned}$$

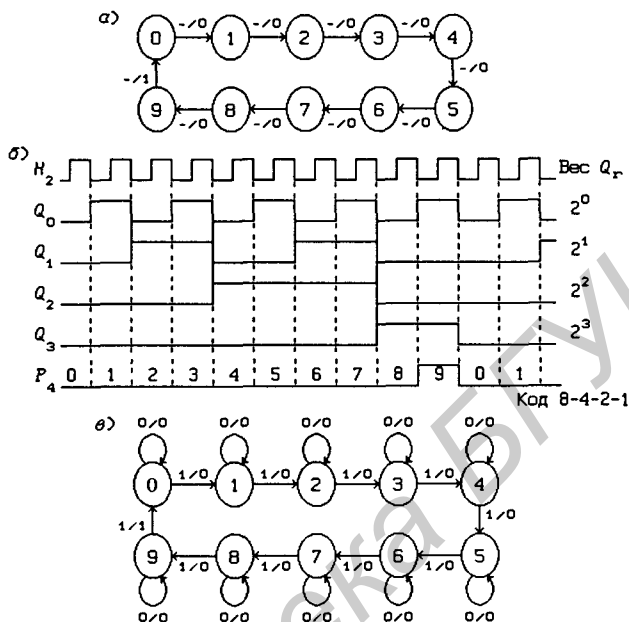


Рис. 7.67

изображен на рис. 7.67,б ( $P_0$  — сигнал разрешения счета и переноса;  $P_0/P_4 = 0/0, 1/0$  и  $1/1$ ). При значении сигнала управления  $P_0 = 0$  состояния счетчика не изменяются, что указывается на графе переходов петлями  $P_0/P_4 = 0/0$ .

**Двоично-десятичные счетчики.** Каждой ИС 4-разрядного синхронного двоичного счетчика, как правило, соответствует идентичная по цоколевке и функциональному назначению (кроме модуля пересчета) ИС двоично-десятичного счетчика. Функции возбуждения  $T_r$  триггеров счетчиков, обладающих наибольшими функциональными возможностями, как и в двоичных счетчиках, реализуются с предоставлением пользователю управления ими с помощью двух внешних сигналов  $P_0$  и  $E$  —  $P_0 E \cdot T_r$  для всех триггеров счетчика. При этом сигнал переноса счетчика описывается функцией

$$P_4 = E \cdot Q_3 Q_0. \quad (7.43)$$

Двоично-десятичные счетчики могут иметь и последовательный перенос:

$$RC = P_0 E \cdot P_4 H = P_0 E \cdot Q_3 Q_0 H. \quad (7.44)$$

Внешние свойства двоичных и двоично-десятичных счетчи-

ков не зависят от типа счета (от функций возбуждения триггеров  $T_r$ ), поэтому в любой схеме, построенной на двоичных счетчиках, можно использовать и соответствующие им двоично-десятичные счетчики (при этом все свойства схемы, кроме модуля пересчета, останутся неизменными). На основании этого для описания синхронных двоично-десятичных счетчиков достаточно указать соответствующие им двоичные счетчики и заменить функцию переноса (7.28) на функцию (7.43).

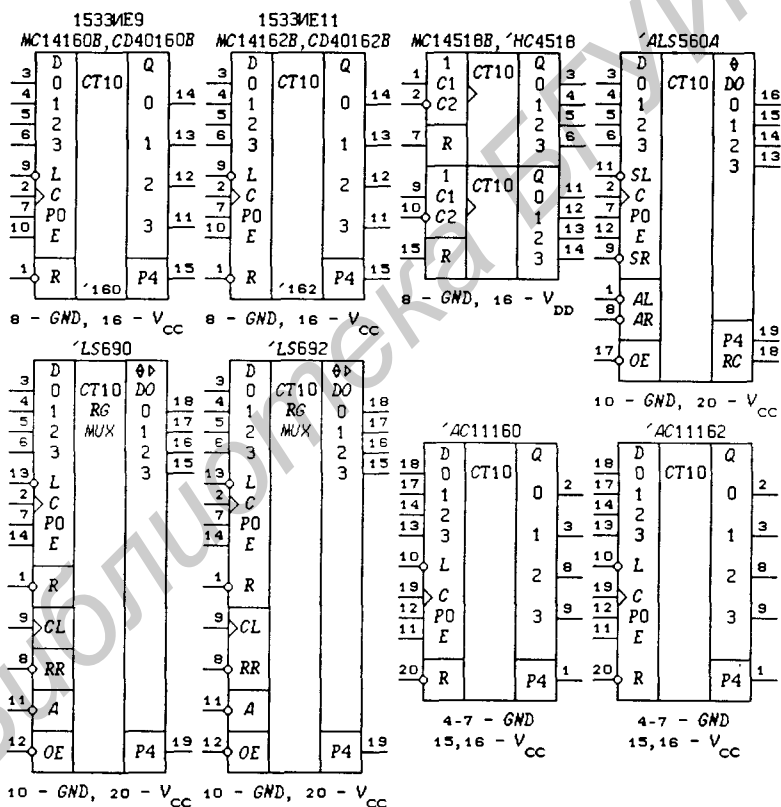


Рис. 7.68

На рис. 7.68 приведены ИС:

555IE9, MC14160B, CD40160B, 74AC11160 — счетчик по  $mod\ 10$ , аналогичный двоичному счетчику '161 (см. рис. 7.46);

1533IE11, MC14162B, CD40162B, 74AC11162 — счетчик по  $mod\ 10$ , аналогичный двоичному счетчику '163 (см. рис. 7.46);

*MC14518B*, *74HC4518* — два независимых счетчика по *mod* 10, аналогичные двоичным счетчикам '4520 (см. рис. 7.46);

*74ALS560A* — счетчик по *mod* 10 с двумя переносами (7.43) и (7.44), аналогичный двоичному счетчику *74ALS561A* (см. рис. 7.46);

*74LS690* — интерфейсное устройство, содержащее счетчик по *mod* 10 типа '160, выходной синхронный регистр памяти, 4-разрядный мультиплексор  $2 \rightarrow 1$  и соответствующее двоичному устройству *74LS691* (см. рис. 7.64 и 7.65,б);

*74LS692* — интерфейсное устройство, содержащее счетчик по *mod* 10 типа '162, выходной синхронный регистр памяти, 4-разрядный мультиплексор  $2 \rightarrow 1$  и соответствующее двоичному устройству *74LS693* (см. рис. 7.64 и 7.65,б).

В двоично-десятичных счетчиках шесть возможных внутренних состояний от  $j = 10$  ( $\mu_{10}$ ) до  $j = 15$  ( $\mu_{15}$ ) при нормальном счете (без сбоев и ошибок) возникнуть не могут. Однако при включении питания или воздействии помех счетчик может перейти в одно из этих неиспользуемых состояний. Кроме того, при программировании модуля пересчета можно задавать числа  $d_M = D_3D_2D_1D_0 = 10, 11, \dots, 15$ , принудительно переводя счетчик в эти состояния. На рис. 7.69,а изображен полный граф переходов двоично-десятичного счетчика *155IE9*, по которому при необходимости можно установить его поведение при принудительном переходе в любое неиспользуемое состояние.

Одинаковые по функциональному назначению счетчики, но изготовляемые по разным технологиям, могут иметь незначительные различия, вызванные принадлежностью используемых триггеров к определенной группе (см. § 4.2) и разной реализацией функций возбуждения триггеров, как неполностью определенных переключательных функций. Так, полный граф переходов двоично-десятичных счетчиков *1533IE9*, *1533IE11* и *531IE11* (рис. 7.69,б) отличается от графа переходов счетчика *155IE9*.

В ИС *155IE9* используются триггеры группы III, поэтому возможны ложные срабатывания счетчика под воздействием помех на управляющих входах  $P_0$  и  $E$  (рис. 7.69,б). Счетчик *1533IE9* выполнен на триггерах группы I, поэтому помехи на входах  $P_0$  и  $E$  не могут вызвать изменения его состояний (рис. 7.69,з).

**Каскадирование двоично-десятичных счетчиков.** Все методы каскадирования двоичных счетчиков, естественно, остаются в силе и для двоично-десятичных счетчиков. Схема счетчика по *mod*  $10^3$  с последовательным переносом, выполненная на трех ИС *1533IE9*, представлена на рис. 7.70,а (*CE* — раз-

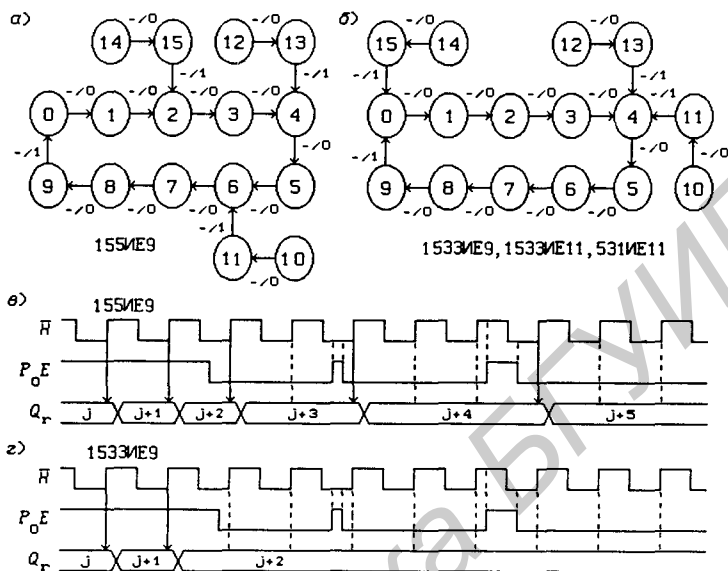


Рис. 7.69

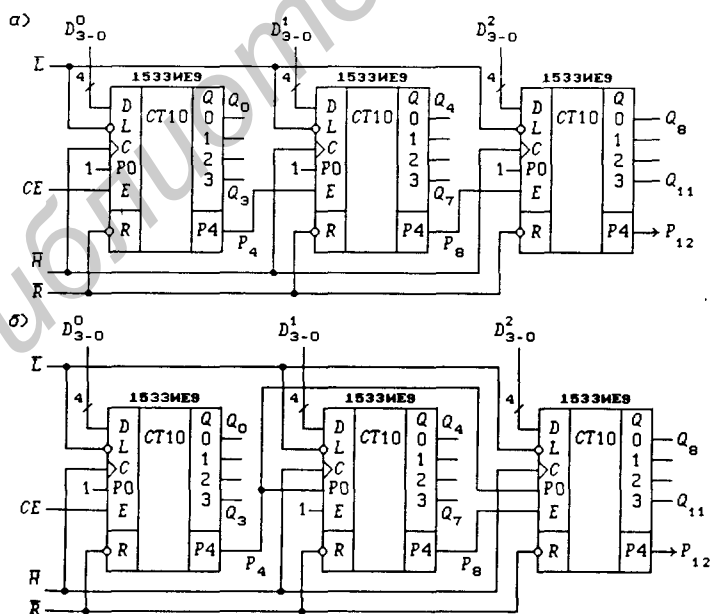


Рис. 7.70

решение счета). Эта схема отличается от схемы трехкаскадного двоичного счетчика по  $\text{mod } 2^{12}$  с последовательным переносом (см. рис. 7.51,а) только типом ИС. На основании (7.43), легко получить:

$$P_4 = CE \cdot Q_3 Q_0, \quad P_8 = P_4 Q_7 Q_4 = CE \cdot Q_7 Q_4 \cdot Q_3 Q_0, \\ P_{12} = P_8 Q_{11} Q_8 = CE \cdot Q_{11} Q_8 \cdot Q_7 Q_4 \cdot Q_3 Q_0,$$

т. е. в данном многокаскадном счетчике сигнал переноса  $P_4$  распространяется последовательно через все счетчики по  $\text{mod } 10$ . Вытекающие из этого свойства счетчика полностью совпадают со свойствами двоичного счетчика с последовательным переносом. Здесь напомним только, что длительность активного уровня всех сигналов переноса  $P_k$  равна периоду  $T_H$  тактового сигнала  $\bar{H}$ .

Параллельная загрузка 3-разрядного десятичного числа

$$d_M = D_3^2 D_2^2 D_1^2 D_0^2 \cdot D_3^1 D_2^1 D_1^1 D_0^1 \cdot D_3^0 D_2^0 D_1^0 D_0^0$$

( $D_3^i D_2^i D_1^i D_0^i = 0, 1, \dots, 9$ ,  $i$  — номер десятичного разряда) значением сигнала  $\bar{L} = 0$  позволяет начинать счет с заданного начального внутреннего состояния счетчика.

Схема счетчика по  $\text{mod } 10^3$  с параллельным переносом, выполненная на трех ИС 1533ИЕ9, изображена на рис. 7.70,б. Эта схема отличается от схемы трехкаскадного двоичного счетчика по  $\text{mod } 2^{12}$  с параллельным переносом (см. рис. 7.51,а) только типом ИС. На основании (7.43), легко получить:

$$P_4 = CE \cdot Q_3 Q_0, \quad P_8 = Q_7 Q_4, \quad P_{12} = P_8 \cdot Q_{11} Q_8 = Q_{11} Q_8 \cdot Q_7 Q_4,$$

т. е. сигналы переносов  $P_8$  и  $P_{12}$  не зависят от состояний триггеров  $Q_0$  и  $Q_3$ , а значит длительность активных уровней этих сигналов переноса равна  $10 \cdot T_H$  (длительность активного уровня сигнала  $P_4$  равна периоду  $T_H$  тактового сигнала  $\bar{H}$ ). Физические свойства этого счетчика полностью совпадают со свойствами двоичного счетчика с параллельным переносом.

Программирование модуля пересчета двоично-десятичных счетчиков. Для программирования модуля пересчета двоично-десятичных счетчиков пригодны все методы, используемые для программирования двоичных счетчиков. Программирование модуля пересчета счетчика по  $\text{mod } 10$  загрузкой числа  $d_M = D_3 D_2 D_1 D_0 = 3$  сигналом  $\bar{L} = \overline{Q_3 Q_0}$ , который становится активным в состоянии счетчика  $j = 9$ , показано на рис. 7.71,а (сравни с рис. 7.54). Из графа переходов (рис. 7.71,б) следует, что в общем случае модуль пересчета определяется соотношением

$$M = 10 - d, \quad d_M \neq 9. \quad (7.45)$$

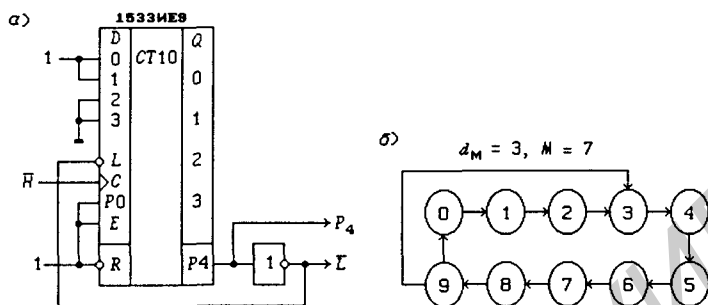


Рис. 7.71

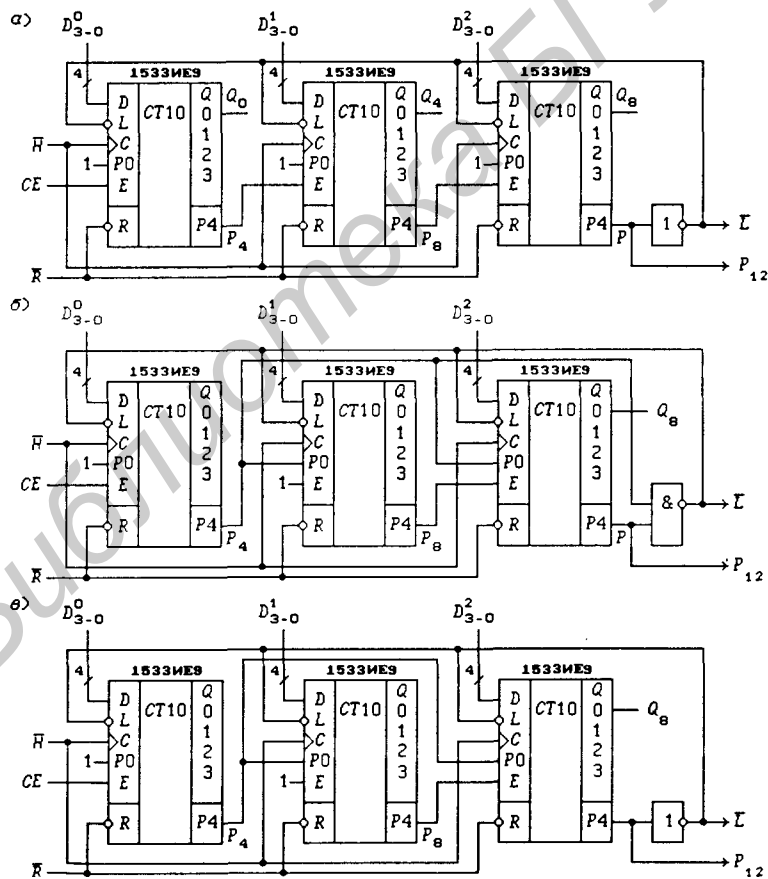


Рис. 7.72



Легко показать, что модуль пересчета двоично-десятичного счетчика по  $\text{mod } 10^m$ , построенного из  $m$  счетчиков по  $\text{mod } 10$ , будет равен

$$M = 10^m - d_M = 10^m - \sum_{i=0}^{m-1} d_{Mi} \cdot 10^i, \quad d_M \neq 10^m - 1, \quad (7.46)$$

где  $d_M$  —  $m$ -разрядное десятичное число;  $d_{Mi} = D_3^i D_2^i D_1^i D_0^i = 0, 1, \dots, 9$  — разряды десятичного числа  $d_M$  в коде 8-4-2-1, загружаемые в двоично-десятичные разряды счетчика по значению сигнала  $\bar{L} = 0$ , вырабатываемого в состоянии счетчика  $j = 10^m - 1$  (в этом состоянии выходные сигналы триггеров  $Q_3^i = Q_0^i = 1$  для всех значений  $i = 0, 1, \dots, m - 1$ ).

Для программирования модуля пересчета многокаскадных двоично-десятичных счетчиков используется, как правило, сигнал загрузки  $\bar{L} = f(P_k)$ . На рис. 7.72 показаны три схемы трехкаскадных двоично-десятичных счетчиков с программированием модуля пересчета, соответствующие схемам двоичных счетчиков, изображенным на рис. 7.59.

В счетчике с последовательным переносом (рис. 7.72,а) сигнал загрузки  $\bar{L}$  и выходной сигнал  $P_{12}$  описываются функциями:  $\bar{L} = \overline{CE \cdot Q_{11}Q_8 \cdot Q_7Q_4 \cdot Q_3Q_0}$ ,  $P_{12} = CE \cdot Q_{11}Q_8 \cdot Q_7Q_4 \cdot Q_3Q_0$ , поэтому при значении сигнала разрешения счета  $CE = 1$  загрузка числа  $d_M$  производится в состоянии  $j = 10^3 - 1$ , а значит модуль пересчета определяется выражениями (7.46):

$$M = 10^3 - d_M = 10^3 - \sum_{i=0}^2 d_{Mi} \cdot 10^i, \quad d_M \neq 10^3 - 1, \quad (7.47)$$

где  $d_M = D_3^2 \dots D_0^2 \cdot D_3^1 \dots D_0^1 \cdot D_3^0 \dots D_0^0$  — десятичное число, представленное в коде 8-4-2-1;  $d_{Mi} = D_3^i D_2^i D_1^i D_0^i = 0, 1, \dots, 9$  — разряды десятичного числа  $d_M$ ;  $i$  — номер десятичного разряда.

В счетчике с параллельным переносом (рис. 7.72,б) сигнал загрузки  $\bar{L}$  и выходной сигнал  $P_{12}$  описываются функциями:

$$\bar{L} = \overline{CE \cdot Q_{11}Q_8 \cdot Q_7Q_4 \cdot Q_3 \cdot Q_0}, \quad P_{12} = Q_{11}Q_8 \cdot Q_7Q_4, \quad (7.48)$$

поэтому при значении сигнала разрешения счета  $CE = 1$  загрузка числа  $d_M$  производится в состоянии  $j = 10^3 - 1$ , а значит модуль пересчета определяется выражениями (7.47), а модуль пересчета  $m$ -разрядного двоично-десятичного счетчика с параллельным переносом и сигналом загрузки (7.48) — соотношением (7.46).

Во втором варианте счетчика с параллельным переносом (рис. 7.72,б) сигнал загрузки  $\bar{L}$  и выходной сигнал  $P_{12}$  описываются функциями:

$$\bar{L} = \overline{Q_{11}Q_8 \cdot Q_7Q_4}, \quad P_{12} = Q_{11}Q_8 \cdot Q_7Q_4, \quad (7.49)$$

поэтому при значении сигнала разрешения счета  $CE = 1$  загрузка числа  $d_M$  будет производиться в состоянии счетчика  $j = 1001.1001.0000 = 990$ , а не в состоянии  $j = 10^3 - 1 = 999$ , т.е. на 9 тактов раньше, чем в двух предыдущих схемах. По этой причине модуль пересчета такого счетчика будет определяться выражением

$$M = 10^3 - 9 - d_M = 10^3 - 9 - \sum_{i=0}^2 d_{Mi} \cdot 10^i,$$

где  $0 \leq d_M \leq 10^3 - 10^1 - 1$ , а модуль пересчета  $m$ -разрядного двоично-десятичного счетчика с параллельным переносом и сигналом загрузки (7.49) — соотношением:

$$M = 10^m - 9 - d_M = 10^m - 9 - \sum_{i=0}^{m-1} d_{Mi} \cdot 10^i, \quad (7.50)$$

где  $d_M$  —  $m$ -разрядное десятичное число ( $0 \leq d_M \leq 10^m - 10^1 - 1$ );  $d_{Mi} = D_3^i D_2^i D_1^i D_0^i = 0, 1, \dots, 9$  — разряды десятичного числа  $d_M$  в коде 8-4-2-1.

Наибольшее быстродействие имеет программируемый счетчик, представленный на рис. 7.72,б, так как активный уровень сигнала  $\bar{L} = 0$  определяется значением переноса  $P_4 = 1$ , который без задержки подается по параллельной цепи на ЛЭ И-НЕ.

## 7.7. Синхронные реверсивные счетчики

Синтез и основные свойства синхронных реверсивных счетчиков (*Up-down-counter*) были рассмотрены в § 4.5. Граф переходов 4-разрядного двоичного реверсивного счетчика изображен на рис. 7.73,а. Ветви графа переходов подписаны значениями сигналов  $U/P_4 = 0/0, 0/1, 1/0$  и  $1/1$ , где  $U$  — сигнал, задающий направление счета:  $U = 1$  — сложение (*up*),  $U = 0$  — вычитание (*down*);  $P_4$  — сигнал переполнения счетчика, называемый также переносом при  $U = 1$  и заемом при  $U = 0$ . Внутренние состояния счетчика  $\mu = (Q_3, Q_2, Q_1, Q_0)$  обозначены числами  $j = e_{Q_3}e_{Q_2}e_{Q_1}e_{Q_0} = 0, 1, \dots, 15$ , где  $e_{Q_r} = 0$  или 1 — состояние триггера  $Q_r$  ( $r = 0, 1, 2, 3$ ).

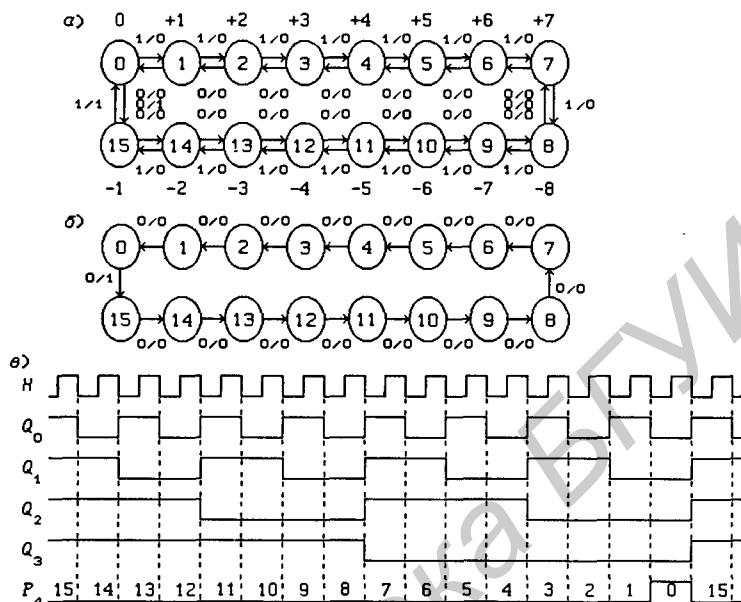


Рис. 7.73

Легко убедиться, что двоичные коды внутренних состояний  $j$  представляют числа  $-8, \dots, -1, 0, +1, \dots, +7$  в дополнительном коде ( $Q_3$  — знаковый разряд). Например, внутреннее состояние счетчика  $j = 9 = 1.001 = [-7]_{\text{Д}}$ . Таким образом, двоичные реверсивные счетчики производят счет числа перепадов тактового сигнала  $H$  с 1 на 0 в дополнительном коде. Графу переходов, приведенному на рис. 7.73,а, соответствуют функции возбуждения (4.45)  $T$ -триггеров:

$$\left. \begin{aligned} T_0 &= 1, \quad T_1 = U \cdot Q_0 \vee \bar{U} \cdot \bar{Q}_0, \\ T_2 &= U \cdot Q_1 Q_0 \vee \bar{U} \cdot \bar{Q}_1 \bar{Q}_0, \\ T_3 &= U \cdot Q_2 Q_1 Q_0 \vee \bar{U} \cdot \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \\ P_4 &= U \cdot Q_3 Q_2 Q_1 Q_0 \vee \bar{U} \cdot \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0. \end{aligned} \right\} \quad (7.51)$$

Вычитающий счетчик (*Down-counter*) задается графом переходов, показанным на рис. 7.73,б. Данный граф переходов получен из графа переходов реверсивного счетчика заданием значения управляющего сигнала  $U \equiv 1$ . На рис. 7.73,в показаны временные диаграммы, поясняющие работу 4-разрядного вычитающего счетчика и соответствующие приведенному графу переходов.

**Двоичные реверсивные счетчики.** Реверсивные счетчики, изготавливаемые в интегральном исполнении, имеют, как правило, входы  $D_r$  и  $L$  асинхронной потенциальной или синхронной параллельной загрузки данных. В некоторых реверсивных счетчиках имеется также вход  $R$  асинхронного потенциального или (и) синхронного сброса в нулевое состояние. В соответствии с этим для построения реверсивных счетчиков (не только двоичных) используются триггеры типов  $D-T-L$ ,  $D-T-L/R$ ,  $D-T-L-R$ ,  $D-T-L-R/R$  и  $T/D-L-R$  с приоритетом входа  $R$  (см. § 4.2 и 7.5).

Функции возбуждения  $T_r$  реализуются внутри ИС с предоставлением пользователю, как правило, управления ими с помощью одного —  $P_0$  — или двух —  $P_0$  и  $E$  — внешних сигналов:  $P_0 T_r$  или  $P_0 E \cdot T_r$  для всех триггеров счетчика. Сигналы переполнения

$$P_m = P_0 U \cdot \prod_{r=0}^{m-1} Q_r \vee P_0 \bar{U} \cdot \prod_{r=0}^{m-1} \bar{Q}_r \quad (7.52)$$

при использовании одного управляющего входа  $P_0$ ,

$$P_m = E \cdot U \cdot \prod_{r=0}^{m-1} Q_r \vee E \cdot \bar{U} \cdot \prod_{r=0}^{m-1} \bar{Q}_r \quad (7.53)$$

при использовании двух управляющих входов  $P_0$  и  $E$ ,

$$P_m = U \cdot \prod_{r=0}^{m-1} Q_r \vee \bar{U} \cdot \prod_{r=0}^{m-1} \bar{Q}_r \quad (7.54)$$

при отсутствии управляющих входов, где  $m$  — число триггеров в двоичном счетчике.

Как и при описании двоичных суммирующих счетчиков (см. § 7.5), при описании реверсивных счетчиков можно ограничиться указанием лишь типа используемых триггеров и одной из функций переполнения (7.52) – (7.54). На рис. 7.74 приведены двоичные реверсивные счетчики:

555IE17, 74LS669, 74AC11169 — 4-разрядный счетчик с переносом (7.53), выполненный на  $D-T-L$ -триггерах (7.22) (при  $R \equiv 0$ ), с синхронной загрузкой данных  $d_M = D_3 D_2 D_1 D_0$  ( $\bar{L} = 1$  — счет,  $\bar{L} = 0$  — загрузка);

561IE11, 74HC4516 — 4-разрядный счетчик с переносом (7.52), выполненный на  $T/D-L-R$ -триггерах (7.26), с асинхронной загрузкой данных  $d_M = D_3 D_2 D_1 D_0$  ( $L = 0$  — счет,  $L = 1$  — загрузка) и асинхронным сбросом значением сигнала  $R = 1$  (вход  $R$  имеет высший приоритет);

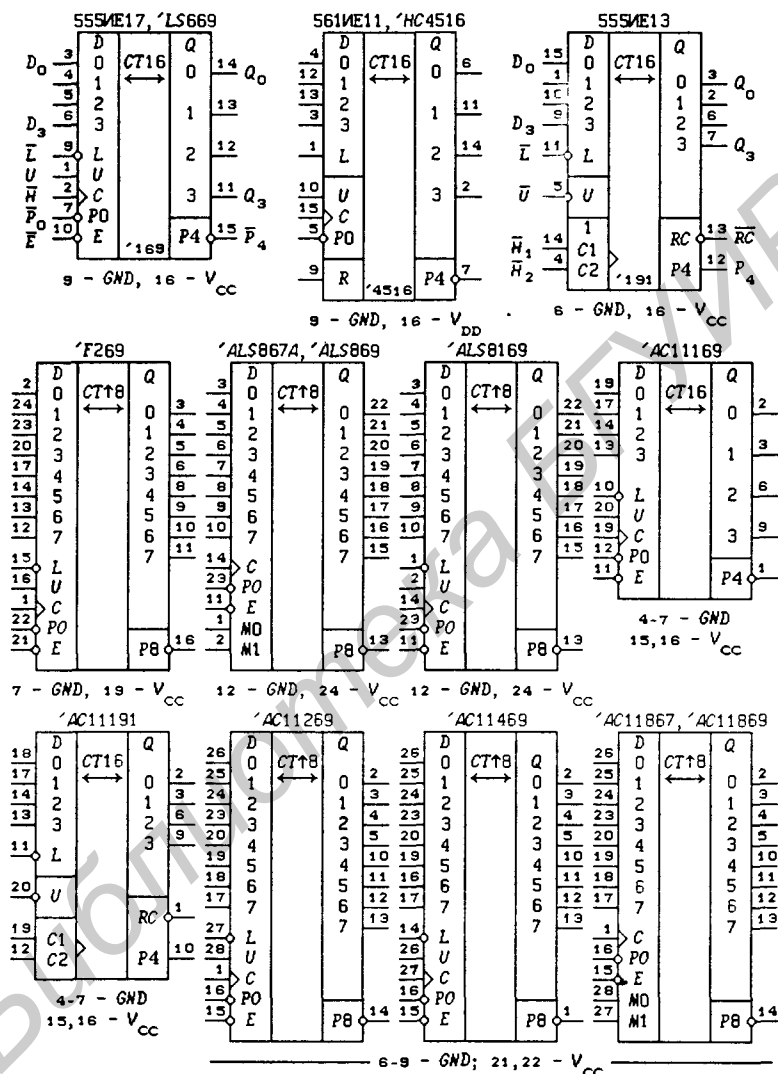


Рис. 7.74

555IE13, 74AC11191 — 4-разрядный счетчик с двумя переносами (7.54) и  $\overline{RC} = \overline{P_4 H_1 H_2}$  ( $RC$  — Ripple Carry — последовательный перенос), выполненный на  $T/D-L$ -триггерах (7.26) (при  $R \equiv 0$ ), с асинхронной загрузкой данных  $d_M = D_3 D_2 D_1 D_0$  ( $\overline{L} = 1$  — счет,  $\overline{L} = 0$  — загрузка);

74F269, 74AC11269, 74AC11469 — 8-разрядный счетчик с переносом (7.53), выполненный на  $D$ - $T$ - $L$ -триггерах (7.22) (при  $R \equiv 0$ ), с синхронной загрузкой данных  $d_M = D_3D_2D_1D_0$  ( $\bar{L} = 1$  — счет,  $\bar{L} = 0$  — загрузка);

74ALS867A, 74AC11867 — 8-разрядный счетчик с переносом (7.53), выполненный на  $D$ - $T$ - $L$ / $R$ -триггерах (7.22), с синхронной загрузкой данных  $d_M = D_3D_2D_1D_0$  и асинхронным сбросом ( $M_1M_0$ : 00 — сброс, 01 — счет с вычитанием, 10 — загрузка, 11 — счет со сложением);

74ALS869, 74AC11869 — 8-разрядный счетчик с переносом (7.53), выполненный на  $D$ - $T$ - $L$ - $R$ -триггерах (7.23), с синхронными сбросом и загрузкой данных  $d_M = D_3D_2D_1D_0$  ( $M_1M_0$ : 00 — сброс, 01 — счет с вычитанием, 10 — загрузка, 11 — счет со сложением);

74ALS8169 — 8-разрядный реверсивный счетчик во всем, за исключением числа разрядов, аналогичный счетчику '169.

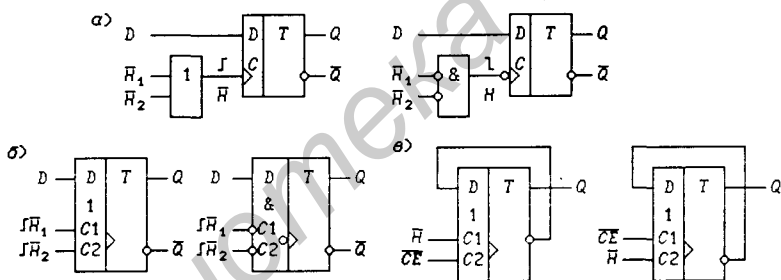


Рис. 7.75

В счетчиках 555ИЕ13 используется тактовый сигнал, формируемый двухвходовым ЛЭ. На рис. 7.75,а изображены две эквивалентные схемы, поясняющие воздействие на триггеры сигналов на таких динамических входах. В обеих схемах на триггер воздействует импульсный сигнал

$$d\overline{H}_1 \vee \overline{H}_2 = d(H_1H_2) = H_2^*dH_1 \vee H_1^*dH_2,$$

из чего следует двойственность изображений тактового сигнала на условных графических обозначениях триггеров, показанная на рис. 7.75,б.

Тактовые входы  $\overline{H}_1$  и  $\overline{H}_2$  логически равноценны, так как триггеры на рис. 7.75,б запускаются перепадами с 0 на 1 любого тактового сигнала при значении 0 на другом тактовом входе. Один из входов  $\overline{H}_1$  или  $\overline{H}_2$  можно использовать для стробирования тактового сигнала  $H$ , как показано на рис. 7.74,в на примере

триггера со счетным входом  $\bar{T} = \overline{CE}$  (счетчика по *mod 2*). Триггер описывается функцией переходов  $Q^+ = Q \oplus d(T \cdot H)$ . Счет разрешен только при значении  $\overline{CE} = 0$  ( $CE$  — *Count Enable* — разрешение счета). Блокировка счета должна производиться при значении тактового сигнала  $\bar{H} = 1$  (рис. 7.76,а), в противном случае состояние триггера изменится под воздействием перехода сигнала  $\overline{CE}$  (рис. 7.76,б). Счетчик практически выполнен с соотношениями задержек  $t_{pH1} < t_{pH2}$ , поэтому предпочтительнее положить  $\bar{H}_1 = \bar{H}$  и  $\bar{H}_2 = \overline{CE}$ .

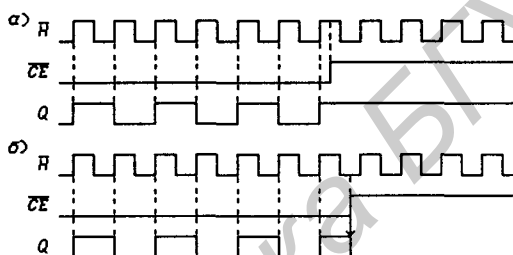


Рис. 7.76

Принципиальная схема счетчика 555ИЕ13 изображена на рис. 7.77, из которой следует, что он описывается функциями:

$$\begin{aligned} Q_r^+ &= D_r L \vee (Q \oplus dH_r) \cdot \bar{L}, \quad H_0 = CE \cdot H, \\ H_1 &= U \cdot Q_0 CE \cdot H \vee \bar{U} \cdot \bar{Q}_0 CE \cdot H, \\ H_2 &= U \cdot Q_1 Q_0 CE \cdot H \vee \bar{U} \cdot \bar{Q}_1 \bar{Q}_0 CE \cdot H, \\ H_3 &= U \cdot Q_2 Q_1 Q_0 CE \cdot H \vee \bar{U} \cdot \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 CE \cdot H, \\ P_4 &= U \cdot Q_3 Q_2 Q_1 Q_0 \vee \bar{U} \cdot \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \quad RC = \overline{P_4 CE \cdot H}, \end{aligned}$$

т.е. тактовые сигналы триггеров  $H_r = T_r CE \cdot H$ , где функции возбуждения триггеров  $T_r$  определяются выражениями (7.51).

Из этих функций следует, что в счетчике используются, строго говоря, синхронные триггеры группы II (см. § 4.2) — состояния триггеров могут изменяться под воздействием переходов управляющего сигнала  $\bar{U}$  при значении сигналов  $\bar{H} = \overline{CE} = 0$  (следует отметить, что большинство синхронных счетчиков выполняются на триггерах группы I). Ложные срабатывания счетчика происходят при изменении сигнала  $\bar{U}$  как с 1 на 0 (при значении  $Q_0 = 0$ ), так и с 0 на 1 (при значении  $Q_0 = 1$ ). Возможны ложные срабатывания только триггеров  $Q_3$ ,  $Q_2$  и  $Q_1$ , поэтому состояние счетчика  $j$  при ложном срабатывании изменяется

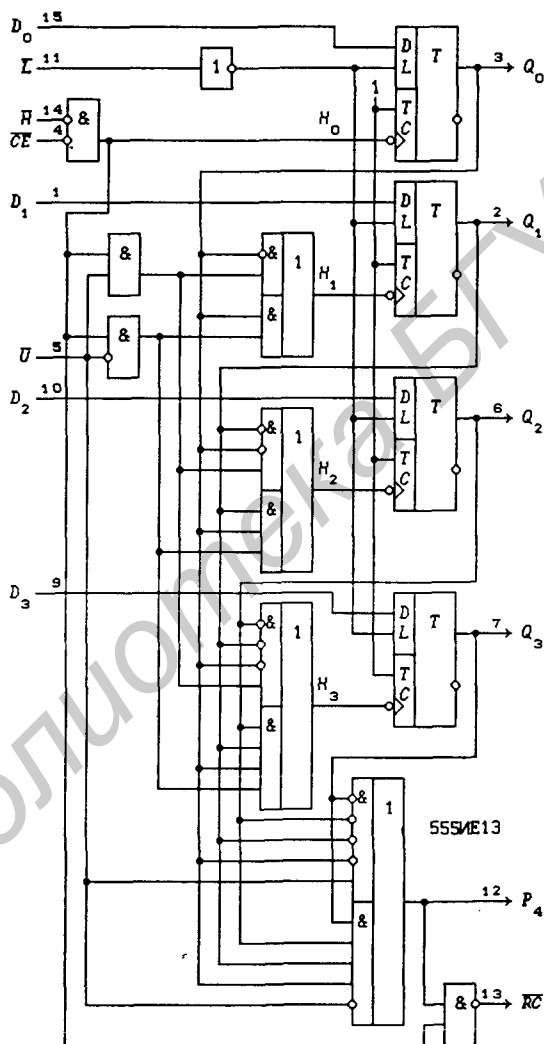


Рис. 7.77



на  $j \pm 2$ . При построении синхронных счетчиков на триггерах группы I такие ложные срабатывания счетчика отсутствуют. Временные диаграммы, поясняющие работу счетчика 555ИЕ13 в режиме вычитания, изображены на рис. 7.78.

На рис. 7.79 приведены двоичные реверсивные счетчики с Z-состоянием выходов:

74ALS569A, 74AC11569 — 4-разрядный счетчик с двумя переносами (7.53) и  $RC = \overline{P_0E} \cdot P_4\overline{H}$  ( $RC$  — *Ripple Carry* — последовательный перенос), выполненный на  $D-T-L-R/R$ -триггерах, с синхронной ( $\overline{L} = 0$ ) загрузкой данных  $d_M = D_3D_2D_1D_0$  и синхронным ( $\overline{SR} = 0$  — *Synchronous Reset*) и асинхронным потенциальным ( $\overline{AR} = 0$  — *Asynchronous Reset*) сбросом в нулевое состояние; выходы счетчика

$$DO_r = \begin{cases} Q_r & \text{при } \overline{OE} = 0, \\ \text{Z-состояние} & \text{при } \overline{OE} = 1; \end{cases}$$

74F579, 74AC11579 — 8-разрядный счетчик с переносом (7.53) и двунаправленной шиной данных  $DB$ , выполненный на триггерах типа  $D-T-L-R/R$  (7.24), с синхронной загрузкой данных  $d_M = DB_7 \dots DB_1DB_0$  ( $\overline{L} = 0$ ) и синхронным ( $\overline{SR} = 0$ ) и асинхронным потенциальным ( $\overline{AR} = 0$ ) сбросом в нулевое состояние;

74LS697 — интерфейсное устройство, содержащее 4-разрядный реверсивный счетчик типа '169, но с асинхронным потенциальным входом сброса  $\overline{R}$ , выходной синхронный регистр памяти и 4-разрядный мультиплексор  $2 \rightarrow 1$  (рис. 7.80), которое описывается функциями:

$$DO_r = \begin{cases} Q_r \overline{A} \vee QR_r A & \text{при } \overline{OE} = 0, \\ \text{Z-состояние} & \text{при } \overline{OE} = 1, \end{cases}$$

$$QR_r^+ = Q_r dHL \vee QR_r \overline{dHL}, \quad r = 0, 1, 2, 3;$$

74LS699 — интерфейсное устройство, содержащее 4-разрядный реверсивный счетчик типа '169, но с синхронным входом сброса  $\overline{R}$ , выходной синхронный регистр памяти и 4-разрядный мультиплексор  $2 \rightarrow 1$  (отличается от ИС 74LS697 только типом входа  $\overline{R}$  сброса счетчика).

Описанные ИС удобны для использования в микроконтроллерах, так как не требуется согласование их выходов  $DO_r$  и  $DB_r$  с шиной данных микропроцессора.

**Двоично-десятичные реверсивные счетчики.** Синтез и основные свойства синхронных двоично-десятичных счетчи-

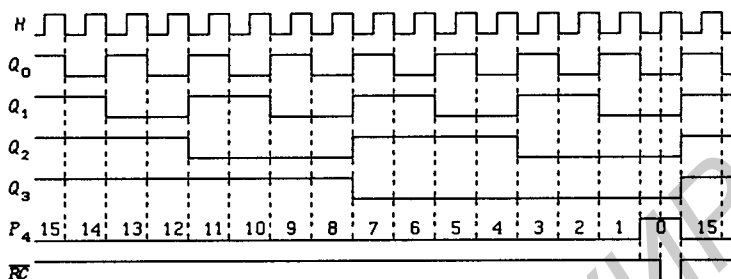


Рис. 7.78

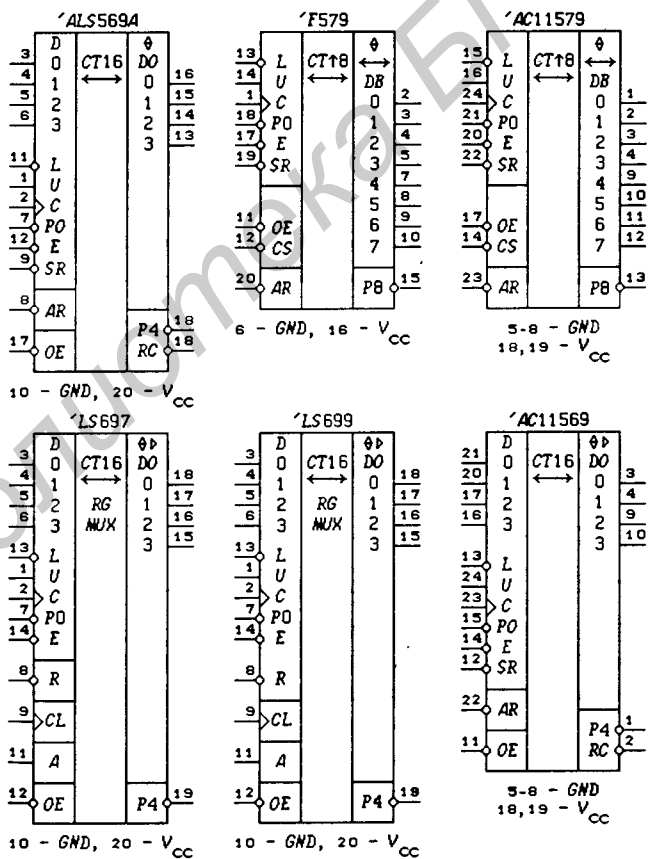


Рис. 7.79

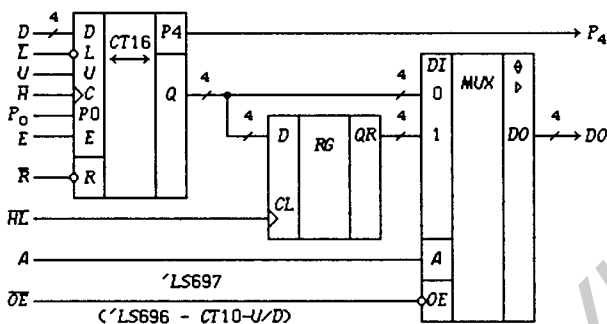


Рис. 7.80

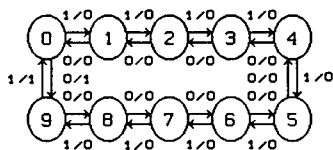


Рис. 7.81

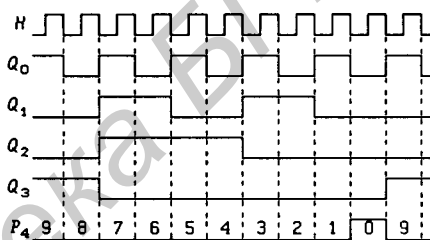


Рис. 7.82

ков были рассмотрены в § 4.5. Граф переходов счетчика по  $\text{mod } 10$  изображен на рис. 7.81. Ветви графа переходов подписаны значениями сигналов  $U/P_4 = 0/0, 0/1, 1/0$  и  $1/1$ , где  $U$  — сигнал, задающий направление счета:  $U = 1$  — сложение (*up*),  $U = 0$  — вычитание (*down*);  $P_4$  — сигнал переполнения счетчика. Внутренние состояния счетчика  $\mu = (Q_3, Q_2, Q_1, Q_0)$  обозначены числами  $j = e_{Q_3}e_{Q_2}e_{Q_1}e_{Q_0} = 0, 1, \dots, 9$ , где  $e_{Q_r} = 0$  или  $1$  — состояние триггера  $Q_r$  ( $r = 0, 1, 2, 3$ ).

Графу переходов, изображенную на рис. 7.81, соответствуют функции возбуждения (4.47)  $T$ -триггеров:

$$\left. \begin{aligned} T_0 &= 1, T_1 = U \cdot \bar{Q}_3 Q_0 \vee \bar{U} \cdot y \cdot \bar{Q}_0, \\ T_2 &= U \cdot Q_1 Q_0 \vee \bar{U} \cdot y \cdot \bar{Q}_1 \bar{Q}_0, \\ T_3 &= U \cdot (Q_2 Q_1 Q_0 \vee Q_3 Q_0) \vee \bar{U} \cdot \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \\ P_4 &= U \cdot Q_3 Q_0 \vee \bar{U} \cdot \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \end{aligned} \right\} \quad (7.55)$$

где  $y = Q_3 \vee Q_2 \vee Q_1$ .

На рис. 7.82 показаны временные диаграммы, поясняющие работу двоично-десятичных реверсивных счетчиков в режиме

вычитания (при значении управляющего сигнала  $U = 0$ ), соответствующие графу переходов, изображенному на рис. 7.81. Внутренние состояния счетчика  $\mu = (Q_3, Q_2, Q_1, Q_0)$  обозначены числами  $j = e_{Q_3}e_{Q_2}e_{Q_1}e_{Q_0} = 0, 1, \dots, 9$ , где  $e_{Q_r} = 0$  или 1 — состояние триггера  $Q_r$  ( $r = 0, 1, 2, 3$ ).

Функции возбуждения реверсивных двоично-десятичных счетчиков  $T_r$  реализуются с предоставлением пользователю управления ими с помощью одного —  $P_0$  — или двух —  $P_0$  и  $E$  — внешних сигналов:  $P_0T_r$  или  $P_0E \cdot T_r$  для всех триггеров счетчика. Сигналы переполнения

$$P_4 = P_0U \cdot Q_3Q_0 \vee P_0\bar{U} \cdot \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0, \quad (7.56)$$

при использовании одного управляющего входа  $P_0$ ,

$$P_4 = E \cdot U \cdot Q_3Q_0 \vee E \cdot \bar{U} \cdot \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0 \quad (7.57)$$

при использовании двух управляющих входов  $P_0$  и  $E$ .

Каждой ИС 4-разрядного реверсивного двоичного счетчика, как правило, соответствует идентичная по цоколевке и функциональному назначению ИС реверсивного двоично-десятичного счетчика. Поэтому для функционального описания таких реверсивных двоично-десятичных счетчиков достаточно указать это соответствие и заменить функции переноса (7.52) и (7.53) на функции (7.56) и (7.57). На рис. 7.83 приведены ИС:

555IE16, 74LS668, 74AC11168 — двоично-десятичный реверсивный счетчик, аналогичный двоичному реверсивному счетчику '169 (см. рис. 7.74);

1533IE12, 74AC11190 — двоично-десятичный реверсивный счетчик, аналогичный двоичному реверсивному счетчику '191 (см. рис. 7.74);

74ALS568A, 74AC11568 — двоично-десятичный реверсивный счетчик, аналогичный двоичному реверсивному счетчику '569A (см. рис. 7.79);

74LS696 — интерфейсное устройство на основе двоично-десятичного реверсивного счетчика типа '168 с асинхронным входом  $\bar{R}$  сброса счетчика, аналогичное интерфейсному устройству 74LS697 на основе двоичного реверсивного счетчика типа '169 (см. рис. 7.79);

74LS698 — интерфейсное устройство на основе двоично-десятичного реверсивного счетчика типа '168 с синхронным входом сброса  $\bar{R}$ , аналогичное устройству 74LS699 на основе двоичного реверсивного счетчика типа '169 (см. рис. 7.79);

MC14510B, 74HC4510 — двоично-десятичный реверсивный счетчик, аналогичный двоичному реверсивному счетчику '4516 (см. рис. 7.74);

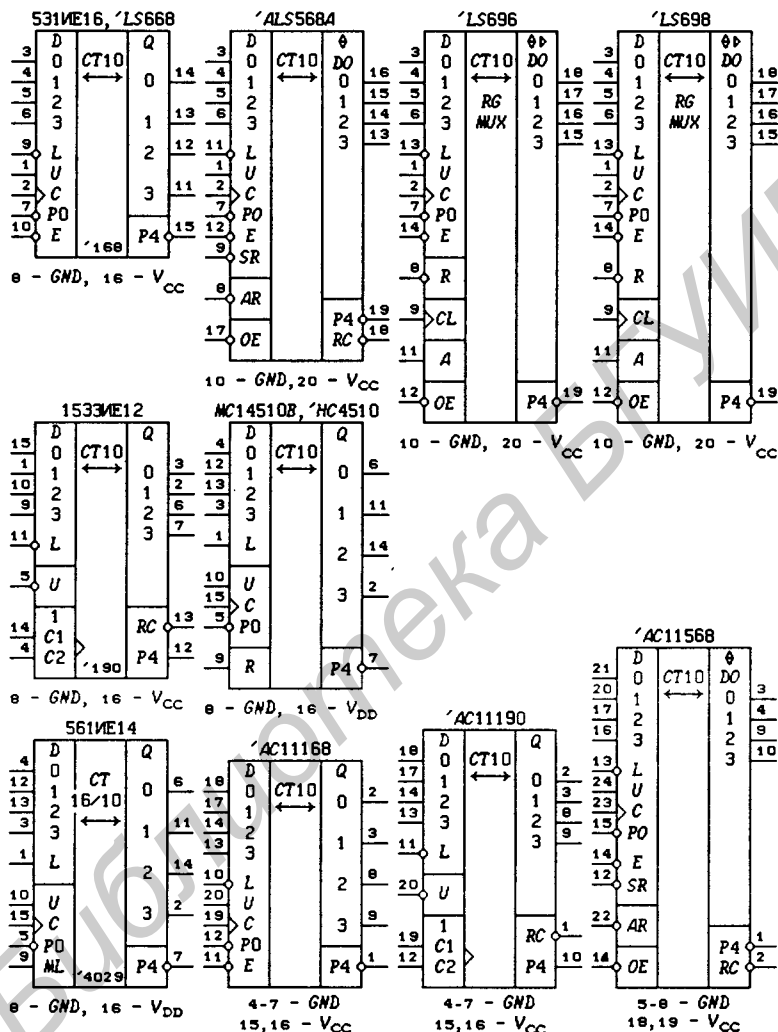


Рис. 7.83

564IE14 — 4-разрядный двоичный/двоично-десятичный реверсивный счетчик с переносом (7.52)/(7.56), выполненный на  $T/D-L$ -триггерах (7.26) (при  $R \equiv 0$ ), с асинхронной загрузкой данных  $d_M = D_3D_2D_1D_0$  ( $L = 0$  — счет,  $L = 1$  — загрузка); сигнал  $ML$  (*Modulo*) управляет типом счета ( $ML = 1$  — двоичный счет,  $ML = 0$  — двоично-десятичный счет).

В двоично-десятичных реверсивных счетчиках шесть внутренних состояний от  $j = 10$  до  $j = 15$  при естественном десятичном счете не используются. При программировании модуля пересчета можно задавать числа  $d_M = D_3D_2D_1D_0 = 10, 11, \dots, 15$ , принудительно переводя счетчик в эти состояния. На рис. 7.84 изображен полный граф переходов двоично-

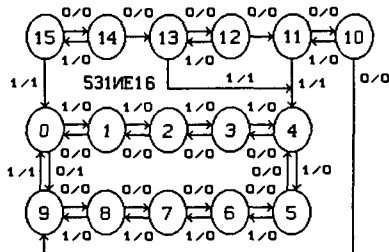


Рис. 7.84

десятичного реверсивного счетчика 531ИЕ16, по которому можно установить его поведение при установке любого состояния. Все двоично-десятичные реверсивные счетчики при работе в режиме вычитания описываются графом переходов, представленным на рис. 7.73,б. Это позволяет при программировании модуля пересчета вычитающих счетчиков задавать числа в 16-ричной системе счисления ( $d_M = 0, 1, \dots, 9, A, B, C, D, E, F$ ). При работе в режиме суммирования графы переходов зависят от типа ИС. Так, счетчик 74LS190 при значении сигнала  $U = 1$  описывается графом переходов, приведенным на рис. 7.69,а.

**Каскадирование реверсивных счетчиков с сигналами управления  $P_0$  и  $E$ .** Суммирующие счетчики являются частным случаем реверсивных счетчиков, что следует из сравнения функций (7.21) с функциями (7.51) и функций (7.42) с функциями (7.55) при значении сигнала  $U = 1$ . Поэтому все методы каскадирования, разработанные для суммирующих счетчиков, естественно, остаются в силе и для реверсивных счетчиков, имеющих аналогичные управляющие сигналы  $P_0$  или  $P_0$  и  $E$ .

На рис. 7.85,а показана структурная схема 20-разрядного двоичного реверсивного счетчика с последовательным переносом ( $CE$  — *Count Enable* — разрешение счета), построенная на пяти 4-разрядных двоичных реверсивных счетчиках. На основании (7.53) легко получить:

$$P_4 = CE \cdot U \prod_{r=0}^3 Q_r \vee CE \cdot \bar{U} \prod_{r=0}^3 \bar{Q}_r, \quad P_8 = P_4 (U \prod_{r=4}^7 Q_r \vee \bar{U} \prod_{r=4}^7 \bar{Q}_r),$$

$$P_{12} = P_8 (U \prod_{r=8}^{11} Q_r \vee \bar{U} \prod_{r=8}^{11} \bar{Q}_r), \quad P_{16} = P_{12} (U \prod_{r=12}^{15} Q_r \vee \bar{U} \prod_{r=12}^{15} \bar{Q}_r),$$

$$P_{20} = P_{16} (U \prod_{r=16}^{19} Q_r \vee \bar{U} \prod_{r=16}^{19} \bar{Q}_r),$$

т. е. в данном многокаскадном счетчике функции переполнения

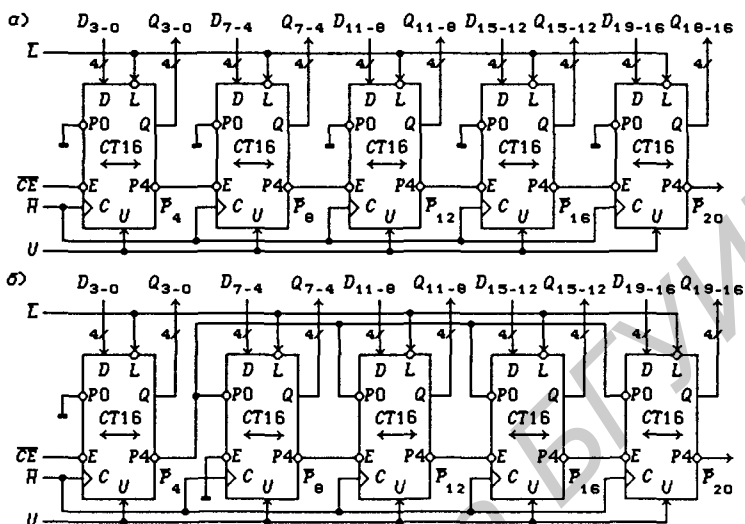


Рис. 7.85

$P_k$  формируются многоярусными КС (сигнал переполнения  $\bar{P}_4$  распространяется последовательно через все 4-разрядные счетчики). Следовательно, недостатком этой схемы является значительное уменьшение максимального значения частоты тактового сигнала  $\bar{H}$  по сравнению с максимально допустимой для одного 4-разрядного счетчика (для правильного срабатывания триггеров суммарная задержка сигнала  $\bar{P}_4$  во всех последовательно включенных счетчиках не должна превышать периода тактового сигнала).

Из предыдущих соотношений следует, что сигналы переполнения  $P_k$  в многокаскадных двоичных реверсивных счетчиках с последовательным переносом, построенных на 4-разрядных двоичных реверсивных счетчиках, можно представить в общем виде:

$$P_k = CE \cdot U \prod_{r=0}^{k-1} Q_r \vee CE \cdot \bar{U} \prod_{r=0}^{k-1} \bar{Q}_r, \quad k = 4, 8, 12, 16, \dots \quad (7.58)$$

Длительность активного уровня (0) сигнала переполнения  $\bar{P}_4$  равна периоду  $T_H$  тактового сигнала  $\bar{H}$ , а значит, и все остальные сигналы переполнения  $\bar{P}_k$  ( $k = 8, 12, 16, \dots$ ) без учета задержек имеют такую же длительность. Из-за последовательной задержки сигнала переполнения  $\bar{P}_4$  каждый следую-

щий сигнал переполнения  $\bar{P}_k$  имеет меньшую длительность активного уровня, чем предыдущий  $\bar{P}_{k-4}$ .

Структурная схема 20-разрядного двоичного реверсивного счетчика с параллельным переносом, соответствующая схеме двоичного суммирующего счетчика, приведенной на рис. 7.50,б, показана на рис. 7.85,б. Внешние свойства двоичных и двоично-десятичных реверсивных счетчиков не зависят от типа счета (от функций возбуждения триггеров  $T_r$ ), поэтому в любой схеме, построенной на двоичных реверсивных счетчиках, можно использовать и соответствующие им двоично-десятичные реверсивные счетчики. В частности, в схемах, изображенных на рис. 7.85 можно произвести такую замену.

Принципиальная схема 12-разрядного двоичного реверсивного счетчика с последовательным переносом, выполненная на трех ИС 555ИЕ17, представлена на рис. 7.86,а. Параллельная загрузка 12-разрядного двоичного числа  $d_M = D_{11} \dots D_1 D_0$  значением сигнала  $\bar{L} = 0$  позволяет начинать счет с заданного начального внутреннего состояния счетчика. Если в этом счетчике ИС 555ИЕ17 заменить на ИС 531ИЕ16, то получится трехразрядный двоично-десятичный счетчик с последовательным переносом. Сигналы переполнения  $P_k$  этого счетчика на основании (7.57) описываются функциями:

$$P_4 = CE \cdot U \cdot Q_3 Q_0 \vee CE \cdot \bar{U} \cdot \prod_{r=0}^3 \bar{Q}_r,$$

$$P_8 = CE \cdot U \cdot Q_7 Q_4 \cdot Q_3 Q_0 \vee CE \cdot \bar{U} \cdot \prod_{r=0}^7 \bar{Q}_r),$$

$$P_{12} = CE \cdot U \cdot Q_{11} Q_8 \cdot Q_7 Q_4 \cdot Q_3 Q_0 \vee CE \cdot \bar{U} \cdot \prod_{r=0}^{11} \bar{Q}_r.$$

Структурная схема 20-разрядного двоичного реверсивного счетчика с параллельным переносом, построенная на пяти 4-разрядных двоичных реверсивных счетчиках, показана на рис. 7.85,б. На основании (7.53) легко получить:

$$P_4 = CE \cdot U \prod_{r=0}^3 Q_r \vee CE \cdot \bar{U} \prod_{r=0}^3 \bar{Q}_r, \quad P_8 = U \prod_{r=4}^7 Q_r \vee \bar{U} \prod_{r=4}^7 \bar{Q}_r,$$

$$P_{12} = P_8 (U \prod_{r=8}^{11} Q_r \vee \bar{U} \prod_{r=8}^{11} \bar{Q}_r), \quad P_{16} = P_{12} (U \prod_{r=12}^{15} Q_r \vee \bar{U} \prod_{r=12}^{15} \bar{Q}_r),$$

$$P_{20} = P_{16} (U \prod_{r=16}^{19} Q_r \vee \bar{U} \prod_{r=16}^{19} \bar{Q}_r),$$

т. е. сигналы переноса  $P_8, P_{12}, P_{16}$  и  $P_{20}$  не зависят от состояний триггеров  $Q_0, Q_1, Q_2$  и  $Q_3$ , а значит, длительность активных



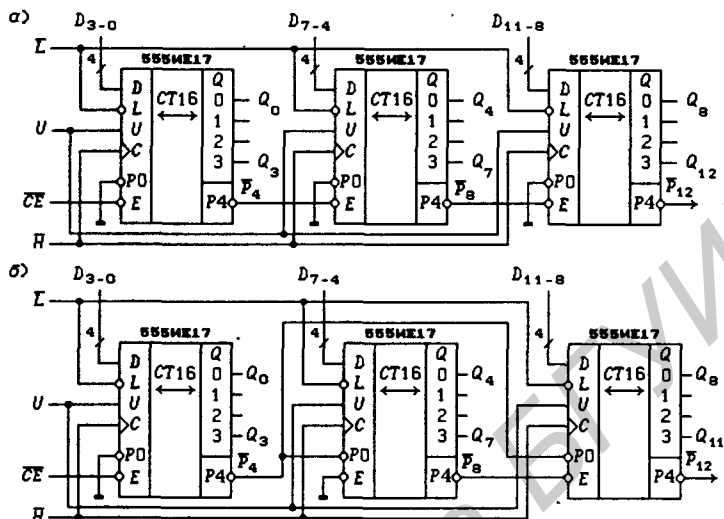


Рис. 7.86

уровней всех этих сигналов определяется длительностью значения сигнала переноса  $\bar{P}_8 = 0$ , равной  $16 \cdot T_H$  (длительность нулевого активного уровня сигнала  $\bar{P}_4$  равна периоду  $T_H$  тактового сигнала  $\bar{H}$ ).

Максимально допустимая частота тактового сигнала у этого счетчика не зависит от числа используемых ИС, а определяется только быстродействием триггеров и временем прохождения сигнала  $\bar{P}_4$  через формирующий его ЛЭ, находящийся внутри ИС, и цепи формирования функций возбуждения  $T_r$  одного счетчика по  $\text{mod } 16$ . Это объясняется тем, что последовательно распространяется через ИС сигнал переноса  $\bar{P}_8$ , длительность активного уровня которого в 16 раз больше, чем у сигнала  $\bar{P}_4$  (при практически используемых разрядностях счетчиков задержка сигнала  $\bar{P}_8$  на время  $16 \cdot T_H$  невозможна).

Сигналы переноса  $\bar{P}_k$  в многокаскадных двоичных реверсивных счетчиках с параллельным переносом, построенных на 4-разрядных двоичных реверсивных счетчиках, можно представить в общем виде:

$$\left. \begin{aligned} P_4 &= CE \cdot U \cdot \prod_{r=0}^3 Q_r \vee CE \cdot \bar{U} \cdot \prod_{r=0}^3 \bar{Q}_r, \\ P_k &= U \cdot \prod_{r=0}^{k-1} Q_r \vee \bar{U} \cdot \prod_{r=0}^{k-1} \bar{Q}_r, \quad k = 8, 12, 16, 20 \dots \end{aligned} \right\} \quad (7.59)$$

Принципиальная схема 12-разрядного двоичного реверсивного счетчика с параллельным переносом, выполненная на трех ИС 555ИЕ17, представлена на рис. 7.86,б. Если в этом счетчике ИС 555ИЕ17 заменить на ИС 531ИЕ16, то получится трехразрядный двоично-десятичный реверсивный счетчик с параллельным переносом. Сигналы переполнения  $P_k$  этого счетчика на основании (7.57) описываются функциями:

$$P_4 = CE \cdot U \cdot Q_3 Q_0 \vee CE \cdot \bar{U} \prod_{r=0}^3 \bar{Q}_r, \quad P_8 = U \cdot Q_7 Q_4 \vee \bar{U} \prod_{r=4}^7 \bar{Q}_r,$$

$$P_{12} = U \cdot Q_{11} Q_8 \cdot Q_7 Q_4 \vee \bar{U} \prod_{r=4}^{11} \bar{Q}_r.$$

Реверсивные счетчики с синхронной параллельной загрузкой данных можно использовать для построения сдвигающих регистров и многокаскадных счетчиков с последовательной загрузкой данных и последовательным выводом результатов счета. На рис. 7.87,а показан 12-разрядный двоичный реверсивный счетчик с последовательным вводом и выводом 4-разрядных данных. Сигнал управления  $CT/\overline{SH}$  (*Count Shift*) переключает режимы работы счетчика:  $CT/\overline{SH} = 1$  — счет,  $CT/\overline{SH} = 0$  — сдвиг. Загрузка данных осуществляется по последовательным входам  $DS^0, DS^1, DS^2$  и  $DS^3$ , а вывод результата счета — по последовательным выходам  $SO^0, SO^1, SO^2$  и  $SO^3$ . Загрузку данных и вывод результата счета можно выполнять одновременно. При значении сигнала управления  $CT/\overline{SH} \equiv 0$  счетчик превращается в  $3 \times 4$ -разрядный сдвигающий регистр. Значения сигналов  $CT/\overline{SH} = \overline{CE} = 1$  задает режим хранения данных.

Все двоичные реверсивные счетчики производят счет числа изменений тактового сигнала  $H$  с 1 на 0 в дополнительном коде, если старший разряд считать знаковым. Так, при вычитании счетчик, состоящий из  $m$  триггеров, из внутреннего состояния  $j = 0$  переходит в состояние  $j = 2^m - 1$ , т. е. все триггеры изменяют состояние с 0 на 1 и полученный двоичный код 1.11...111 соответствует дополнительному коду числа  $-1$ . С помощью специальных схем управления можно построить счетные схемы с представлением результата счета в других кодах.

На рис. 7.87,б изображена схема счета в прямом коде, выполненная на двух ИС 555ИЕ17. Управление счетчиком производится сигналом  $x$ , который задает направление счета:  $x = 0$  — сложение,  $x = 1$  — вычитание. Число  $N$  изменений тактового сигнала  $\overline{H}$  с 0 на 1 с учетом знака, задаваемого сигналом  $x$ , представляется в прямом коде:

$$[N]_{\text{П}} = Q_5 \cdot |N| = Q_5 \cdot Q_7 \dots Q_1 Q_0,$$

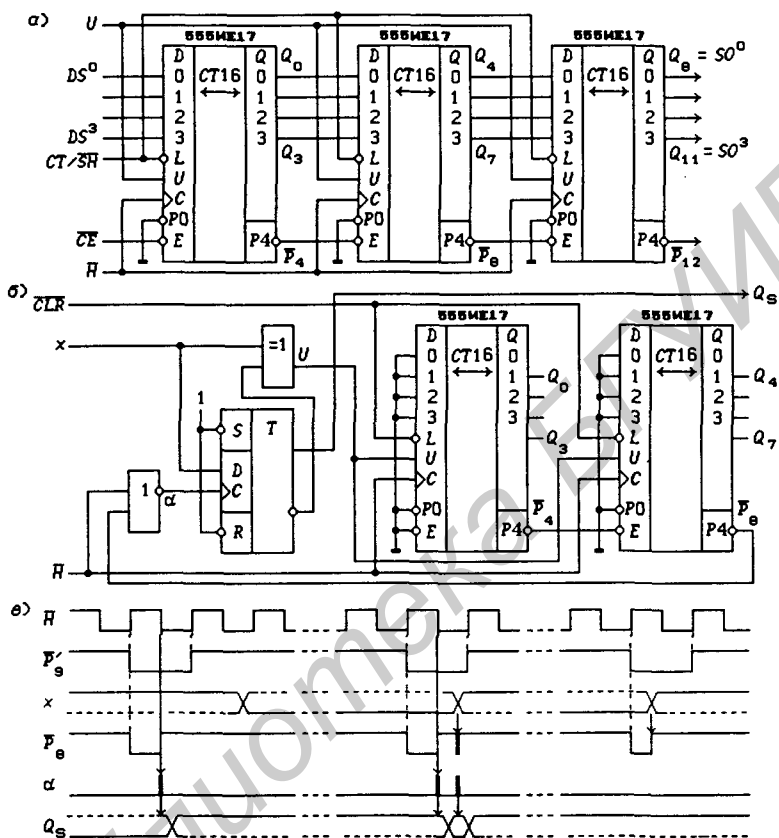


Рис. 7.87

где  $Q_S$  — знак числа ( $S$  — Sign — знак;  $Q_S = 0$  — число  $N$  положительное,  $Q_S = 1$  — число  $N$  отрицательное),  $|N| = Q_7 \dots Q_1 Q_0$  — модуль числа. В каждом сеансе работы (от старта до съема значения  $[N]$ ) счетчик не должен переполняться, т. е. в течение всего сеанса работы должно выполняться условие  $|N| \leq 255 = 2^8 - 1$ . При достижении значения  $|N| = 255$  счетчик переполняется, если сигнал управления  $U = 1$ , а при значении  $U = 0$  состояние счетчика  $j = 255$  изменится на состояние  $j = 254$ , что допустимо любое число раз.

Из схемы счетчика следует, что сигнал управления направлением счета  $U = x \oplus Q_S$ , и при отсутствии переполнения счет-

чика сигнал

$$P_8 = U \cdot \prod_{r=0}^7 Q_r \vee \bar{U} \cdot \prod_{r=0}^7 \bar{Q}_r = \bar{U} \cdot \prod_{r=0}^7 \bar{Q}_r = P'_8 \bar{U},$$

где  $P'_8 = 1$  в нулевом состоянии счетчика,  $P_8$  — сигнал заема. Работа триггера знака числа  $N$  описывается функцией переходов

$$Q_S^+ = x \cdot d\overline{P_S H} \vee Q_S d\overline{P_S H},$$

поэтому при достижении нулевого состояния сигнал заема  $P_S = 1$ , а значит  $Q_S^+ = x$  при  $d\bar{H} = 1$  и  $U = x \oplus Q_S = 1$ , что обеспечивает переход в следующем такте из состояния  $j = 0$  в состояние  $j = 1$  независимо от значения  $x$  при знаке  $Q_S$  числа  $N$ , равном текущему значению  $x$ .

На рис. 7.87,в изображены временные диаграммы, построенные на основании приведенных выше функций, — длительность импульсного сигнала  $\alpha = d\overline{P_S H}$  определяется быстродействием используемых ИС и составляет 50...100 нс при построении схемы на ИС серии 555. Из этого следует, что схема счета в прямом коде представляет собой асинхронный импульсный автомат. Быстродействие таких автоматов значительно ниже быстродействия синхронных автоматов, так как они срабатывают и от входных информационных сигналов (в данном случае от сигнала  $x$ ) между двумя соседними воздействиями импульсного сигнала  $d\bar{H} = 1$ . Сигнал  $\overline{CLR}$  (*Clear* — очистка) служит для синхронного сброса счетчика в нулевое состояние. В описанной схеме можно использовать и двоично-десятичные реверсивные счетчики.

Пример применения реверсивных счетчиков в микроконтроллерах и микроЭВМ приведен на рис. 7.88. Структура системных шин показана для случая использования микропроцессора 580BM80 ( $DB$  — *Data Bus*,  $AB$  — *Address Bus*,  $CB$  — *Control Bus*,  $I/RD$  — *I/O Read*,  $I/OWR$  — *I/O Write*,  $\overline{CS}_k$  — *Chip Select*). Программируется модуль пересчета загрузкой в счетчик 8-разрядного двоичного числа  $d_M$  сигналом  $\overline{I/OWR}$  при значении адресного сигнала  $\overline{CS}_1 = 0$ , выдаваемого дешифратором портов внешних устройств. Поскольку загрузка синхронная, то длительность значения сигнала загрузки  $L = \overline{I/OWR} \cdot CS_1 = 0$  должна быть больше периода тактового сигнала  $\bar{H}$ .

Чтение состояния счетчика производится по шине данных  $DB$  сигналом  $\overline{OE} = \overline{I/ORD} \cdot CS_1$  при выполнении команд ввода

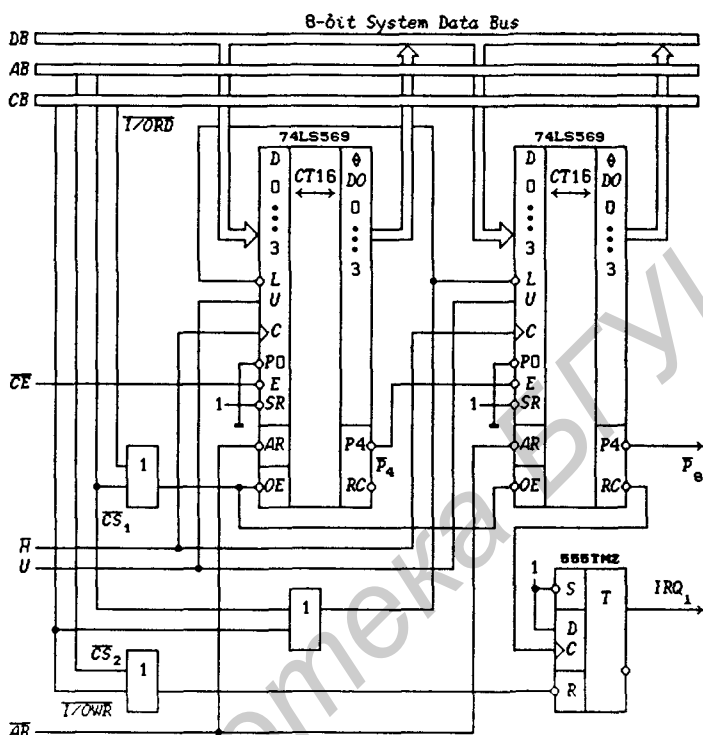


Рис. 7.88

программы обслуживания внешнего устройства, выполняемой микропроцессором. При переполнении счетчика устанавливается значение сигнала  $IRQ_i = 1$  (*Interrupt Request* — запрос прерывания), который подается на контроллер прерываний для организации ввода-вывода по прерыванию. После обслуживания прерывания производится загрузка числа  $d_M$  и сброс триггера запроса прерывания сигналом  $\bar{R} = I/OWR \cdot \bar{CS}_2$ . Формировать сигналы  $\bar{AR}$ ,  $U$  и  $\bar{CE}$  можно как аппаратно, так и программно. При программном формировании сигналов  $U$  и  $\bar{CE}$  требуется добавить два триггера (одну ИС 555TM2), управление которыми производится подобно управлению триггером, формирующим сигнал  $IRQ_i$  (только следует задать  $D = DB_0$  для установки значений сигналов 0 и 1, задаваемых программным способом по шине данных).

**Каскадирование счетчиков типа 555IE13.** Методы каскадирования счетчиков с сигналами переполнения (7.52) и

(7.54) отличаются от ранее рассмотренных методов. Реверсивный счетчик имеет два сигнала переполнения (см. рис. 7.77)

$$P_4 = U \cdot Q_3 Q_2 Q_1 Q_0 \vee \bar{U} \cdot \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 \text{ и } \overline{RC} = \overline{CE \cdot P_4 H},$$

один из которых описывается функцией (7.54). Сигнал  $\overline{RC}$  строится тактовым сигналом  $H$ , поэтому он принципиально не может иметь ложных значений во время переходных процессов. Значит, этот сигнал можно подать на тактовый вход  $\bar{H}$  другого счетчика. В результате будет получен асинхронный импульсный счетчик (рис. 7.89,а), описываемый функциями:

$$H_k = RC_k = CE \cdot \left( U \cdot \prod_{r=0}^{k-1} Q_r \vee \bar{U} \cdot \prod_{r=0}^{k-1} \bar{Q}_r \right) \cdot H_0, \quad (7.60)$$

где  $k = 4, 8, 12$ . Максимальное значение частоты тактового сигнала  $\bar{H}_0$  не зависит от числа каскадов.

Схема синхронного счетчика с последовательным переносом изображена на рис. 7.89,б. Она построена по тому же принципу, что и схема, показанная на рис. 7.86,а. Легко показать, что сигналы переполнения  $RC_k$  описываются функциями:

$$RC_k = CE \cdot H \cdot \left( U \cdot \prod_{r=0}^{k-1} Q_r \vee \bar{U} \cdot \prod_{r=0}^{k-1} \bar{Q}_r \right), \quad k = 4, 8, 12, \quad (7.61)$$

которые отличаются от функций (7.58) только стробированием тактовым сигналом  $\bar{H}$ .

Поскольку длительность активного уровня сигнала  $\overline{RC}_4$  вдвое меньше, чем у сигнала переполнения  $P_4$  (см. рис. 7.78), то задержка сигнала  $\overline{RC}_4$  в последовательно соединенных счетчиках не должна превышать полпериода тактового сигнала  $\bar{H}$  (допустимая задержка вдвое меньше, чем в схеме, приведенной на рис. 7.86,а, при равенстве полупериодов тактового сигнала  $\bar{H}$ ). Чем выше порядок КС, реализующей функции переноса (7.61), тем меньше максимальное значение частоты тактового сигнала.

Схему синхронного счетчика с параллельным переносом можно построить только при использовании внешних ЛЭ (рис. 7.89,в) для формирования сигналов разрешения счета

$$P_k = U \cdot \prod_{r=0}^{k-1} Q_r \vee \bar{U} \cdot \prod_{r=0}^{k-1} \bar{Q}_r, \quad (7.62)$$

где  $k = 4, 8, 12$ , которые совпадают с функциями (7.58) при значении сигнала  $CE = 1$ . Для реализации функций (7.62) требуются многовходовые ЛЭ И-НЕ.

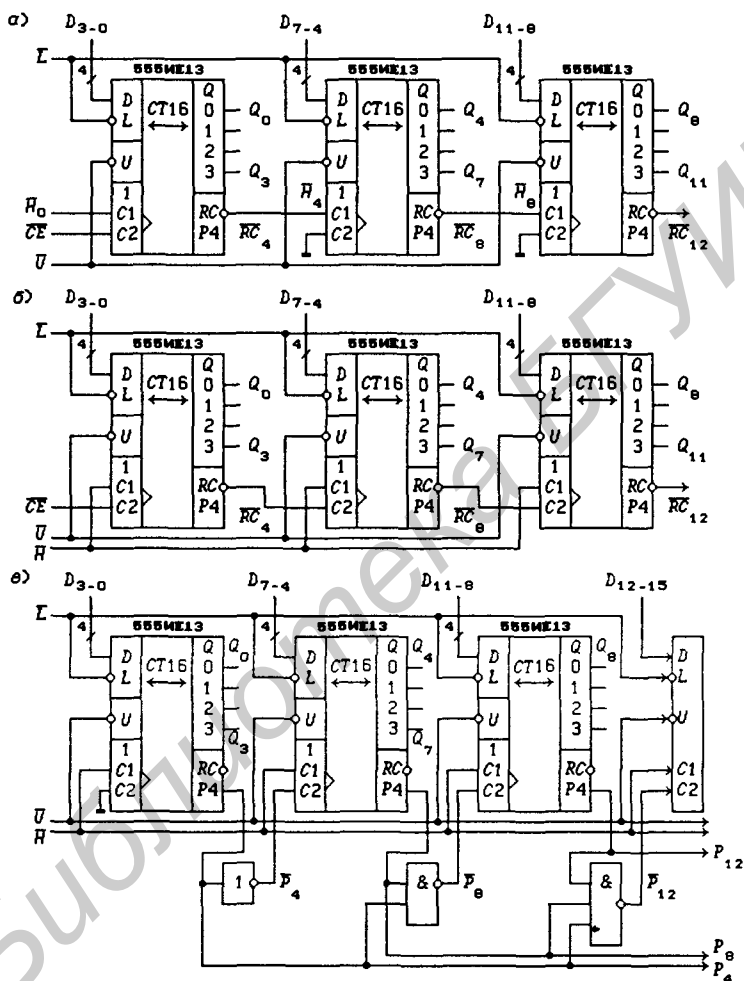


Рис. 7.89

Каскадирование счетчиков с одним сигналом управления  $P_0$ . Счетчики с таким сигналом управления и функцией переполнения (7.52) изготавливаются по КМОП-технологии: например, ИС 561IE11 (см. рис. 7.74) и 561IE14 (см. рис. 7.83). Структурная схема 20-разрядного асинхронного импульсного двоичного реверсивного счетчика изображена на рис. 7.90,а:

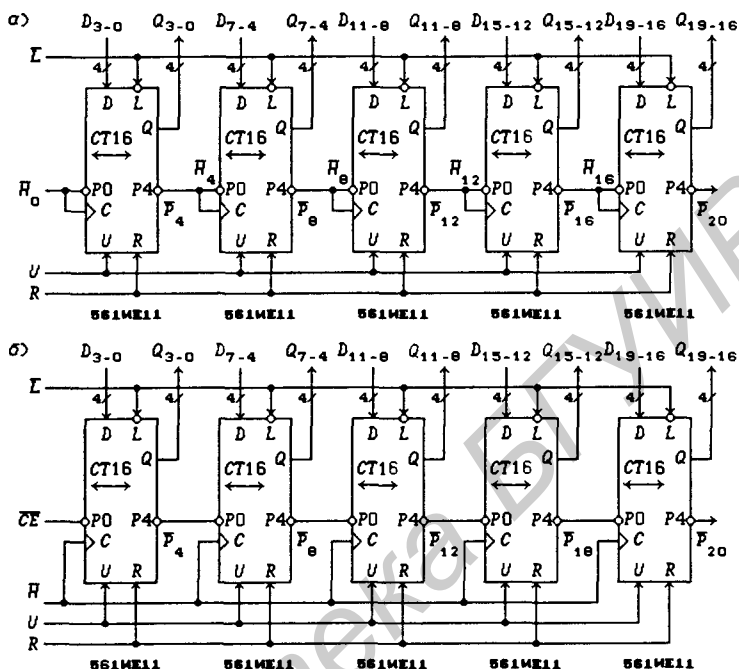


Рис. 7.90

$$H_k = P_k = H_0 U \cdot \prod_{r=0}^{k-1} Q_r \vee H_0 \bar{U} \cdot \prod_{r=0}^{k-1} \bar{Q}_r, \quad (7.63)$$

где  $k = 4, 8, 12, 16, 20$ . Данные функции совпадают с функциями (7.60) при значении сигнала  $\bar{C}E = 1$ . Максимальное значение частоты тактового сигнала  $\bar{H}_0$  не зависит от числа каскадов.

Схема 20-разрядного синхронного счетчика с последовательным переносом изображена на рис. 7.90, б. Легко показать, что сигналы переполнения  $P_k$  описываются функциями

$$P_k = \bar{C}E \cdot U \cdot \prod_{r=0}^{k-1} Q_r \vee \bar{C}E \cdot \bar{U} \cdot \prod_{r=0}^{k-1} \bar{Q}_r, \quad k = 4, 8, 12, 16, 20, \quad (7.64)$$

которые совпадают с функциями (7.58). Задержка сигналов  $P_k$  должна быть меньше периода тактового сигнала  $\bar{H}$ .

Схему счетчика с параллельным переносом выполнить невозможно даже при использовании внешних ЛЭ при функции переноса типа (7.52).



**Генератор параллельного переноса для счетчиков.** Принцип построения схемы параллельного переноса на ЛЭ И-НЕ был рассмотрен на примере счетчика, изображенного на рис. 7.89,в. Выпускается универсальный генератор параллельного (ускоренного) переноса 74AS264 (рис. 7.91,а; *CLA* — *Look-Ahead Carry Generators for Counters*). Данный генератор описывается функциями:

$$P_1 = A_0 B_0 \vee A_0 C E, P_2 = A_1 B_1 \vee A_1 A_0 B_0 \vee A_1 A_0 C E,$$

$$P_3 = A_2 B_2 \vee A_2 A_1 B_1 \vee A_2 A_1 A_0 B_0 \vee A_2 A_1 A_0 C E,$$

$$P_A = A_3 B_3 \vee A_3 A_2 B_2 \vee A_3 A_2 A_1 B_1 \vee A_3 A_2 A_1 A_0 C E,$$

$$P_B = B_3 \vee B_2 \vee B_1 \vee B_0 \vee C E.$$

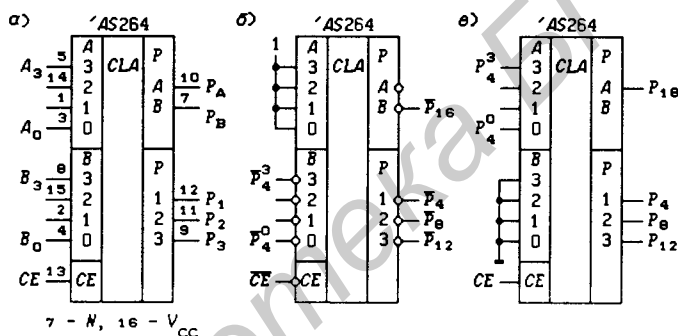


Рис. 7.91

При подстановке значений сигналов  $A_i \equiv 1$  получаются функции

$$\overline{P}_1 = \overline{B}_0 \overline{C E}, \overline{P}_2 = \overline{B}_1 \overline{B}_0 \overline{C E}, \overline{P}_3 = \overline{B}_2 \overline{B}_1 \overline{B}_0 \overline{C E},$$

$$\overline{P}_A = \overline{B}_3 \overline{B}_2 \overline{B}_1 \overline{C E}, \overline{P}_B = \overline{B}_3 \overline{B}_2 \overline{B}_1 \overline{B}_0 \overline{C E},$$

которые представляют собой функции переполнения 4-каскадных счетчиков, построенных, например, на 4-разрядных счетчиках с инверсными сигналами  $\overline{P}_0$  и  $\overline{P}_4$  (рис. 7.91,б). Структурная схема 4-каскадного 16-разрядного двоичного реверсивного счетчика, построенная на основе генератора параллельного переноса, приведена на рис. 7.92. В этой схеме можно использовать и двоично-десятичные счетчики, например, 531ИЕ16.

При подстановке значений сигналов  $B_i \equiv 0$  получаются функции

$$P_1 = A_0 C E, P_2 = A_1 A_0 C E, P_3 = A_2 A_1 A_0 C E,$$

$$P_A = A_3 A_2 A_1 A_0 C E, P_B = C E,$$

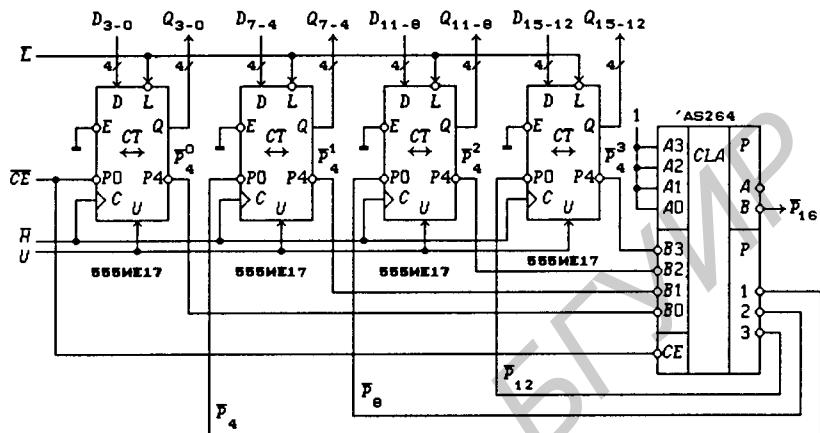


Рис. 7.92

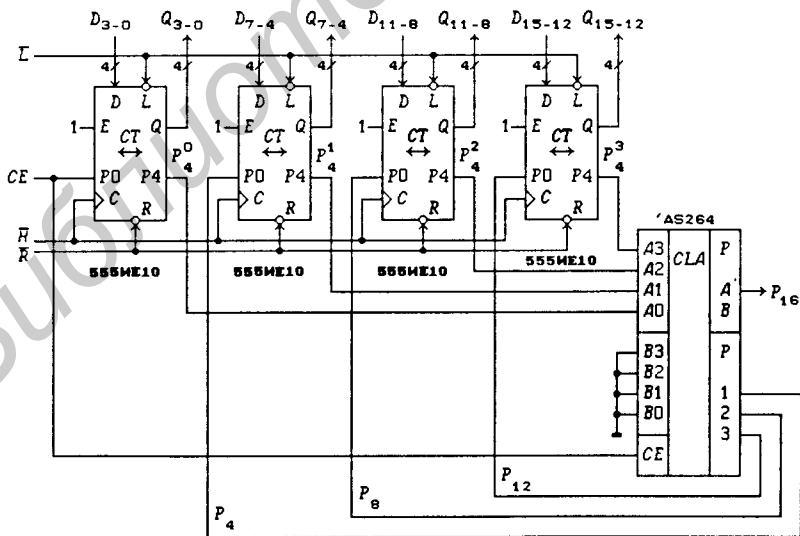


Рис. 7.93

которые представляют собой функции переполнения 4-каскадных счетчиков, построенных, например, на 4-разрядных счетчиках с прямыми сигналами  $P_0$  и  $P_4$  (рис. 7.91,б). Структурная схема 4-каскадного 16-разрядного двоичного суммирующего счетчика, построенная на основе генератора параллельного переноса, приведена на рис. 7.93. В этой схеме можно использовать и двоично-десятичные счетчики, например, 555ИЕ9.

**Программирование модуля пересчета счетчиков с синхронной загрузкой данных.** Методы программирования модуля пересчета не зависят от направления счета, поэтому в любой схеме программируемого двоичного суммирующего счетчика можно использовать и соответствующие по набору управляющих сигналов реверсивные как двоичные, так и двоично-десятичные счетчики (конечно, в схеме следует произвести некоторые изменения, вызванные необходимостью замены сигнала сброса  $\bar{R}$  на сигнал управления направлением счета  $U$  и несовпадением активных уровней некоторых сигналов). В частности, все формулы, определяющие модуль пересчета  $M$  суммирующих двоичных и двоично-десятичных счетчиков будут справедливы и для соответствующих реверсивных счетчиков при включении их на сложение ( $U = 1$ ). Значит, остается получить лишь формулы для модуля пересчета тех же схем, но при включении реверсивных счетчиков на вычитание ( $U = 0$ ).

На рис. 7.94,а показана схема включения реверсивного двоичного счетчика на вычитание с программированием модуля пересчета (ср. с рис. 7.54) загрузкой числа  $d_M = D_3D_2D_1D_0 = 5$  сигналом  $\bar{L} = \bar{P}_4$ . Как следует из выражения (7.53), сигнал переполнения  $P_4 = \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0 = K_0$ , т.е. сигнал загрузки  $\bar{L} = 0$  в состоянии счетчика  $j = 0$ , а значит счетчик описывается графом переходов, изображенным на рис. 7.94,б. Из графа переходов видно, что модуль пересчета  $M_D = 6$ . Таким образом, в общем случае модуль пересчета

$$M_D = d_M + 1, d_M \neq 0; M_U = 2^4 - d_M, d_M \neq 15, \quad (7.65)$$

где  $M_D$  — модуль пересчета при значении сигнала  $U = 0$  (вычитание) и допустимых значениях числа  $d_M = 1, 2, \dots, 15$ ;  $M_U$  — модуль пересчета при значении сигнала  $U = 1$  (сложение) и допустимых значениях числа  $d_M = 0, 1, \dots, 14$ .

По заданному модулю пересчета можно найти число  $d_M = D_3D_2D_1D_0$ , которое необходимо загружать при каждом переполнении счетчика. Так, из выражения (7.65) следует, что

$$d_M = \begin{cases} M_D - 1, & M_D = 2, 3, \dots, 16, \\ 2^4 - M_U, & M_U = 2, 3, \dots, 16. \end{cases} \quad (7.66)$$

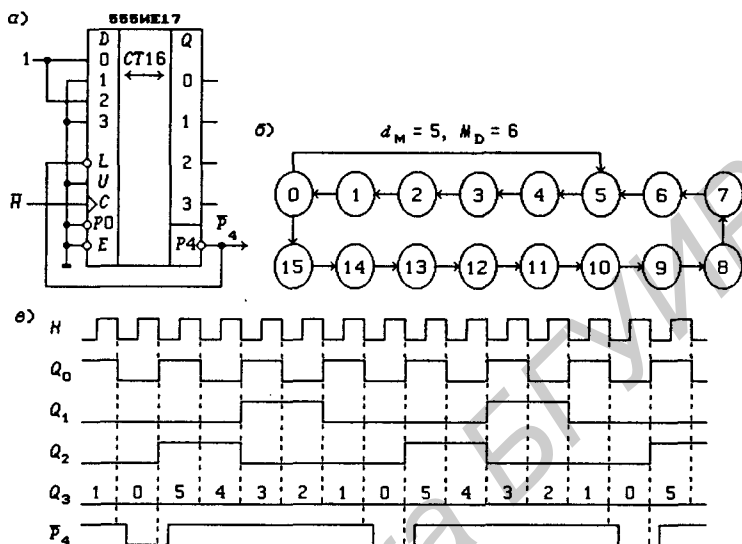


Рис. 7.94

При программировании модуля пересчета реверсивных счетчиков предпочитают включать их на вычитание из-за более естественной работы счетчика (декремент состояний счетчика от значения  $j_{\max} = d_M$  до значения  $j = 0$ ) и простоты отыскания значений разрядов  $D_r$  числа  $d_M = D_3D_2D_1D_0$ . Временные диаграммы, изображенные на рис. 7.94,в, поясняют работу вычитающего счетчика при загрузке сигналом  $\bar{L}$  числа  $d_M = 5$ .

На рис. 7.95,а показана схема включения двоично-десятичного реверсивного счетчика на вычитание с программированием модуля пересчета загрузкой числа  $d_M = D_3D_2D_1D_0 = 4$  сигналом  $\bar{L} = \bar{P}_4$ . Как следует из выражения (7.57), сигнал переполнения  $P_4 = \bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0 = K_0$ , т.е. сигнал загрузки  $\bar{L} = 0$  в состоянии счетчика  $j = 0$ . Счетчик описывается графом переходов, изображенным на рис. 7.95,б. Этот граф переходов получен заданием значения  $U \equiv 0$  в полном графе переходов двоично-десятичного счетчика, приведенном на рис. 7.84. Из графа переходов видно, что модуль пересчета  $M_D = 5$ . Таким образом, в общем случае модуль пересчета

$$M_D = d_M + 1, d_M \neq 0; M_U = 10 - d_M, d_M \neq 9, \quad (7.67)$$

где  $M_D$  — модуль пересчета при значении сигнала  $U = 0$  (вычитание) и допустимых значениях числа  $d_M = 1, 2, \dots, 15$ ;  $M_U$

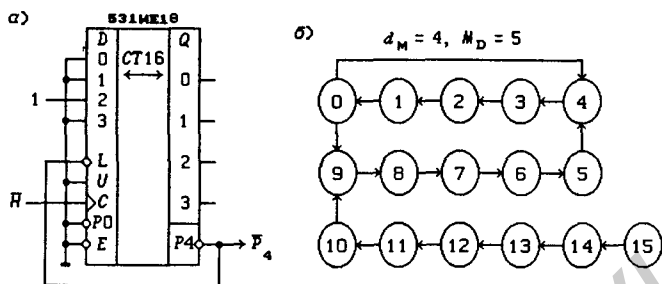


Рис. 7.95

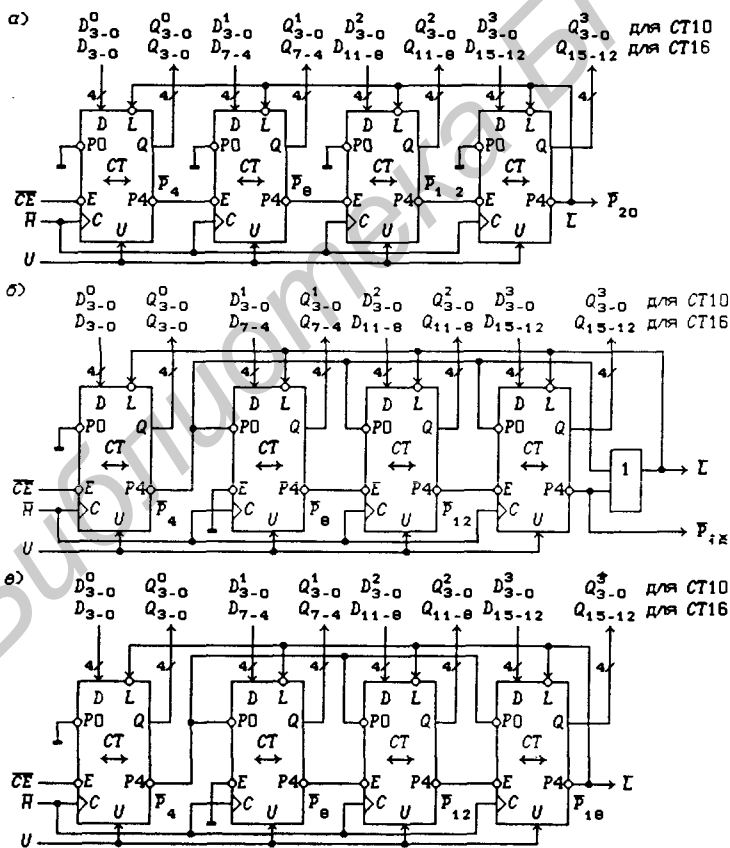


Рис. 7.96

— модуль пересчета при значении сигнала  $U = 1$  (сложение) и допустимых значениях числа  $d_M = 0, 1, \dots, 8$ , определяемый выражением (7.45).

Из выражения (7.67) следует, что

$$d_M = \begin{cases} M_D - 1, & M_D = 2, 3, \dots, 16, \\ 10 - M_U, & M_U = 2, 3, \dots, 10. \end{cases} \quad (7.68)$$

Для программирования модуля пересчета многокаскадных двоичных счетчиков используется, как правило, сигнал загрузки  $\bar{L} = f(P_k)$ . На рис. 7.96,а показана структурная схема многокаскадного реверсивного счетчика с последовательным переносом и сигналом загрузки  $\bar{L} = \bar{P}_{16}$ . Как следует из соотношений (7.53), (7.57) и (7.58) при значениях управляющих сигналов  $CE = 1$  и  $U = 0$ , сигнал загрузки  $\bar{L} = \bar{P}_{16} = \bar{K}_0$ , как для двоичных, так и для двоично-десятичных реверсивных счетчиков ( $K_0 = \bar{Q}_{15} \dots \bar{Q}_1 \bar{Q}_0$ ). Поэтому формулы для модулей пересчета получаются из соотношений (7.65) и (7.67) для 4-разрядных счетчиков простым изменением разрядности чисел. Так, для 16-разрядного двоичного реверсивного счетчика модули пересчета

$$\left. \begin{aligned} M_D &= d_M + 1, & d_M &\neq 0, \\ M_U &= 2^m - d_M = \bar{d}_M + 1, & d_M &\neq 2^m - 1, \end{aligned} \right\} \quad (7.69)$$

где  $m = 16$  — число разрядов счетчика,  $d_M = D_{15} \dots D_1 D_0$  — 16-разрядное двоичное число,  $\bar{d}_M = \bar{D}_{15} \dots \bar{D}_1 \bar{D}_0$ ,  $M_D$  — модуль пересчета вычитающего счетчика при допустимых значениях числа  $6 \leq d_M \leq 2^m - 1$ ,  $M_U$  — модуль пересчета суммирующего счетчика при допустимых значениях  $0 \leq d_M \leq 2^m - 2$ . А для 4-разрядного двоично-десятичного реверсивного счетчика модули пересчета

$$\left\{ \begin{aligned} M_D &= d_M + 1, & d_M &\neq 0, \\ M_U &= 10^m - d_M, & d_M &\neq 10^m - 1, \end{aligned} \right. \quad d_M = \sum_{i=0}^{m-1} d_{Mi} \cdot 10^i, \quad (7.70)$$

где  $d_M = D_3^3 D_2^3 D_1^3 D_0^3 \cdot D_3^2 D_2^2 D_1^2 D_0^2 \cdot D_3^1 D_2^1 D_1^1 D_0^1 \cdot D_3^0 D_2^0 D_1^0 D_0^0$ ,  $m = 4$  — число десятичных разрядов счетчика,  $M_D$  — модуль пересчета вычитающего счетчика при допустимых значениях разрядов  $0 \leq d_{Mi} = D_3^i D_2^i D_1^i D_0^i \leq 15$  и чисел  $1 \leq d_M \leq 15 \cdot (10^4 - 1)/9 = 16665$  ( $i$  — номер разряда),  $M_U$  — модуль пересчета суммирующего счетчика при допустимых значениях разрядов  $0 \leq d_{Mi} = D_3^i D_2^i D_1^i D_0^i \leq 9$  и чисел  $0 \leq d_M \leq 10^m - 2$ .

При использовании значений разрядов  $d_{Mi} \geq 10$  счет производится не в десятичной системе счисления с представлением результата счета в коде 8-4-2-1. При использовании счетчиков

в качестве делителей частоты это позволяет получать коэффициенты деления  $M_D > 10^m - 1$ . Из выражений (7.69) и (7.70) следует, что для двоичных реверсивных счетчиков загружаемое при программировании число

$$d_M = \begin{cases} M_D - 1, & M_D = 2, 3, \dots, 2^m, \\ 2^m - M_U = \overline{M}_U + 1, & M_U = 2, 3, \dots, 2^m, \end{cases} \quad (7.71)$$

а для двоично-десятичных загружаемое число

$$d_M = \begin{cases} M_D - 1, & M_D = 2, 3, \dots, (15 \cdot 10^m - 6)/9, \\ 10^m - M_U, & M_U = 2, 3, \dots, 10^m \end{cases} \quad (7.72)$$

(например, при  $m = 4$  модули пересчета  $2 \leq M_D \leq 16666$ ).

Пр и м е р. Пусть требуется спроектировать делитель частоты с коэффициентом деления  $M_D = 143$  на двоично-десятичных счетчиках. Из соотношений (7.72) следует, что для этого требуется не более двух десятичных разрядов, так как  $(15 \cdot 10^2 - 6)/9 = 166 > 143$ , а загружаемое число  $d_M = M_D - 1 = 142$ . Поскольку  $d_M = d_{M1}10^1 + d_{M0}10^0$ , то можно взять  $d_{M1} = 14$ ,  $d_{M0} = 2$  или  $d_{M1} = 13$ ,  $d_{M0} = 12$ . Поэтому можно использовать одно из двух двоичных представлений загружаемого числа

$$d_M = D_3^1 D_2^1 D_1^1 D_0^1 \cdot D_3^0 D_2^0 D_1^0 D_0^0 = 1110.0010 \text{ или } 1101.1100.$$

Принципиальная схема 12-разрядного двоичного счетчика с последовательным переносом показана на рис. 7.97,а. В этой же схеме можно использовать и двоично-десятичные реверсивные счетчики 531ИЕ16.

Структурная схема многокаскадного счетчика с параллельным переносом и сигналом загрузки  $\overline{L} = \overline{P_4 P_{16}}$  изображена на рис. 7.96,б. Легко убедиться, что программирование модуля пересчета этого счетчика ничем не отличается от программирования модуля пересчета счетчика с последовательным переносом. В частности, модуль пересчета определяется соотношениями (7.69) для двоичного и (7.70) для двоично-десятичного реверсивных счетчиков. Принципиальная схема 12-разрядного двоично-десятичного счетчика с параллельным переносом показана на рис. 7.97,б. В этой же схеме можно использовать и двоично-десятичные реверсивные счетчики 531ИЕ16.

Вторая структурная схема многокаскадного счетчика с параллельным переносом и сигналом загрузки  $\overline{L} = \overline{P_{16}}$  показана на рис. 7.96,в. Как и в соответствующем суммирующем двоичном (двоично-десятичном) счетчике (см. рис. 7.58,е), загрузка числа  $d_M$  производится на 15 (9) тактов раньше, чем в предыдущих счетчиках. Из этого следует, что модуль пересчета

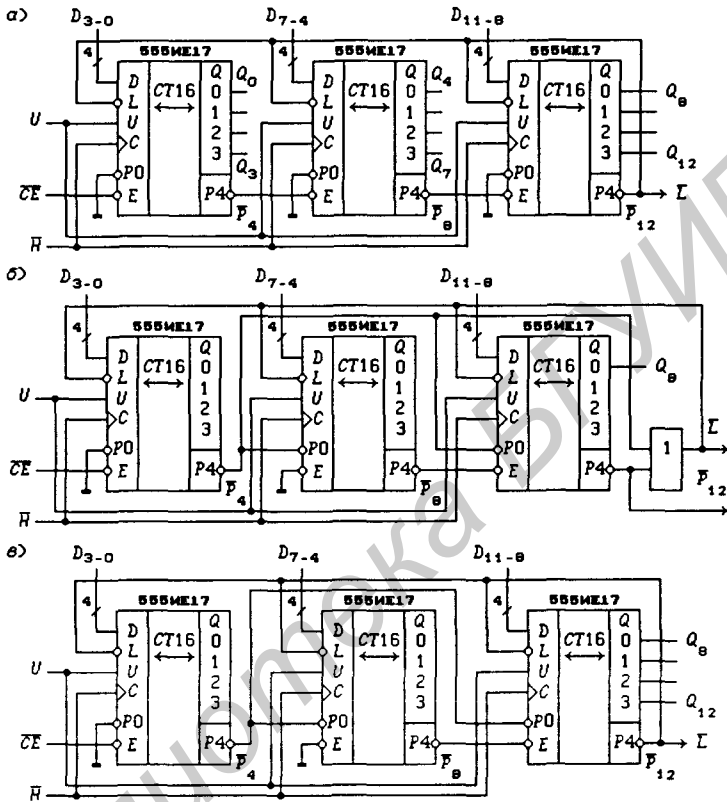


Рис. 7.97

двоичного реверсивного счетчика с параллельным переносом и сигналом загрузки  $\bar{L} = \bar{P}_{16}$  определяется выражениями:

$$\left. \begin{aligned} M_D &= d_M - 14, 2^4 \leq d_M \leq 2^m - 1, \\ M_U &= 2^m - 15 - d_M, 0 \leq d_M \leq 2^m - 2^4 - 1 \end{aligned} \right\} \quad (7.73)$$

( $m = 16$  — число двоичных разрядов счетчика), а двоично-десятичного реверсивного счетчика — выражениями:

$$\left. \begin{aligned} M_D &= d_M + 1, 10 \leq d_M \leq 15 \cdot (10^m - 1)/9, \\ M_U &= 10^m - 9 - d_M, 0 \leq d_M \leq 10^m - 10^1 - 1, \end{aligned} \right\} \quad (7.74)$$

где  $m = 4$  — число десятичных разрядов счетчика,  $M_D$  — модуль пересчета вычитающего счетчика при допустимых значениях разрядов  $0 \leq d_{M_i} = D_3^i D_2^i D_1^i D_0^i \leq 15$  и чисел  $10 \leq d_M \leq$



$15 \cdot (10^4 - 1)/9 = 16665$  ( $i$  — номер разряда),  $M_U$  — модуль пересчета суммирующего счетчика при допустимых значениях разрядов  $0 \leq d_{M_i} = D_3^i D_2^i D_1^i D_0^i \leq 9$  и чисел  $0 \leq d_M \leq 10^m - 11$ ,

$$d_M = \sum_{i=0}^3 d_{M_i} 10^i = D_3^3 \dots D_0^3 \cdot D_3^2 \dots D_0^2 \cdot D_3^1 \dots D_0^1 \cdot D_3^0 \dots D_0^0.$$

Принципиальная схема 12-разрядного двоичного счетчика с параллельным переносом и сигналом загрузки  $\bar{L} = \bar{P}_{16}$  показана на рис. 7.97,в. В этой же схеме можно использовать и двоично-десятичные реверсивные счетчики 531ИЕ16. Наибольшее быстродействие имеют программируемые счетчики, представленные на рис. 7.96,б и 7.97,б, так как активный уровень сигнала  $\bar{L} = 0$  определяется значением переноса  $\bar{P}_4 = 0$ , который без задержки подается по параллельной цепи на ЛЭ ИЛИ. При использовании ИС 531ИЕ17 экспериментальные максимальные значения  $f_{\max}$  частоты тактового сигнала  $\bar{H}$  при программировании любого модуля пересчета 16-разрядных двоичных счетчиков составляют 17 МГц для счетчика, выполненного по рис. 7.96,а, 27 МГц для счетчика, выполненного по рис. 7.96,б, и 21 МГц для счетчика, выполненного по рис. 7.96,в.

Программирование модуля пересчета счетчиков с асинхронной загрузкой данных. Загрузка чисел  $d_M$  при программировании модуля пересчета асинхронным потенциальным сигналом  $\bar{L} = 0$  производится немедленно без воздействия импульсного сигнала  $dH = 1$ , по которому при счете совершаются переходы внутренних состояний счетчика. На рис. 7.98,а показано включение счетчика 555ИЕ13 на вычитание с записью сигналом  $\bar{L} = \overline{RC} = \overline{P_4 H} = 0$  числа  $d_M = 5$ , где  $P_4 = \overline{Q_3 Q_2 Q_1 Q_0}$ . Так как при этом внутреннее состояние счетчика  $j = 0$  изменяется на состояние  $j = 5$  (рис. 7.99,а;  $j = e_{Q_3} e_{Q_2} e_{Q_1} e_{Q_0}$ , где  $e_{Q_i} = 0$  или 1), то длительность сигнала  $\bar{L} = 0$  определяется лишь быстродействием ИС, т. е. сигнал  $\bar{L} = \overline{dP_4 H} = \overline{P_4 dH}$  — импульсный сигнал с низким (0) активным уровнем.

На рис. 7.99,б изображен граф переходов, описывающий работу счетчика 555ИЕ13 при программировании модуля пересчета, — переход, обозначенный штриховой линией, выполняется в том же такте, что и переход из состояния  $j = 1$  в состояние  $j = 0$ , т. е. за один такт осуществляется два перехода. Из графа переходов следует, что модуль пересчета счетчика  $M_D = 5$  — на 1 меньше, чем в счетчике с синхронной загрузкой данных, изображенной на рис. 7.94,а. Аналогично можно показать, что при подаче на счетчик, представленный на рис. 7.98,а, сиг-

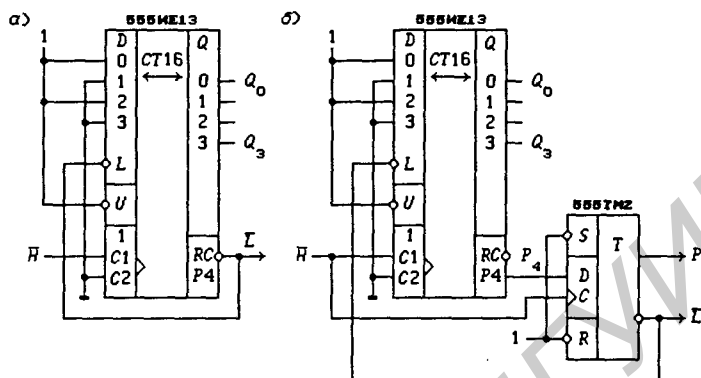


Рис. 7.98

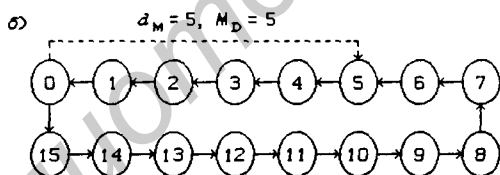
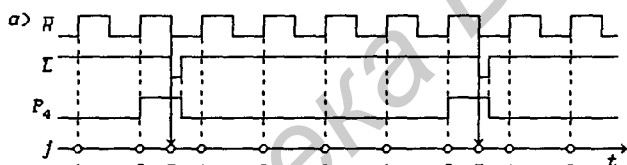


Рис. 7.99

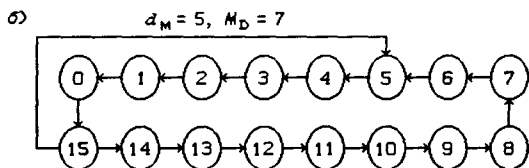
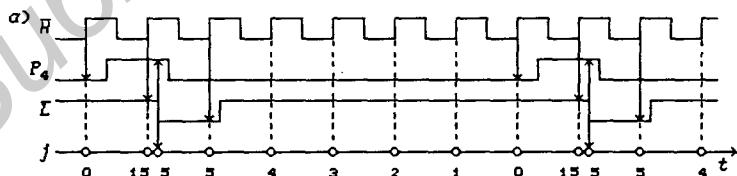


Рис. 7.100

нала  $\bar{U} = 0$  (включение на сложение) модуль пересчета  $M_U$  будет равен 10. В общем случае модуль пересчета двоичного реверсивного счетчика с асинхронной загрузкой данных задается выражениями:

$$M_D = d_M, 2 \leq d_M \leq 15; M_U = 15 - d_M, 0 \leq d_M \leq 13, \quad (7.75)$$

где  $d_M = D_3 D_2 D_1 D_0$ .

Основным недостатком рассмотренного метода программирования модуля пересчета является уменьшение быстродействия счетчика из-за срабатывания триггеров дважды за один такт при загрузке данных  $d_M$  (максимально допустимая частота тактового сигнала уменьшается, по меньшей мере, в два раза). Кроме того, в принципе возможны, хотя и маловероятно, сбои в работе счетчика из-за недостаточной длительности импульсного сигнала  $\bar{L}$  для некоторых триггеров счетчика (если бы триггеры сильно различались по быстродействию, то счетчик не смог бы работать правильно).

В схеме, изображенной на рис. 7.98,а, можно использовать и двоично-десятичный реверсивный счетчик 74LS190 (см. рис. 7.83), модули пересчета которого будут определяться соотношениями:

$$M_D = d_M, 2 \leq d_M \leq 15; M_U = 9 - d_M, 0 \leq d_M \leq 7, \quad (7.76)$$

где  $d_M = D_3 D_2 D_1 D_0$ .

На рис. 7.98,б показано включение счетчика 555ИЕ13 на вычитание с квазисинхронной загрузкой числа  $d_M = 5$ , или конвейерным переносом. Сигнал переполнения  $P_4$  задерживается  $D$ -триггером на один такт (рис. 7.100,а), поэтому загрузка числа  $d_M$  производится в состоянии счетчика  $j = 15$ , а не в состоянии  $j = 0$  (рис. 7.100,б), и на загрузку числа  $d_M$  затрачивается один такт (квазисинхронная загрузка). Из этого следует, что модуль пересчета определяется соотношениями:

$$M_D = d_M + 2, 1 \leq d_M \leq 15; M_U = 17 - d_M, 0 \leq d_M \leq 14, \quad (7.77)$$

где  $d_M = D_3 D_2 D_1 D_0$ ,  $3 \leq M_D$ ,  $M_U \leq 17$ .

Из этих выражений видно, что модуль пересчета может быть больше  $2^4 = 16$ . В принципе, цифровой автомат, содержащий пять триггеров, может иметь  $2^5 = 32$  внутренних состояния. Хотя 4-разрядный счетчик не может иметь более 16 внутренних состояний, однако некоторые его состояния под управлением  $D$ -триггера могут повторяться дважды за цикл пересчета. Так, при значении управляющего сигнала  $\bar{U} = 1$  (вычитание) и загрузке числа  $d_M = 15$  внутреннее состояние счетчика  $j = 15$  устанавливается в двух последовательных тактах.

Длительность активного уровня задержанного сигнала переполнения счетчика  $P_4^* = L$  равна периоду тактового сигнала  $\bar{H}$ , поэтому надежность срабатывания всех триггеров счетчика гарантирована. Быстродействие счетчика с квазисинхронной загрузкой не ниже быстродействия счетчика с синхронной загрузкой, если задержка сигнала переполнения  $P_4$  в счетчике относительно тактового сигнала  $\bar{H}$  не меньше задержки сигнала  $\bar{L}$  в  $D$ -триггере.

Если в схеме на рис. 7.98,б двоичный счетчик заменить на двоично-десятичный реверсивный счетчик 74LS190, то модули пересчета будут определяться выражениями:

$$M_D = d_M + 2, 1 \leq d_M \leq 15; M_U = 11 - d_M, 0 \leq d_M \leq 8, (7.78)$$

где  $d_M = D_3 D_2 D_1 D_0$ .

Задержка сигналов переполнения  $P_4$  и  $\bar{RC}$  в ИС 555IE13 относительно тактового сигнала  $\bar{H}$  несколько больше задержки выходных сигналов триггеров  $Q_r$ , поэтому повысить быстродействие программируемого счетчика можно использованием сигналов  $Q_r$  для загрузки данных  $d_M$ . На рис. 7.101 приведена схема счетчика с программируемым модулем пересчета, выполненная на основе универсальной схемы временной привязки (УСВП; см. рис. 5.132).

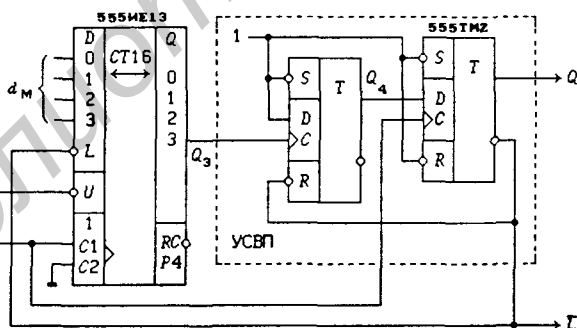


Рис. 7.101

Временные диаграммы, изображенные на рис. 7.102,а, поясняют работу вычитающего счетчика для случая загрузки числа  $d_M = 4$  — УСВП обеспечивает проведение квазисинхронной загрузки в состоянии счетчика  $j = 14$ . Из графа переходов (рис. 7.102,б) следует, что модуль пересчета  $M_D = 7 = d_M + 3$ . В суммирующем счетчике его старший разряд  $Q_3$  изменяется с 0 на 1 при переходе из состояния  $j = 7$  в состояние  $j = 8$ . Значение сиг-

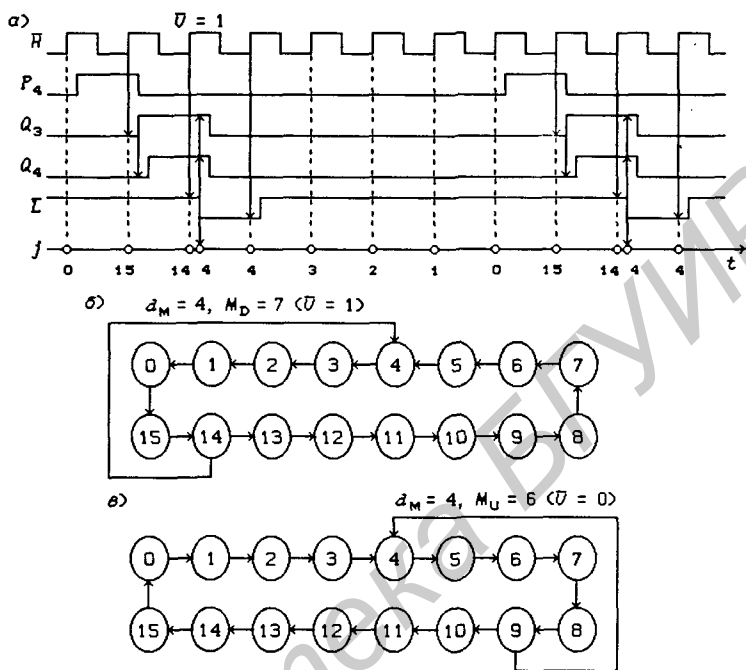


Рис. 7.102

нала загрузки  $\bar{L} = 0$  УСВП выдает на такт позже в состоянии  $j = 9$ , поэтому модуль пересчета  $M_U = 6$  при квазисинхронной загрузке числа  $d_M = 4$  (рис. 7.102, в). В общем случае модули пересчета двоичного реверсивного счетчика с квазисинхронной загрузкой данных с помощью УСВП задаются выражениями:

$$M_D = d_M + 3, 0 \leq d_M \leq 15, M_U = \begin{cases} M - 8 & \text{при } 0 \leq d_M \leq 7, \\ M + 8 & \text{при } 8 \leq d_M \leq 15, \end{cases} \quad (7.79)$$

где  $d_M = D_3 D_2 D_1 D_0$ ,  $M = 2^4 - d_M + 2$ .

Из этих выражений видно, что модуль пересчета может быть равен 18. Под управлением УСВП некоторые состояния счетчика могут повторяться дважды за цикл пересчета. Так, при значении управляющего сигнала  $\bar{U} = 1$  (вычитание) и загрузке числа  $d_M = 15$  последовательность внутренних состояний счетчика  $j = 15$  и  $14$  повторяется два раза за цикл пересчета.

Программируемый 12-разрядный двоичный реверсивный счетчик с последовательным переносом и асинхронной потенциальной загрузкой данных представлен на рис. 7.103. Надеж-

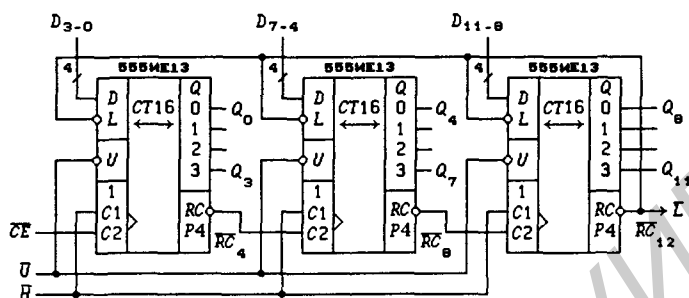


Рис. 7.103

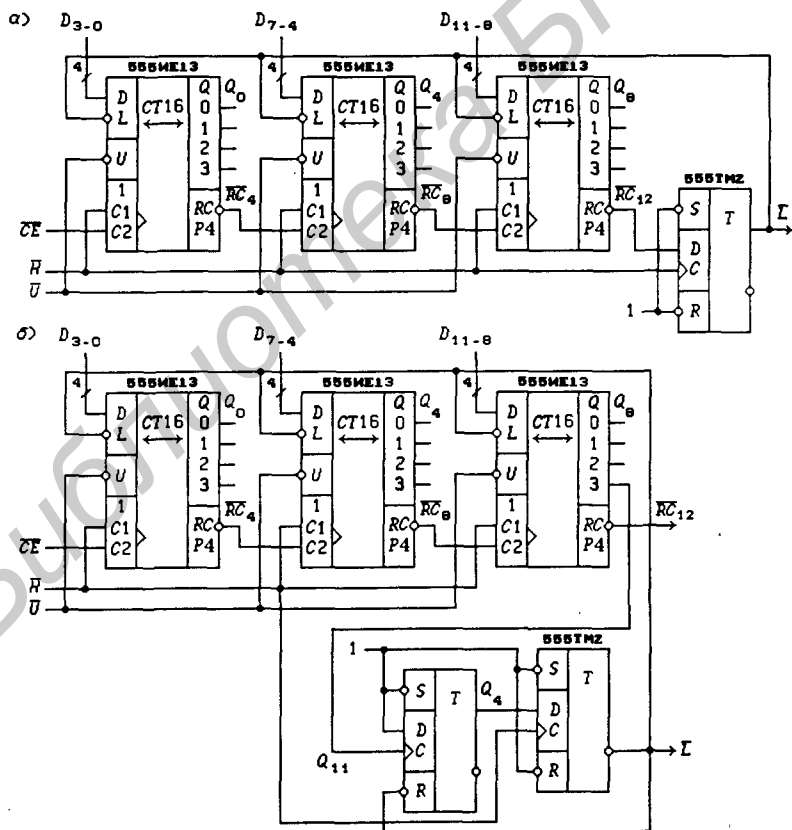


Рис. 7.104

ность его работы ниже надежности работы 4-разрядного счетчика из-за возможного различия в быстродействии ИС, что более вероятно, чем значительное различие быстродействия триггеров внутри ИС. Модули пересчета этого счетчика определяются выражениями:

$$\left. \begin{aligned} M_D &= d_M, \quad 2 \leq d_M \leq 2^m - 1, \\ M_U &= 2^m - 1 - d_M = \overline{d_M}, \quad 0 \leq d_M \leq 2^m - 2, \end{aligned} \right\} \quad (7.80)$$

где  $m = 12$ ,  $d_M = D_{11} \dots D_1 D_0$ .

Программируемый 12-разрядный двоичный реверсивный счетчик с последовательным переносом и квазисинхронной загрузкой данных приведен на рис. 7.104,а. Надежность его работы гарантирована, так как длительность активного уровня сигнала загрузки  $\bar{L}$  равна периоду тактового сигнала  $\bar{H}$ . Модули пересчета этого счетчика определяются выражениями:

$$\left. \begin{aligned} M_D &= d_M + 2, \quad 1 \leq d_M \leq 2^m - 1, \\ M_U &= 2^m + 1 - d_M = \overline{d_M} + 2, \quad 0 \leq d_M \leq 2^m - 2, \end{aligned} \right\} \quad (7.81)$$

где  $m = 12$ ,  $d_M = D_{11} \dots D_1 D_0$ .

Программируемый 12-разрядный двоичный реверсивный счетчик с последовательным переносом и квазисинхронной загрузкой данных, выполненной на основе УСВП, приведен на рис. 7.104,б. Модули пересчета этого счетчика определяются выражениями:

$$\left. \begin{aligned} M_D &= d_M + 3, \quad 0 \leq d_M \leq 2^m - 1, \\ M_U &= \begin{cases} M - 2^{m-1}, & \text{если } 0 \leq d_M \leq 2^{m-1} - 1, \\ M + 2^{m-1}, & \text{если } 2^{m-1} \leq d_M \leq 2^m - 1, \end{cases} \end{aligned} \right\} \quad (7.82)$$

где  $m = 12$ ,  $d_M = D_{11} \dots D_1 D_0$ ,  $M = 2^m - d_M + 2$ .

Реверсивные счетчики 561ИЕ11 и 561ИЕ14 с асинхронной потенциальной загрузкой данных (см. рис. 7.74 и 7.83), изготавливаемые по КМОП-технологии, хотя и отличаются по принципу управления от счетчика 555ИЕ13, однако допускают использовать те же методы программирования модуля пересчета. Программируемый 12-разрядный двоичный реверсивный счетчик с последовательным переносом и асинхронной потенциальной загрузкой данных, выполненный на ИС 561ИЕ11 и эквивалентный счетчику, приведенному на рис. 7.103, изображен на рис. 7.105,а. Сигнал загрузки  $L = P_{12}H = RC_{12}$ , поэтому модули пересчета этого счетчика определяются выражениями (7.80).

Программируемый 12-разрядный двоичный реверсивный счетчик с последовательным переносом и квазисинхронной загрузкой данных, выполненный на ИС 561ИЕ11 и эквивалентный

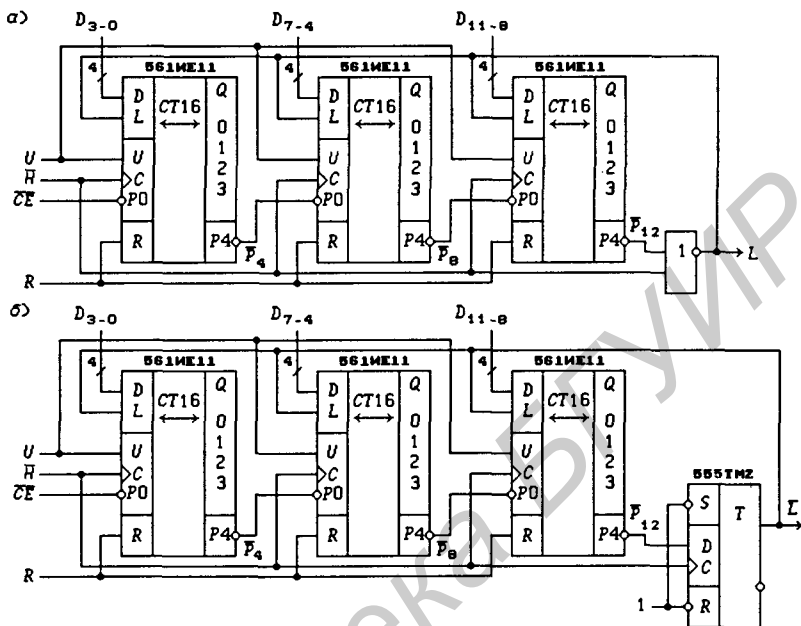


Рис. 7.105

счетчику, приведенному на рис. 7.104,а, показан на рис. 7.105,б. Модули пересчета этого счетчика определяются соотношениями (7.81). В схемах, изображенных на рис. 7.105, можно использовать и ИС 561IE14 при замене сигнала сброса  $R$  на сигнал  $ML$  управления двоичным/двоично-десятичным счетом. Схема 12-разрядного двоичного счетчика, приведенная на рис. 7.105,б, работает на частоте  $f_{\max} = 1,6$  МГц при напряжении питания  $V_{DD} = +5$  В. Частота  $f_{\max} = 2,2$  МГц у 4-разрядного двоичного счетчика с квазисинхронной загрузкой (одна ИС 561IE11 и D-триггер 561TM2; напряжение питания  $V_{DD} = +5$  В).

Программирование модуля пересчета счетчиков с синхронной загрузкой данных и конвейерным переносом. Конвейерный перенос можно использовать не только для организации квазисинхронной загрузки, но и в счетчиках с синхронной загрузкой чисел  $d_M$  для увеличения их быстродействия при программировании модуля пересчета.

На рис. 7.106 показан программируемый счетчик с конвейерным переносом, выполненный на ИС серии 531. Среднее время задержки распространения от входа тактового сигнала до некоторого выхода ИС  $t_{pd}$  характеризует быстродействие схе-



мы, в которой сигнал с данного выхода подается по цепи обратной связи на какой-либо управляющий вход схемы. Так, время задержки распространения  $t_{pd} \leq 28$  нс от входа  $\bar{H}$  до выхода  $\bar{P}_4$  и  $t_{pd} \leq 12$  нс от входа  $\bar{H}$  до выхода  $Q$  [29]. Из этого следует, что быстродействие счетчика будет примерно в два раза больше при использовании сигнала синхронной загрузки  $\bar{L} = \bar{P}_4^*$ , чем при  $\bar{L} = \bar{P}_4$ . Задержка же сигнала загрузки  $\bar{L}$  на целое число тактов (в данном случае на один) учитывается при вычислении загружаемого числа  $d_M = D_3 D_2 D_1 D_0$  по заданному значению модуля пересчета  $M_D$ .

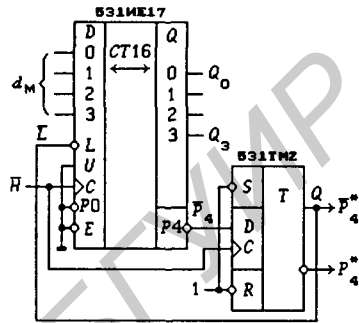


Рис. 7.106

Временные диаграммы, изображенные на рис. 7.107,а, поясняют работу счетчика при загрузке числа  $d_M = 4$  — загрузка производится в состоянии счетчика  $j = 15$ , т.е. на один такт позже, чем в счетчике, приведенном на рис. 7.94,а. Из графа переходов (рис. 7.107,б) следует, что модуль пересчета  $M_D = 6$ . В общем случае модуль пересчета определяется выражениями:

$$M_D = d_M + 2, M_U = 17 - d_M, \quad (7.83)$$

где  $d_M = D_3 D_2 D_1 D_0$ ,  $0 \leq d_M \leq 15$ ,  $2 \leq M_D$ ,  $M_U \leq 17$ . При значении модуля пересчета, равном 17, одно из внутренних состояний  $j = 15$  при  $U = 0$  или  $j = 0$  при  $U = 1$  повторяется дважды за цикл пересчета (рис. 7.108).

Время задержки распространения  $t_{pd} \leq 15$  нс от входа  $\bar{H}$  до выходов  $Q_r$  в ИС 531IE17 [29], поэтому увеличения быстродействия или надежности работы счетчика можно добиться использованием УСВП (рис. 7.109). Модули пересчета  $M_D$  и  $M_U$  такого счетчика определяются соотношениями (7.79).

Схема 4-разрядного двоичного реверсивного счетчика с конвейерным переносом показана на рис. 7.110,а, а его условное графическое изображение — на рис. 7.110,б (СТРС — Counter with Pipeline Carry). Такие счетчики можно каскадировать всеми рассмотренными ранее методами. На рис. 7.111,а представлена структурная схема 16-разрядного двоичного реверсивного счетчика с последовательным конвейерным переносом и программируемым модулем пересчета. Модули пересчета этого

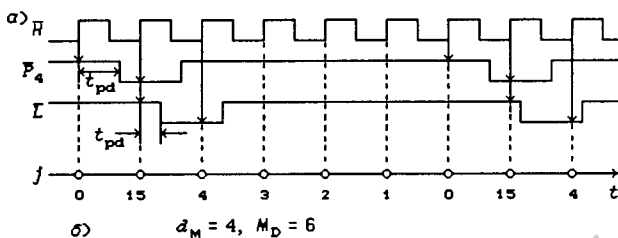


Рис. 7.107

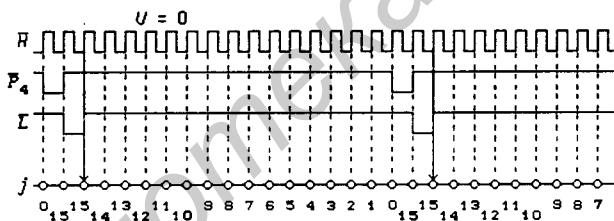


Рис. 7.108

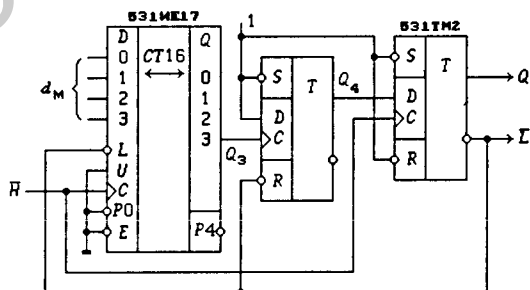


Рис. 7.109

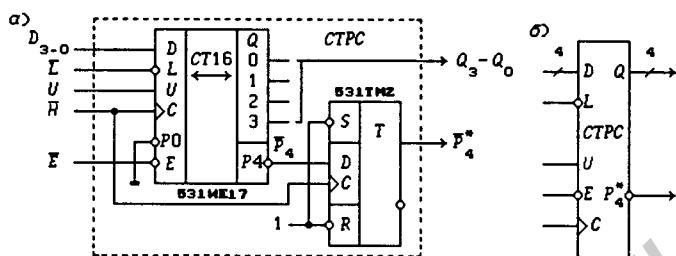


Рис. 7.110

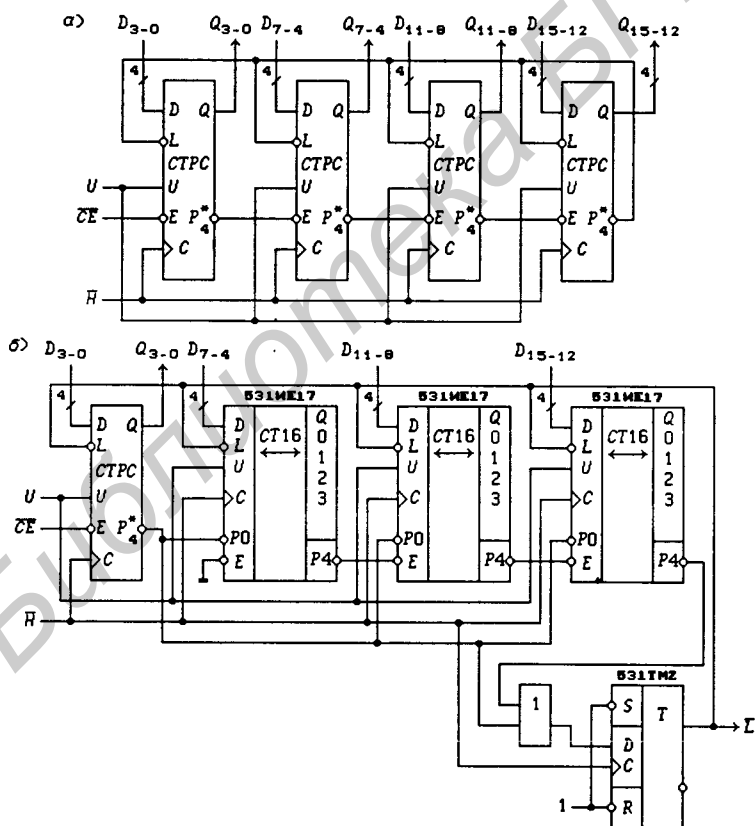


Рис. 7.111

счетчика определяются выражениями:

$$M_D = d_M + 5, \quad M_U = 2^m - d_M + 4 = \overline{d_M} + 5, \quad (7.84)$$

где  $m = 16$  — число разрядов счетчика,  $d_M = D_{15} \dots D_1 D_0$  — 16-разрядное двоичное число,  $\overline{d_M} = \overline{D_{15}} \dots \overline{D_1} \overline{D_0}$ ,  $0 \leq d_M \leq 2^m - 1$ .

При использовании ИС 531ИЕ17 счетчик работает на частоте  $f_{\max}$  тактового сигнала  $\overline{H}$ , равной 35 МГц, независимо от числа каскадов.

Схема 16-разрядного двоичного реверсивного счетчика с параллельным конвейерным переносом и программируемым модулем пересчета изображена на рис. 7.111,б. Модули пересчета этого счетчика определяются выражениями:

$$M_D = d_M + 3, \quad M_U = 2^m - d_M + 2 = \overline{d_M} + 3, \quad (7.85)$$

где  $m = 16$  — число разрядов счетчика,  $d_M = D_{15} \dots D_1 D_0$  — 16-разрядное двоичное число,  $\overline{d_M} = \overline{D_{15}} \dots \overline{D_1} \overline{D_0}$ ,  $0 \leq d_M \leq 2^m - 1$ . Счетчик работает на частоте  $f_{\max}$  тактового сигнала  $\overline{H}$ , равной 42 МГц.

При проектировании счетчиков можно использовать разложение модуля пересчета на множители, в частности, на простые множители. Пусть требуется построить счетчик, имеющий модуль пересчета  $M$ , который представим в виде произведения двух чисел  $M_1$  и  $M_2$ . На рис. 7.112,а изображен синхронный счетчик с последовательным переносом и раздельной загрузкой чисел  $D_{3-0}^0 = D_3^0 D_2^0 D_1^0 D_0^0 = M_1 - 1$  и  $D_{7-4}^1 D_{3-0}^1 = D_7^1 D_6^1 D_5^1 D_4^1 D_3^1 D_2^1 D_1^1 D_0^1 = M_2 - 1$ . Длительность активных уровней сигналов загрузки  $\overline{L}^0 = 0$  и  $\overline{L}^1 = 0$  равна периоду тактового сигнала  $\overline{H}$ .

Повысить надежность работы счетчика без снижения частоты тактового сигнала можно с помощью асинхронного включения счетчиков по  $\text{mod } M_1$  и  $\text{mod } M_2$  (рис. 7.112,б;  $M_1 = 11$  и  $M_2 = 239$  — простые числа;  $d_M = M_1 - 1 = 10_{10} = 1010_2$  и  $d_M = M_2 - 1 = 238_{10} = 11101110_2$  — загружаемые числа). В этом случае быстродействие всего счетчика определяется первым счетчиком (по  $\text{mod } M_1$ ), так как частота тактового сигнала второго счетчика в 11 раз ниже частоты тактового сигнала  $\overline{H}$  при скважности 11/3 (рис. 7.112,б). Повысить быстродействие первого счетчика можно использованием конвейерного переноса для формирования сигнала загрузки  $\overline{L}^0$  (рис. 7.113). Такой счетчик работает на частоте  $f_{\max}$  тактового сигнала  $\overline{H}$ , равной 50 МГц.

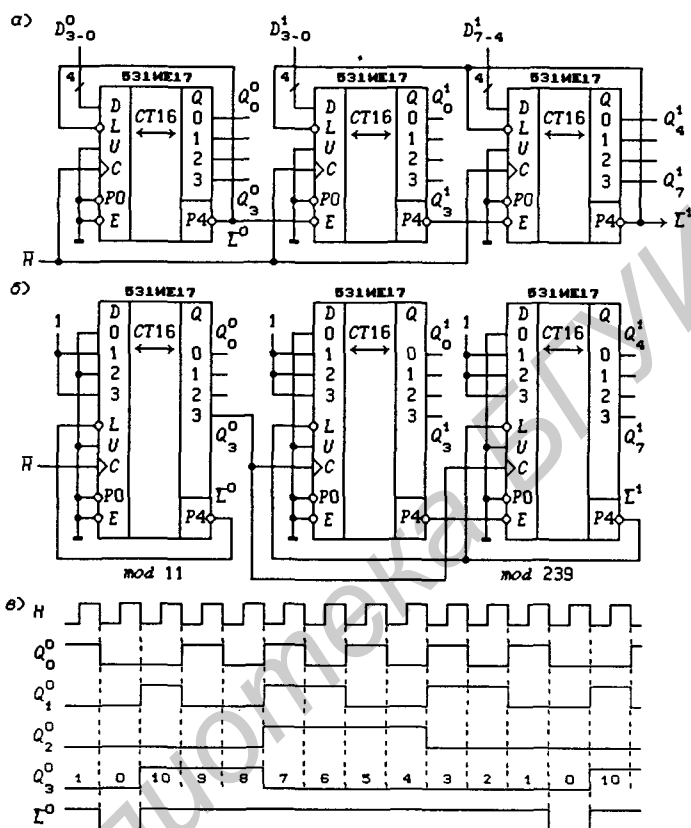


Рис. 7.112

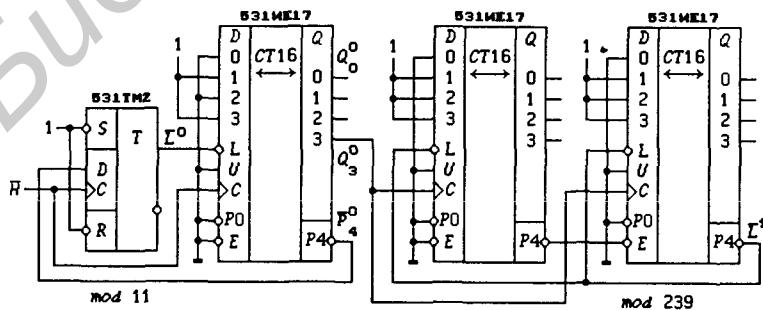


Рис. 7.113

Таблица 7.10. Программирование модуля пересчета

$M$	$x_2x_1$	$D_3D_2D_1D_0$	$d_M$
11	0 0	1 0 0 1	9
13	0 1	1 0 1 1	11
15	1 0	1 1 0 1	13
17	1 1	1 1 1 1	15

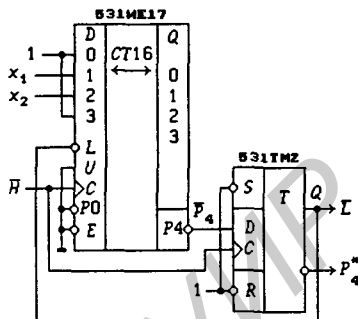


Рис. 7.114

Переключение модулей пересчета реверсивных счетчиков. Проектирование счетчиков с переключаемым модулем пересчета может быть выполнено на любом реверсивном счетчике на основании соотношений (7.65) – (7.85), определяющих их модули пересчета.

Пусть требуется синтезировать счетчик с четырьмя модулями пересчета, задаваемыми табл. 7.10. Для достижения максимального быстродействия следует использовать счетчик с конвейерным переносом (рис. 7.106), модуль пересчета которого описывается соотношениями (7.83). При включении счетчика на вычитание модуль пересчета  $M_D = d_M + 2$ , а значит должны загружаться числа  $d_M = M_D - 2$ . Занеся эти числа в табл. 7.10, легко найти, что  $D_3 = D_0 = 1$ ,  $D_2 = x_2$ ,  $D_1 = x_1$ . Полученным функциям соответствует схема, изображенная на рис. 7.114.

## 7.8. Счетчики с расщепленным тактовым сигналом

Тактовый сигнал реверсивных счетчиков  $C$  можно представить в виде дизъюнкции двух сигналов:

$$C = (U \vee \bar{U}) \cdot C = C_U \vee C_D,$$

где  $C$  (Clock) — тактовый сигнал,  $C_U = U \cdot C$ ,  $C_D = \bar{U} \cdot C$  ( $U$  —  $U_p$  — сложение,  $D$  — Down — вычитание; при работе счетчика должно выполняться условие  $C_U \cdot C_D \equiv 0$ ). При таком представлении тактового сигнала счетчик должен иметь два входа для подачи двух тактовых сигналов  $C_U$  и  $C_D$ .

Для реализации на  $T$ -триггерах операции 4-разрядного счета их функции возбуждения  $T_r$  (7.51) после стробирования сигналом  $C$  ( $C \cdot T_r$ ) можно подать на динамический вход, предназначенный для подключения тактового сигнала (вход  $T$  тригге-

ров при этом не используется). Тактовые сигналы  $C_r$  триггеров после такого преобразования могут быть представлены в виде:

$$C_0 = C = C_U \vee C_D, C_r = C_U \cdot \prod_{j=0}^{r-1} Q_j \vee C_D \cdot \prod_{j=0}^{r-1} \bar{Q}_j; r = 1, 2, 3.$$

Функция переполнения счетчика  $P_4$  (7.51) при этом также должна быть представлена двумя сигналами, получаемыми с помощью стробирования тактовым сигналом  $C = C_U \vee C_D$ :

$$P_U = C_U \cdot \prod_{r=0}^3 Q_r, P_D = C_D \cdot \prod_{r=0}^3 \bar{Q}_r,$$

где  $P_U$  — перенос,  $P_D$  — заем.

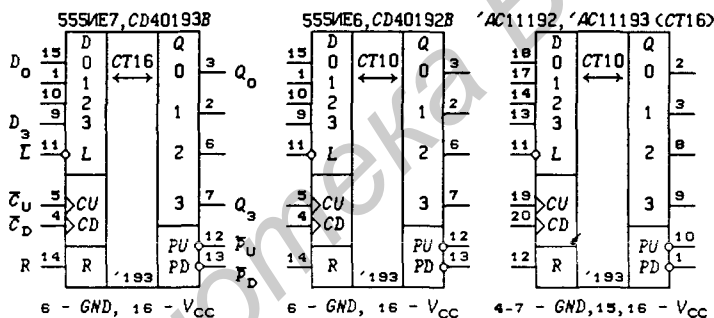


Рис. 7.115

**Счетчики с асинхронной потенциальной загрузкой данных.** Реверсивные счетчики, изготавливаемые в интегральном исполнении, имеют входы асинхронной потенциальной параллельной загрузки данных и установки состояния 0. На рис. 7.115 приведены реверсивные счетчики:

555IE7, CD40193B, 74AC11193 — 4-разрядный двоичный счетчик с асинхронными потенциальными входами  $R$  сброса и параллельной загрузки  $\bar{L}$  данных  $d_M = D_3D_2D_1D_0$  ( $\bar{L} = 0$  — загрузка,  $\bar{L} = 1$  — счет);

555IE6, CD40192B, 74AC11192 — двоично-десятичный счетчик с асинхронными потенциальными входами  $R$  сброса и параллельной загрузки  $\bar{L}$  данных  $d_M = D_3D_2D_1D_0$  ( $\bar{L} = 0$  — загрузка,  $\bar{L} = 1$  — счет).

В этих счетчиках вход  $R$  имеет приоритет по отношению ко входу загрузки  $\bar{L}$ . Двоично-десятичный реверсивный счетчик с

расщепленным тактовым сигналом 555ИЕ6 описывается тактовыми сигналами  $C_T$  и функциями переноса  $P_U$  и заема  $P_D$ , которые получаются из соотношений (7.55):

$$\begin{aligned} C_0 &= C_U \vee C_D, \quad C_1 = T_1 C = C_U \bar{Q}_3 Q_0 \vee C_D \bar{Q}_0 y, \\ C_2 &= T_2 C = C_U Q_1 Q_0 \vee C_D \bar{Q}_1 \bar{Q}_0 y, \\ C_3 &= T_3 C = C_U (Q_2 Q_1 Q_0 \vee Q_3 Q_0) \vee C_D \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \\ P_U &= C_U Q_3 Q_0, \quad P_D = C_D \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0, \end{aligned}$$

где  $y = Q_3 \vee Q_2 \vee Q_1$  (назначение входов  $D_T$ ,  $\bar{L}$  и  $R$  такое же, что и у счетчика 555ИЕ7). На рис. 7.116,а показаны временные диаграммы, поясняющие работу счетчика 555ИЕ6 в режиме суммирования, а на рис. 7.116,б — в режиме вычитания.

**Каскадирование счетчиков с расщепленным тактовым сигналом.** Наиболее просто каскадирование счетчиков с расщепленным тактовым сигналом осуществляется соединением выходов переноса  $\bar{P}_U$  и заема  $\bar{P}_D$  предыдущей ИС со входами  $\bar{C}_U$  и  $\bar{C}_D$  последующей ИС (рис. 7.117). При этом получается асинхронный импульсный счетчик. Его быстродействие не зависит от числа ИС.

Реверсивные двоичные счетчики производят счет в дополнительном коде, если старший разряд считать знаковым. Так, при вычитании счетчик, состоящий из  $m$  триггеров, из нулевого состояния переходит в состояние  $j = 2^m - 1$ , т.е. все триггеры изменяют состояние с 0 на 1, и полученный код соответствует числу  $-1$  в дополнительном коде.

На рис. 7.118 показана схема счета в прямом коде, выполненная на двух счетчиках 555ИЕ7. Управление счетчиком производится двумя сигналами —  $x_2$  и  $x_1$ . Сигнал  $x_2$  задает направление счета:  $x_2 = 0$  — сложение,  $x_2 = 1$  — вычитание. Сигнал  $x_1$  представляет собой импульсы, подлежащие счету со знаком, определяемым сигналом  $x_2$ . Число  $N$  поступивших на счетчик импульсов представляется в прямом коде  $[N]_{\Pi} = Q_S \cdot Q_7 \dots Q_0$ , где  $Q_S$  — знак числа ( $Q_S = 0$  — число положительное,  $Q_S = 1$  — число отрицательное),  $Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0$  — модуль числа. При счете в прямом коде при  $x_2 = Q_S$  должно производиться сложение, а при  $x_2 \neq Q_S$  — вычитание. Поэтому направление счета должно определяться значением сигнала  $f_S = x_2 \oplus Q_S$  при использовании показанного на рис. 7.118 демультиплексора  $1 \rightarrow 2$ , выполненного на ЛЭ И-НЕ. Изменение значения знакового разряда  $Q_S$  должно происходить после достижения нулевого состояния счетчика при  $x_2 \neq Q_S$  в следующем такте. Это обеспечивается подачей сигнала заема на тактовый вход триг-



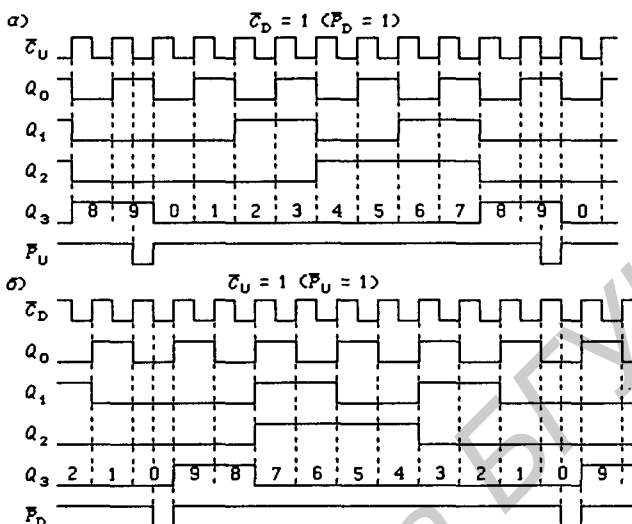


Рис. 7.116

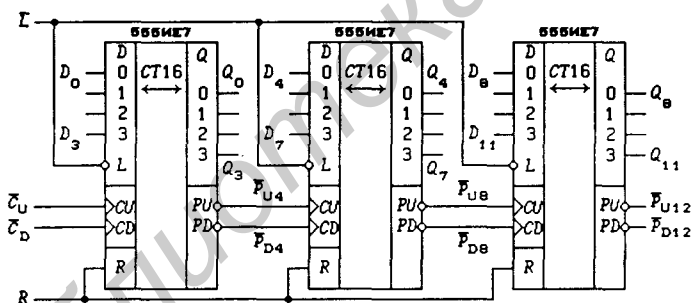


Рис. 7.117

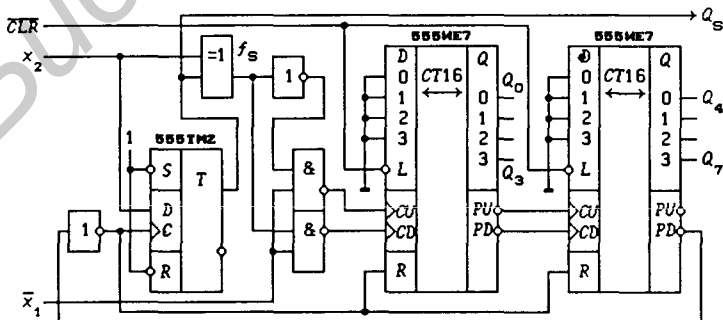


Рис. 7.118

гера знака. При изменении значений  $Q_S$  на выходах демультиплексора появляются кратковременные ложные значения сигналов. Для их блокирования на входы  $R$  счетчиков подан сигнал  $P_D$ , удерживающий счетчик в нулевом состоянии на время переходных процессов в демультиплексоре.

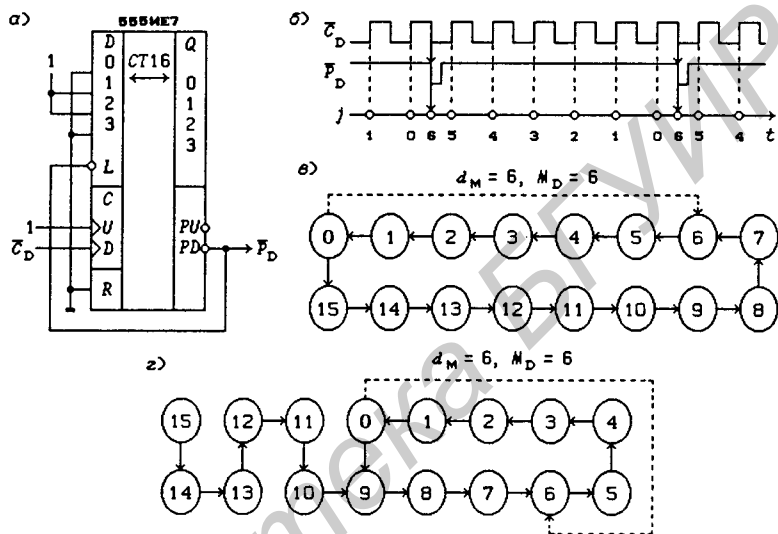


Рис. 7.119

Программирование модуля пересчета счетчиков с расщепленным тактовым сигналом. На рис. 7.119,а показано включение счетчика 555IE7 на вычитание с записью сигнала  $\bar{L} = \bar{P}_D = 0$  числа  $d_M = 6$ . Временные диаграммы, поясняющие работу счетчика при таком включении, показаны на рис. 7.119,б. Длительность сигнала загрузки  $\bar{L} = 0$  определяется быстродействием счетчика и составляет 30...40 нс, что может оказать влияние на надежность срабатывания счетчика. Так как загрузка асинхронная потенциальная, то переход, обозначенный на графе переходов пунктиром (рис. 7.119,в), выполняется в том же такте, что и переход из внутреннего состояния  $j = e_{Q_3}e_{Q_2}e_{Q_1}e_{Q_0} = 0001$  в состояние  $j = e_{Q_3}e_{Q_2}e_{Q_1}e_{Q_0} = 0000$ , т.е. за один такт осуществляются два перехода. Это приводит к уменьшению модуля пересчета на 1 по сравнению с синхронной загрузкой числа  $d_M$ , а также к уменьшению быстродействия счетчика (максимально допустимой частоты тактового сигнала). Из графа переходов следует, что модуль пересчета  $M_D = 6$  при работе счетчика на вычитание и загрузке числа  $d_M = 6$ . В

общем случае модуль пересчета двоичных реверсивных счетчиков с асинхронной потенциальной нагрузкой

$$M_D = d_M, 2 \leq d_M \leq 15; M_U = 15 - d_M, 0 \leq d_M \leq 13, \quad (7.86)$$

где  $d_M = D_3 D_2 D_1 D_0$ ,  $M_D$  — модуль пересчета при работе счетчика на вычитание,  $M_U$  — модуль пересчета при работе счетчика на сложение.

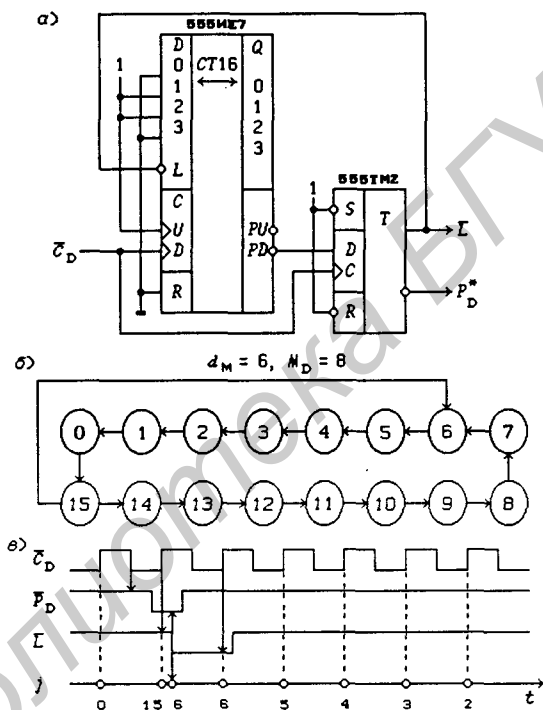


Рис. 7.120

В схеме, изображенной на рис. 7.119,а, можно использовать и двоично-десятичный реверсивный счетчик 555IE6, при включении которого на вычитание допускается загружать числа  $d_M = 2, 3, \dots, 15$  (рис. 7.119,з). Модуль пересчета двоично-десятичных реверсивных счетчиков с асинхронной параллельной нагрузкой определяется соотношениями:

$$M_D = d_M, 2 \leq d_M \leq 15; M_U = 9 - d_M, 0 \leq d_M \leq 7, \quad (7.87)$$

где  $d_M = D_3 D_2 D_1 D_0$ . На рис. 7.120,а показано включение счетчика 555IE7 на вычитание с квазисинхронной нагрузкой чи-

сла  $d_M = 6$ .  $D$ -триггер задерживает сигнал заема  $\bar{P}_D$  на один такт, поэтому загрузка числа  $d_M = 6$  производится в состоянии счетчика  $j = 15$ , а не в состоянии  $j = 0$  (рис. 7.120,б), и на загрузку числа  $d_M$  затрачивается один такт (квазисинхронная загрузка). Из графа переходов (рис. 7.120,б) следует, что  $M_D = 8$ . Временные диаграммы, поясняющие работы вычитающего счетчика при загрузке числа  $d_M = 6$ , изображены на рис. 7.120,в.

В общем случае модуль пересчета для схемы, изображенной на рис. 7.120,а, определяется соотношениями:

$$M_D = d_M + 2, \quad 1 \leq d_M \leq 15; \quad M_U = 17 - d_M, \quad 0 \leq d_M \leq 14, \quad (7.88)$$

где  $d_M = D_3 D_2 D_1 D_0$ ,  $3 \leq M_D, M_U \leq 17$ . Длительность значений выходных сигналов счетчика  $P_D^* = 1$  и  $\bar{L} = \bar{P}_D^* = 0$  равна периоду тактового сигнала  $\bar{C}_D$ .

На рис. 7.121,а приведена схема счетчика с программируемым модулем пересчета, выполненная на основе универсальной схемы временной привязки (УСВП; см. рис. 5.132). Временные диаграммы, изображенные на рис. 7.121,б, поясняют работу вычитающего счетчика при загрузке числа  $d_M$  — УСВП обеспечивает проведение квазисинхронной загрузки в состоянии счетчика  $j = 14$ . Модуль пересчета  $M_D = d_M + 3$ . Общая формула, определяющая модули пересчета двоичного реверсивного счетчика с УСВП, имеет вид:

$$M_D = d_M + 3, \quad 0 \leq d_M \leq 15, \quad M_U = \begin{cases} M - 8 & \text{при } 0 \leq d_M \leq 7, \\ M + 8 & \text{при } 8 \leq d_M \leq 15, \end{cases} \quad (7.89)$$

где  $d_M = D_3 D_2 D_1 D_0$ ,  $M = 2^4 - d_M + 2$ .

Программируемый 12-разрядный двоичный асинхронный реверсивный счетчик с асинхронной потенциальной загрузкой данных представлен на рис. 7.122. Надежность его работы ниже надежности работы 4-разрядного счетчика из-за возможного различия в быстродействии ИС, что более вероятно, чем значительное различие быстродействия триггеров внутри ИС. Модули пересчета этого счетчика определяются выражениями:

$$\left. \begin{aligned} M_D &= d_M, \quad 2 \leq d_M \leq 2^m - 1, \\ M_U &= 2^m - 1 - d_M = \bar{d}_M, \quad 0 \leq d_M \leq 2^m - 2, \end{aligned} \right\} \quad (7.90)$$

где  $m = 12$ ,  $d_M = D_{11} \dots D_1 D_0$ .

Программируемый 12-разрядный двоичный асинхронный реверсивный счетчик с квазисинхронной загрузкой данных приведен на рис. 7.123. Надежность его работы гарантирована, так как длительность активного уровня сигнала загрузки  $\bar{L}$  равна

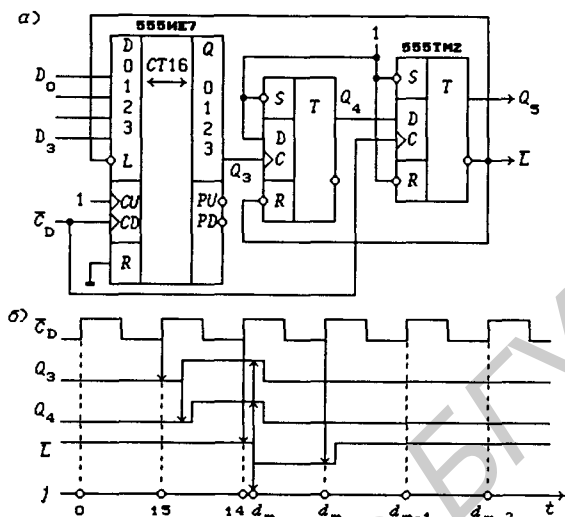


Рис. 7.121

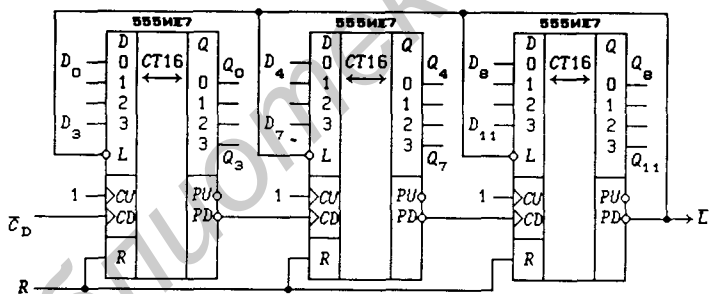


Рис. 7.122

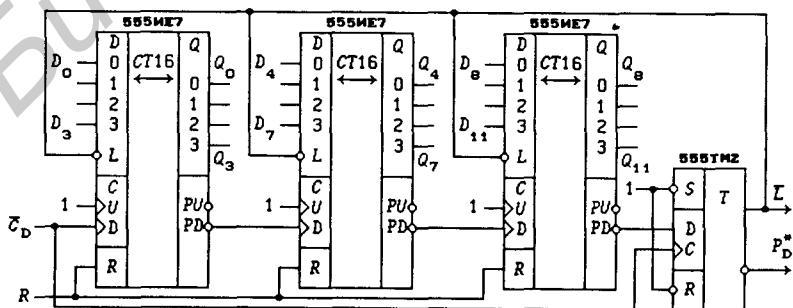


Рис. 7.123

периоду тактового сигнала  $\overline{H}$ . Модули пересчета этого счетчика определяются выражениями:

$$\left. \begin{aligned} M_D &= d_M + 2, 1 \leq d_M \leq 2^m - 1, \\ M_U &= 2^m + 1 - d_M = \overline{d_M} + 2, 0 \leq d_M \leq 2^m - 2, \end{aligned} \right\} \quad (7.91)$$

где  $m = 12$ ,  $d_M = D_{11} \dots D_1 D_0$ .

Формулы (7.86) – (7.91) позволяют найти загружаемые числа  $d_M$  для программирования любого модуля пересчета. Счетчики с асинхронной потенциальной загрузкой данных широко используются в микроконтроллерах, так как загрузка данных  $d_M$  может производиться непосредственно микропроцессором сигналом  $\overline{L} = I/OWR \cdot \overline{CS} = 0$ .

## 7.9. Счетчики на сдвигающих регистрах

Методика синтеза счетчиков на сдвигающих регистрах была изложена в § 4.6 — используется специальное кодирование их внутренних состояний, которое легко осуществляется сдвигом периодической последовательности символов 0 и 1 через регистр заданной разрядности. В частности, были синтезированы некоторые счетчики Джонсона и исследованы их свойства.

**Генератор кода Баркера.** Коды Баркера используются для фазовой манипуляции последовательности радиоимпульсов с целью получения малых значений боковых лепестков автокорреляционной функции ( $1/N$  — максимальное значение боковых лепестков при величине основного лепестка, равной 1). Код Баркера для  $N = 11$  задается последовательностью символов  $- - - + - - + - + + +$ , где символы “-” и “+” означают начальную фазу радиоимпульсов 0 и  $\pi$ . Чтобы синтезировать генератор сигнала, модулирующего фазу, на сдвигающем регистре, кодирование его внутренних состояний следует задать кодовой последовательностью

$Q_4 Q_3 Q_2 Q_1 Q_0$   
 $\leftarrow 0 \ 0 \ 0 \ 1 \ 0 \ 0 \ 1 \ 0 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 1 \ 0 \ 0 \ 1 \ 0 \ 1 \ 1 \ 1.$

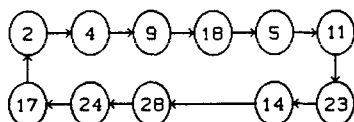


Рис. 7.124

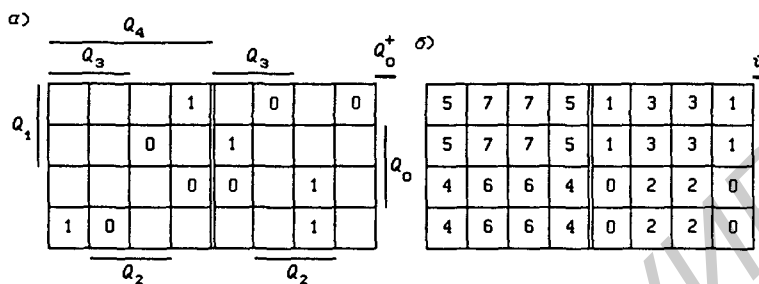


Рис. 7.125

Таблица 7.11. Генератор кода Баркера

$i$	$Q_4 Q_3 Q_2 Q_1 Q_0$	$Q_4^+ Q_3^+ Q_2^+ Q_1^+ Q_0^+$
2	0 0 0 1 0	0 0 1 0 0
4	0 0 1 0 0	0 1 0 0 1
9	0 1 0 0 1	1 0 0 1 0
18	1 0 0 1 0	0 0 1 0 1
5	0 0 1 0 1	0 1 0 1 1
11	0 1 0 1 1	1 0 1 1 1
23	1 0 1 1 1	0 1 1 1 0
14	0 1 1 1 0	1 1 1 0 0
28	1 1 1 0 0	1 1 0 0 0
24	1 1 0 0 0	1 0 0 0 1
17	1 0 0 0 1	0 0 0 1 0

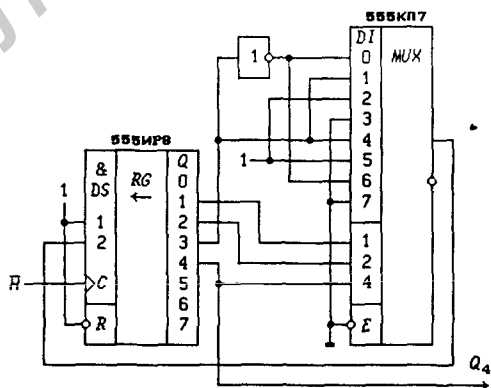


Рис. 7.126

Данной кодовой последовательности соответствует граф переходов, изображенный на рис. 7.124. Следует найти функцию возбуждения  $D_0 = Q_0^+$  только первого триггера сдвигающего регистра, так как функции возбуждения всех остальных триггеров  $D_r = Q_{r-1}$  ( $r = 1, 2, 3, 4$ ). На рис. 7.125,а показана диаграмма Вейча, составленная по таблице истинности (табл. 7.11), соответствующей приведенному графу переходов. Пустым клеткам в диаграмме Вейча соответствуют произвольные значения функции  $Q_0^+$ .

Проще всего функция возбуждения  $D_0$  может быть реализована на 8-канальном мультиплексоре. Разбиение диаграммы Вейча на восемь частей адресными сигналами мультиплексора  $Q_4, Q_2$  и  $Q_1$  (веса сигналов 4, 2 и 1) представлено на рис. 7.125,б (см. § 6.4). Тогда функции, подаваемые на информационные входы мультиплексора  $DI_i$ , можно представить в виде:

$$DI_0 = DI_3 = DI_6 = DI_7 = 0, \quad DI_1 = DI_4 = Q_3, \quad DI_2 = DI_5 = 1.$$

Легко убедиться, что при случайной установке счетчика в нулевое состояние ( $Q_r = 0, r = 0, 1, 2, 3$ ) счетчик не может выйти из этого состояния ( $i = Q_4Q_2Q_1 = 0$  и  $DI_0 = 0$ ). Используя другое доопределение функций  $DI_i$ , можно получить:

$$\begin{aligned} DI_0 = DI_6 = \bar{Q}_3, \quad DI_1 = DI_4 = Q_3, \\ DI_2 = DI_5 = 1, \quad DI_3 = DI_7 = 0, \end{aligned}$$

что обеспечивает выход счетчика из всех неиспользуемых состояний. На рис. 7.126 изображена схема генератора Баркера, соответствующая последним функциям.

**Счетчики на сдвигающих регистрах.** На рис. 7.127 приведены ИС, выполненные на основе счетчиков Джонсона:

561ИЕ8, 74НС4017 — счетчик по  $mod 10$ , построенный на 5-разрядном сдвигающем регистре, с полным дешифратором внутренних состояний и асинхронным потенциальным сбросом триггеров в нулевое состояние значением сигнала  $R = 1$ ;

561ИЕ9, 74НС4022 — счетчик по  $mod 8$ , построенный на 4-разрядном сдвигающем регистре, с полным дешифратором внутренних состояний и асинхронным потенциальным сбросом триггеров в нулевое состояние значением сигнала  $R = 1$ ;

561ИЕ19 — счетчик с переключаемым модулем пересчета (*CTV — Variable Counter*), построенный на 5-разрядном сдвигающем регистре и имеющий асинхронные потенциальные входы загрузки данных  $D_r$  значением сигнала  $L = 1$  и сброса в нулевое состояние значением сигнала  $R = 1$  (вход  $R$  имеет приоритет по отношению ко входу  $L$ ).



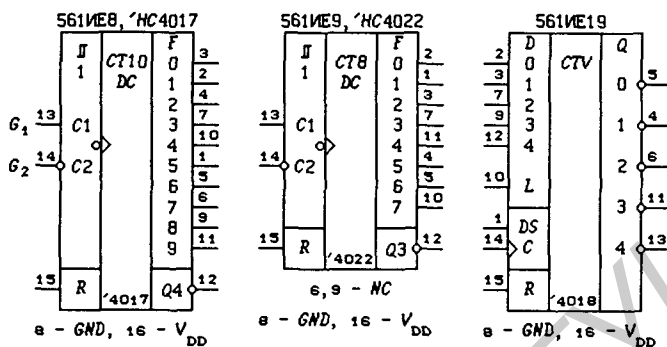


Рис. 7.127

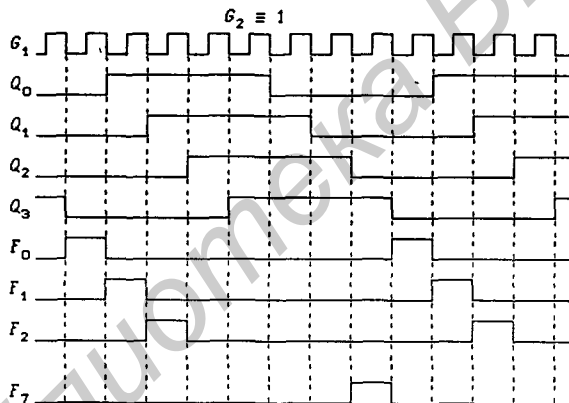


Рис. 7.128

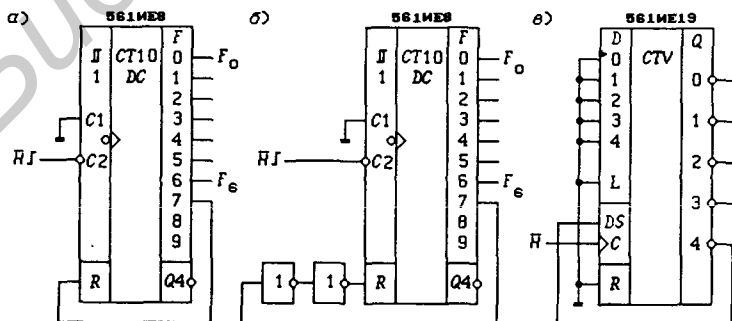


Рис. 7.129

Для выхода из неиспользуемых состояний во всех этих счетчиках вместо функции возбуждения  $D_2 = Q_1$  сдвигающего регистра используется функция возбуждения

$$D_2 = Q_1(Q_2 \vee Q_0)$$

при значениях  $D_0 = \bar{Q}_4$  для ИС 561ИЕ8 и  $D_0 = \bar{Q}_3$  для ИС 561ИЕ8 (в ИС 561ИЕ19 функция возбуждения  $D_0 = DS$  выведена на внешний вывод, т. е. ИС без замыкания обратной связи с какого-либо выхода  $\bar{Q}_r$  на вход  $DS$  не является счетчиком).

Счетчики 561ИЕ8 и 561ИЕ9 запускаются тактовым сигналом

$$dC = d(G_1 \vee \bar{G}_2) = G_2 dG_1 \vee \bar{G}_1 d\bar{G}_2$$

при значении сигнала сброса  $R = 0$ , как и счетчик 176ИЕ2 (см. рис. 7.37). Временные диаграммы, изображенные на рис. 7.128, поясняют работу счетчика 561ИЕ9. Дешифратор внутренних состояний этого счетчика, подключенный к выходам триггеров, описывается функциями:

$$\begin{aligned} F_0 &= \bar{Q}_3 \bar{Q}_0, & F_1 &= \bar{Q}_1 Q_0, & F_2 &= \bar{Q}_2 Q_1, & F_3 &= \bar{Q}_3 Q_2, \\ F_4 &= Q_3 Q_0, & F_5 &= Q_1 \bar{Q}_0, & F_6 &= Q_2 \bar{Q}_1, & F_7 &= Q_3 \bar{Q}_2 \end{aligned}$$

(подобными временными диаграммами и функциями  $F_j$  описывается и счетчик 561ИЕ8). Сигналы  $F_j$  не имеют кратковременных ложных значений (иглоков), так как в счетчиках Джонсона в каждый момент времени изменяется состояние только одного триггера (собственно этим и обусловлено использование в ИС счетчиков Джонсона). Значение сигнала асинхронного потенциального сброса  $R = 1$  устанавливает значение функции  $F_0 = 1$ . При счете выходы  $F_j$  последовательно принимают значение 1; длительность активных уровней этих сигналов ( $F_j = 1$ ) равна периоду тактового сигнала.

Изменение модуля пересчета счетчиков 561ИЕ8 и 561ИЕ9 производится введением обратной связи  $R = F_j$  (рис. 7.129,а), что обеспечивает модуль пересчета  $M = j$ . При этом длительность значения сигнала  $F_j = 1$  будет определяться быстродействием триггеров и логики, формирующей сигнал  $F_j$ . Для увеличения надежности сброса в цепь обратной связи можно ввести дополнительную задержку сигнала  $F_j$  с помощью, например, двух последовательно включенных ЛЭ НЕ (рис. 7.129,б).

В счетчике 561ИЕ19 (рис. 7.129,в) модуль пересчета устанавливается введением обратной связи с выходов  $\bar{Q}_r$  на вход  $DS$  последовательного ввода данных в сдвигающий регистр в соответствии с табл. 7.12. Управление счетчиком 561ИЕ19 можно

Таблица 7.12. Модули пересчета ИС 561ИЕ19

$DS$	$M$	$DS$	$M$
$\overline{Q}_0$	2	$\overline{Q}_3\overline{Q}_2$	7
$\overline{Q}_1\overline{Q}_0$	3	$\overline{Q}_3$	8
$\overline{Q}_1$	4	$\overline{Q}_4\overline{Q}_3$	9
$\overline{Q}_2\overline{Q}_1$	5	$\overline{Q}_4$	10
$\overline{Q}_2$	6		

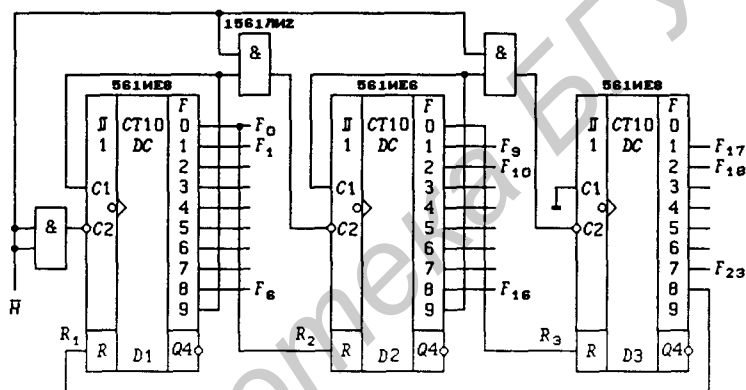


Рис. 7.130

производить и асинхронной потенциальной загрузкой данных  $D_4D_3D_2D_1D_0$  значением сигнала  $L = 1$  (при значении  $R = 0$ ).

Каскадирование счетчиков 561ИЕ8 с целью получения 24-канального коммутатора приведено на рис. 7.130. Выходные сигналы коммутатора  $F_0, F_1, \dots, F_{23}$  могут быть использованы для последовательного циклического включения и выключения 24 электронных устройств. В каждый момент времени только один из сигналов  $F_j$  может иметь активный уровень ( $F_j = 1$ ), что позволяет производить селекцию в каждом состоянии счетчика только одного устройства.

Работает коммутатор следующим образом. Пусть на вход счетчика  $D1$  поступило значение сигнала  $R_1 = 1$ . Это приведет к последовательному асинхронному потенциальному сбросу всех трех счетчиков в исходное (нулевое) состояние, которому соответствуют значения выходных сигналов  $F_0 = 1$  всех счетчиков ( $R_1 \downarrow \Rightarrow R_2 \downarrow \Rightarrow R_3 \downarrow \Rightarrow R_1 \downarrow$ ). Надежность сброса гарантирована без введения дополнительных за-

держек. Тактовые сигналы у счетчиков  $D2$  и  $D3$  отключены значениями сигналов  $F_9 = 0$  счетчиков  $D1$  и  $D2$ , а значит в режиме счета будет находиться только счетчик  $D1$ , что приводит к последовательному изменению активных уровней его выходных сигналов  $F_j$ . Значение сигнала  $F_9 = 1$  счетчика  $D1$  блокирует его тактовый вход  $C2$  ( $C1 = 1$  — счет запрещен) и разрешает поступление тактового сигнала  $\bar{H}$  на счетчик  $D2$ . Изменение сигнала  $F_9$  с 0 на 1 производит первое изменение состояния счетчика  $D2$ , так как в этот момент тактовый сигнал  $\bar{H}$  уже принял значение 1 (асинхронный импульсный переход, устанавливающий значение  $F_1 = 1$  счетчика  $D2$ ).

Аналогично работает и счетчик  $D2$ , переводящий счетчик  $D3$  из режима останова в режим счета при асинхронном импульсном переходе, вызываемом изменением сигнала  $F_9$  счетчика  $D2$  с 0 на 1. При достижении в процессе счета внутреннего состояния, которому соответствует значение сигнала  $F_8 = 1$  счетчика  $D3$ , происходит последовательный сброс всех счетчиков в исходное состояние и цикл счета повторяется заново.

Для изменения числа каналов коммутатора от 18 до 25 на вход  $R_1$  счетчика  $D1$  можно подать один из сигналов от  $F_2$  до  $F_9$  счетчика  $D3$ . Из-за асинхронных переходов длительность значений выходных сигналов коммутатора  $F_0 = 1$ ,  $F_9 = 1$  и  $F_{17} = 1$  несколько меньше длительности значений  $F_j = 1$  остальных сигналов, что существенно заметно на больших частотах тактового сигнала  $\bar{H}$ . Таким же способом можно построить многоканальные коммутаторы и из большего числа ИС, а также коммутаторы на основе счетчиков 561ИЕ9. Рассмотренные коммутаторы можно использовать для управления аналоговыми ключами 561КТ3 (см. § 6.5).

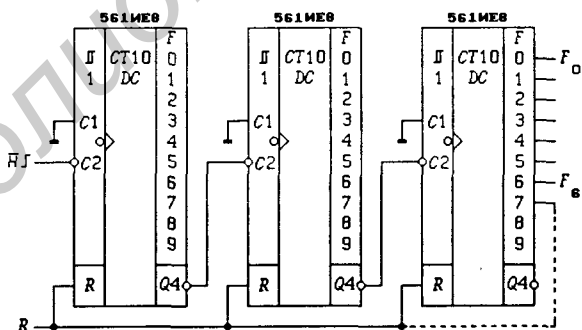


Рис. 7.131

Каскадирование счетчиков 561ИЕ8 (561ИЕ9) для построения делителей частоты показано на рис. 7.131. Модуль пересчета этого асинхронного импульсного счетчика равен  $M = 10^3$  (при  $R \equiv 0$ ). Для изменения модуля пересчета счетчика можно использовать асинхронный потенциальный вход сброса  $R$  (штриховая линия;  $M = 700$ ).

## 7.10. Кольцевые счетчики

Счетчики по  $\text{mod } M$ , имеющие  $M$  выходов, называются *кольцевыми*, если в каждый момент времени только один выходной сигнал равен 1 (счет в прямом унитарном коде 00100...0) или 0 (счет в инверсном унитарном коде 11011...1). Такие счетчики используются для построения коммутаторов электронных цифровых устройств, а также коммутаторов аналоговых сигналов, выполненных на основе аналоговых ключей. Методика проектирования кольцевых счетчиков на сдвигающих регистрах была изложена в § 4.6 — функции возбуждения сдвигающего регистра описываются выражениями:

$$D_0 = \prod_{r=0}^{m-2} \bar{Q}_r = \overline{\bigvee_{r=0}^{m-2} Q_r}, \quad D_r = Q_r, \quad r = 1, 2, \dots, m-1 \quad (7.92)$$

при счете в прямом унитарном коде и

$$D_0 = \prod_{r=0}^{m-2} Q_r = \overline{\bigvee_{r=0}^{m-2} \bar{Q}_r}, \quad D_r = Q_r, \quad r = 1, 2, \dots, m-1 \quad (7.93)$$

при счете в инверсном унитарном коде.

С точки зрения связи внутренних состояний с выходами счетчика ИС 561ИЕ8 и 561ИЕ9 (см. рис. 7.127), представляющие собой счетчики Джонсона по  $\text{mod } 10$  и  $\text{mod } 8$  с дешифраторами внутренних состояний, следует отнести к кольцевым счетчикам, выполняющим счет в прямом унитарном коде. Из этого следует, что кольцевые счетчики могут быть построены и на основе счетчиков с произвольным кодированием их внутренних состояний, если к выходам его триггеров подключить полный дешифратор, преобразующий код внутренних состояний счетчика в унитарный код.

**Проектирование кольцевых счетчиков на сдвигающих регистрах.** Сигналы переполнения многих  $m$ -разрядных двоичных суммирующих и реверсивных счетчиков с синхронной параллельной загрузкой данных описываются функциями (7.28) и (7.53), которые при значении сигнала  $E \equiv 1$  принимают вид:

$$P_m = \prod_{r=0}^{m-1} Q_r, \quad P_m = U \cdot \prod_{r=0}^{m-1} Q_r \vee \bar{U} \cdot \prod_{r=0}^{m-1} \bar{Q}_r, \quad (7.94)$$

где  $m$  — число триггеров в счетчике.

Сравнение выражений (7.94) с соотношениями (7.92) и (7.93) указывает на возможность построения кольцевых счетчиков на

основе двоичных, так как двоичные счетчики с синхронной параллельной загрузкой данных легко преобразуются в сдвигающие регистры (см. рис. 7.52,б). На рис. 7.132 показана схема кольцевого счетчика по  $mod\ 5$ , выполненная на ИС 555IE10. Вход  $P_0$  управляет только счетом при  $\bar{L} = 1$ , поэтому можно положить и  $P_0 = 1$  или вообще не подавать на него константы 0 или 1, так как воздействие этого входа на ИС заблокировано значением сигнала  $\bar{L} \equiv 0$ .

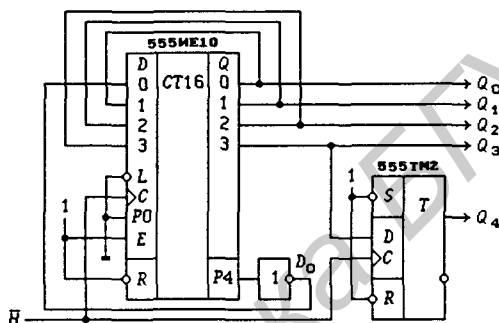


Рис. 7.132

Функция  $D_0 = \bar{P}_4 = \overline{Q_3 Q_2 Q_1 Q_0}$  обеспечивает циркуляцию в 4-разрядном сдвигающем регистре, в который превращен счетчик 555IE10, только одного символа 0. Выходы кольцевого счетчика описываются инверсным унитарным кодом

$$Q_4 Q_3 Q_2 Q_1 Q_0 = 11110, 11101, 11011, 10111, 01111,$$

т. е. кольцевой счетчик является генератором унитарного кода.

В состоянии 01111 сигнал переноса  $P_4 = Q_3 Q_2 Q_1 Q_0 = 1$ , поэтому функция  $D_0 = \bar{P}_4 = Q_4$  и D-триггер (555TM2) можно исключить, используя в качестве пятого разряда унитарного кода сигнал  $D_0$ . При этом не следует забывать, что задержка сигнала  $D_0$  относительно тактового сигнала  $\bar{H}$  несколько больше задержки сигнала  $Q_4$  (см. рис. 4.51,д).

Реверсивные двоичные счетчики позволяют проектировать кольцевые счетчики для генерации как инверсного (при  $U = 1$ ), так и прямого (при  $U = 0$ ) унитарного кода, что следует из соотношений (7.92) – (7.94). На рис. 7.133 показана схема генератора 9-разрядного инверсного унитарного кода, выполненная на двух счетчиках 531IE17. Функция  $D_0 = \bar{P}_8 = \overline{Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0}$  обеспечивает циркуляцию в 8-разрядном сдвигающем регистре только одного символа 0. Кольцевой счетчик, представленный на рис. 7.133, работает на частоте  $f_{\max} = 35$  МГц.

Генератор 9-разрядного прямого унитарного кода может быть получен из схемы, изображенной на рис. 7.133, подачей значения сигнала  $U \equiv 0$  и инвертированием сигнала  $\bar{P}_8$ , так как при этом в соответствии с (7.94) функция

$$D_0 = P_8 = \bar{Q}_7 \bar{Q}_6 \bar{Q}_5 \bar{Q}_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 \quad (Q_8 = D_0).$$

Генератор 17-разрядного прямого унитарного кода изображен на рис. 7.134 (числами  $r = 0, 1, \dots, 16$  обозначены выходы кольцевого счетчика — разряды унитарного кода  $Q_r$ , причем  $Q_{16} = D_0$ ; входы и выходы с одинаковыми номерами  $r$  следует соединить). Для увеличения быстродействия здесь, как и при каскадировании реверсивных двоичных счетчиков, использована схема параллельного переноса, описываемая функциями:

$$P_4 = \prod_{r=0}^3 \bar{Q}_r, \quad P_8 = \prod_{r=4}^7 \bar{Q}_r, \quad P_{12} = P_8 \prod_{r=8}^{11} \bar{Q}_r = \prod_{r=4}^{11} \bar{Q}_r, \\ P_{16} = P_{12} \prod_{r=12}^{15} \bar{Q}_r = \prod_{r=4}^{15} \bar{Q}_r, \quad D_0 = \overline{P_4 \vee P_{16}} = \prod_{r=0}^{15} \bar{Q}_r$$

(хотя при применении сдвигающих регистров, нет смысла говорить о сигналах переноса, все-таки удобно использовать терминологию, принятую для описания счетчиков).

На рис. 7.135 приведены временные диаграммы, поясняющие преимущества параллельного переноса. Штриховыми линиями изображены сигналы  $\bar{P}_{16}$  и  $\bar{P}_4$  при использовании схемы последовательного переноса, когда сигнал  $\bar{P}_4$  подается на вход  $\bar{E}$  ИС D2 (ЛЭ ИЛИ-НЕ следует при этом заменить на ЛЭ НЕ). При задержке сигнала  $\bar{P}_4$  в ИС D2 — D4 и ЛЭ ИЛИ-НЕ на период тактового сигнала  $\bar{H}$  циркулировать в 16-разрядном сдвигающем регистре будут уже две единицы. Кольцевой счетчик, изображенный на рис. 7.134, работает на частоте тактового сигнала  $f_{\max} = 33$  МГц, а кольцевой счетчик с последовательным переносом, выполненный на трех ИС 531ИЕ17 ( $D_0 = P_{12}$ ), — на частоте  $f_{\max} = 20$  МГц. Для построения генераторов прямого унитарного кода можно использовать и двоично-десятичные реверсивные счетчики 531ИЕ16, так как при  $U \equiv 0$  их сигнал переполнения  $\bar{P}_4$  совпадает с сигналом переполнения  $\bar{P}_4$  двоичных реверсивных счетчиков 531ИЕ17.

Генератор 17-разрядного инверсного унитарного кода может быть получен из схемы, изображенной на рис. 7.134, подачей значения сигнала  $U \equiv 1$  и заменой ЛЭ ИЛИ-НЕ на ЛЭ ИЛИ. В этом случае двоично-десятичные счетчики 531ИЕ16 использовать нельзя.

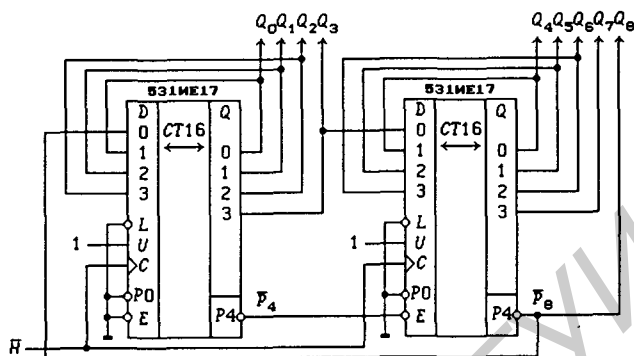


Рис. 7.133

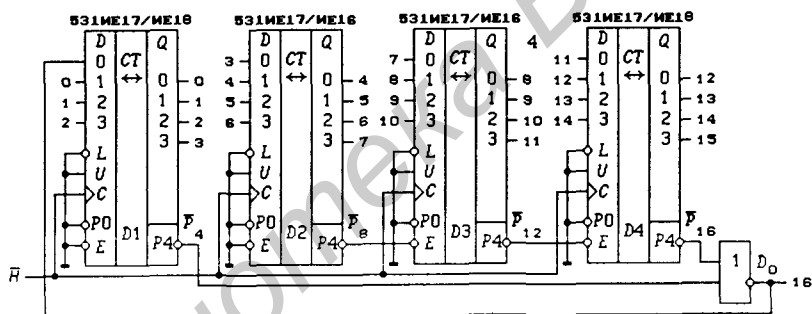


Рис. 7.134

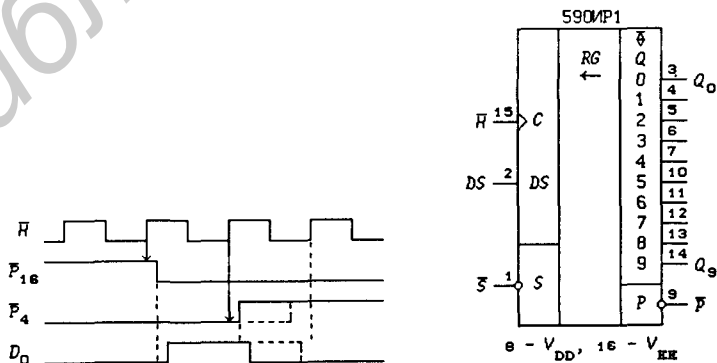


Рис. 7.135

Рис. 7.136



**Коммутаторы аналоговых сигналов.** Комбинационные аналоговые коммутаторы (ключи и мультиплексоры-демультиплексоры) были описаны в § 4.5. Для последовательной коммутации аналоговых ключей может быть использована ИС 590ИР1 (рис. 7.136), представляющая собой 10-разрядный сдвигающий регистр с асинхронной потенциальной установкой состояний триггеров  $Q_r = 1$  ( $r = 0, 1, \dots, 9$ ) значением сигнала  $\bar{S} = 0$ . Напряжения питания ИС должны удовлетворять неравенствам:  $+5 \leq V_{DD} \leq +12$  В,  $-12 \leq V_{EE} \leq -5$  В и  $16,3 \leq V_{DD} - V_{EE} \leq 18,7$ . Регистр выполнен с открытыми стоковыми выходами  $Q_r$  по  $p$ -МОП технологии.

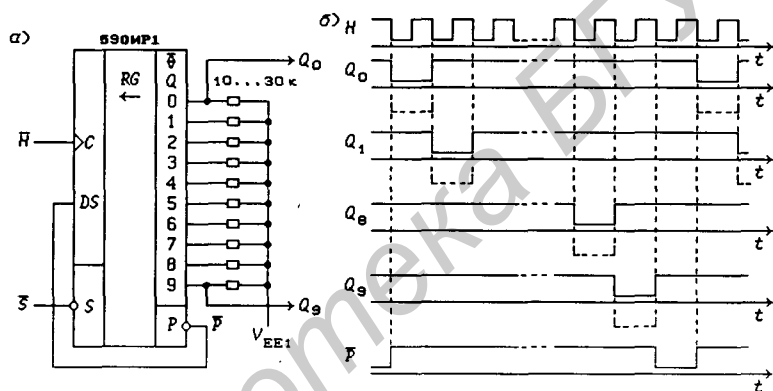


Рис. 7.137

Реализованная в ИС функция

$$\bar{P} = \bar{S} \cdot \prod_{r=0}^9 Q_r$$

позволяет получить кольцевой счетчик по  $mod^{*}11$  (рис. 7.137,а) подачей выходного сигнала  $\bar{P}$  на вход  $DS$  (*Data Serial* — вход последовательного ввода данных). Открытые стоковые выходы  $p$ -каналов необходимо подключить через резисторы  $10 \dots 30$  кОм к источнику напряжения питания  $-15 \leq V_{EE1} \leq 0$  В. Временные диаграммы, представленные на рис. 7.137,б поясняют работу этого кольцевого счетчика (значение выхода  $\bar{P} = 0$  идентифицирует 11-е внутреннее состояние, но не используется для управления ключами). На рис. 7.137,б штриховыми линиями показаны значения сигналов  $Q_r$  при  $V_{EE1} < 0$  В.

Двоичные счетчики с параллельной асинхронной потенци-

альной загрузкой данных могут быть использованы для построения коммутаторов аналоговых сигналов с последовательной и произвольной выборкой каналов. Так, ИС 591КН1 (рис. 7.138, а) представляет собой такой 16-канальный коммутатор, изготавливаемый по  $p$ -МОП технологии (напряжения питания  $V_{CC} = +5$  В,  $V_{EE} = -15$  В). Параметры коммутатора:  $R_{ON} \leq 500$  Ом,  $V_{AN} = \pm 5$  В,  $t_{ON} \leq 2,5$  мкс,  $I_{AN} = 5$  мА (определение этих параметров см. в § 4.5).

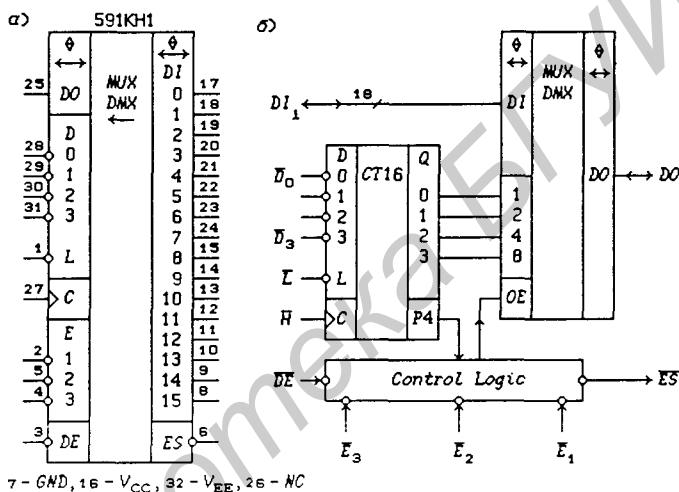


Рис. 7.138

Структурная схема ИС 591КН1 приведена на рис. 7.138, б и состоит из счетчика по  $mod$  16, аналогового мультиплексора-демультиплексора и схемы управления (*Control Logic*), принципиальная схема которого показана на рис. 7.139. Функционирование схемы управления при значении сигнала  $\overline{DE} = 1$  описывается табл. 7.13. Сигнал  $\overline{ES} = \overline{P_4OE}$  ( $P_4 = Q_3Q_2Q_1Q_0$ ) используется для обеспечения последовательного режима выборки при каскадировании нескольких ИС ( $ES$  — *Enable Sequential Mode*). Сигнал блокировки  $\overline{DE} = 0$  (*Disable*) переводит в  $Z$ -состояние входы-выходы  $DI_i$  и  $DO$  16-канального аналогового мультиплексора-демультиплексора независимо от значений других сигналов.

Если конъюнкция  $\overline{E_3}\overline{E_2} = 0$ , то схема управления представляет собой комбинационную схему (табл. 7.13), и при  $\overline{E_3} \equiv 0$  сигналы  $\overline{E_2}$  и  $\overline{E_1}$  можно использовать для включения ИС, так

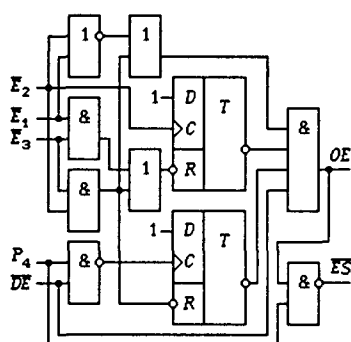


Рис. 7.139

Таблица 7.13. Режимы работы ИС 591КН1

$\overline{E_3}\overline{E_2}\overline{E_1}$	$OE$	Примечание
0 0 0	1	Комбинационная схема
0 0 1	0	
0 1 0	0	
0 1 1	0	
1 0 0	1	
1 0 1	0	
1 1 0	0 и 1	Автомат
1 1 1	0 и 1	

как в этом случае  $OE = E_2E_1$ . На рис. 7.140 показана схема 64-канального коммутатора с произвольной выборкой каналов; адреса которых задаются сигналами  $\overline{A_5}, \dots, \overline{A_1}, \overline{A_0}$  (адрес подается в обратном коде). Так как счетчик в ИС 591КН1 выполнен с асинхронной потенциальной загрузкой данных, то при значении сигнала загрузки  $\overline{L} \equiv 0$  любое изменение адресных сигналов  $\overline{A_3}, \overline{A_2}, \overline{A_1}$  и  $\overline{A_0}$  сразу же приводит к изменению выходных сигналов счетчика  $Q_r$  ( $Q_r = A_r$ ). Адресные сигналы  $\overline{A_5}$  и  $\overline{A_4}$  производят выбор одной из четырех ИС. Таким образом, изображенная на рис. 7.140 схема представляет собой обычный мультиплексор-демультиплексор  $64 \rightarrow 1/1 \rightarrow 64$ .

На рис. 7.141 показан коммутатор с последовательной выборкой каналов и программируемым их числом. Так как сигналы управления  $\overline{E_3} \equiv 1, \overline{E_2} \equiv 0, \overline{E_1} \equiv 0$  и  $\overline{DE} \equiv 1$ , то сигнал  $OE = 1$  (см. табл. 7.13) и  $\overline{ES} = \overline{P_4}$  — сигнал переноса счетчика, т. е. счетчик переведен в режим счета с программированием модуля пересчета сигналом  $\overline{L} = \overline{P_4}$ . Поскольку асинхронная потенциальная загрузка числа  $d_M = D_3D_2D_1D_0$  производится в состоянии счетчика  $j = 15$ , то будет осуществляться последовательная циклическая коммутация  $15 - d_M$  аналоговых сигналов  $DI_{d_M}, \dots, DI_{14}$ . Так, при  $d_M = 0$  ( $\overline{D_3} = \overline{D_2} = \overline{D_1} = \overline{D_0} = 1$ ) получится 15-канальный коммутатор с последовательной выборкой каналов. Если связь с выхода  $\overline{ES}$  на вход  $\overline{L}$  не введена, то коммутатор будет иметь 16 каналов с последовательной их выборкой.

На рис. 7.142 показано каскадирование коммутаторов с последовательной выборкой каналов. При включении питания значения сигналов  $\overline{E_2}$  всех трех ИС равны 0 до тех пор, по-

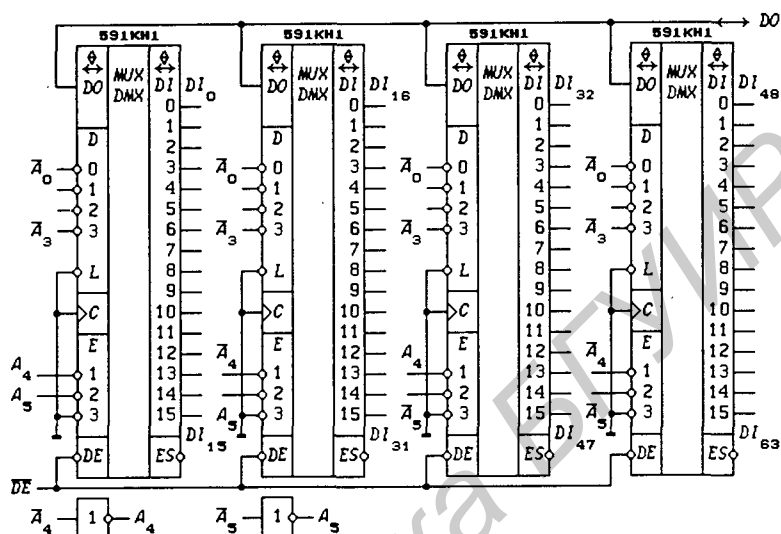


Рис. 7.140

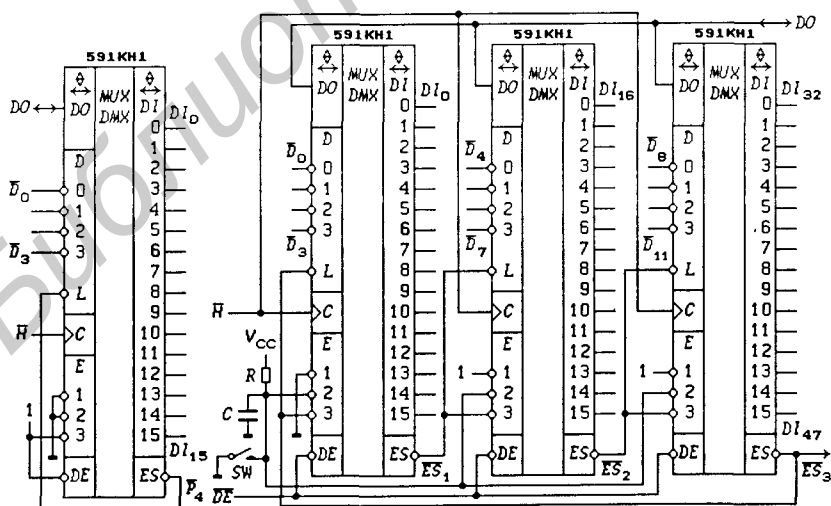


Рис. 7.141

Рис. 7.142

ка конденсатор  $C = 0,22$  мкФ не зарядится через резистор  $R = 100$  кОм до уровня логической 1, что обеспечит включение ( $OE = 1$ ) только одной ИС  $D1$ , так как ее вход  $\overline{E}_1 \equiv 0$ . Для этой же цели можно использовать ключ  $SW$  или внешний сигнал. Число последовательно коммутируемых каналов в каждой ИС программируется независимо числами  $d_{M1} = D_3 D_2 D_1 D_0$ ,  $d_{M2} = D_7 D_6 D_5 D_4$  и  $d_{M3} = D_{11} D_{10} D_9 D_8$ . Эти числа могут принимать значения  $0, 1, \dots, 15$ . Сигнал  $\overline{ES}_k = 0$  в состоянии счетчика  $j = 15$  соответствующей ИС. Сигнал  $\overline{ES}_1 = 0$  загружает в счетчик ИС  $D2$  число  $d_{M2}$  при  $Z$ -состоянии ее входов-выходов. При переходе счетчика ИС  $D1$  из состояния  $j = 15$  в состояние  $j = 0$  установятся значения сигналов  $OE = 0$  и  $\overline{ES}_1 = 1$  этой ИС, что приведет к ее отключению (переводу в  $Z$ -состояние входов-выходов) и включению ИС  $D2$  (ее сигнал  $OE$  принимает значение 1). Схема, изображенная на рис. 7.142, имеет кольцевую структуру, поэтому остальные ИС работают аналогично ИС  $D1$ . При загрузке чисел  $d_{M1} = d_{M2} = d_{M3} = 0$  ( $\overline{D}_r = 1$ ,  $r = 0, 1, \dots, 11$ ) данная схема является 48-канальным коммутатором с последовательной выборкой каналов.

**Регистры последовательных приближений.** При необходимости в качестве кольцевых счетчиков можно использовать 12-разрядные регистры последовательных приближений 155ИР17 и 564ИР13 (рис. 7.143), используемые для построения аналого-цифровых преобразователей [45]:  $\overline{ST}$  (*Start*) — сигнал запуска преобразования,  $DS$  — вход последовательного ввода данных,  $\overline{E}$  (*Enable*) — сигнал разрешения преобразования,  $DOS$  (*Data Output Serial*) — выход последовательного вывода данных,  $Q_{CC}$  — выход триггера указания завершения преобразования ( $CC$  — *Conversion Complete*), являющегося самым младшим разрядом регистра, состоящего из 13 триггеров.

Сигнал  $dH = 1$  при значении сигнала  $\overline{ST} = 0$  устанавливает значения  $Q_{11} = \overline{E}$ ,  $Q_r = 1$  ( $r = 0, 1, \dots, 10$ ) и  $Q_{CC} = 1$ . Затем при установке значений  $\overline{ST} = 1$  и  $\overline{E} = 0$  начинается ввод данных в регистр по входу  $DS$  в сторону младших разрядов, причем при вводе значения  $DS$  в разряд  $Q_r$  разряд  $Q_{r-1}$  обнуляется (этим самым осуществляется адресация триггера, в который будет производиться запись значения  $DS$  в следующем такте). Если при  $\overline{ST} = 0$  значение сигнала  $\overline{E}$  было равно 1, то в первом такте после установки значений  $\overline{ST} = 1$  и  $\overline{E} = 0$  в триггер  $Q_{11}$  записывается 0 (значение  $\overline{E}$ ), а не значение  $DS$ . После этого значение сигнала  $\overline{E}$  не влияет на ввод данных  $DS$ , который завершается при установке значения  $Q_{CC} = 0$  (регистр заполнен).

Последовательная установка разрядов  $Q_{r-1}$  в нуль позволяет

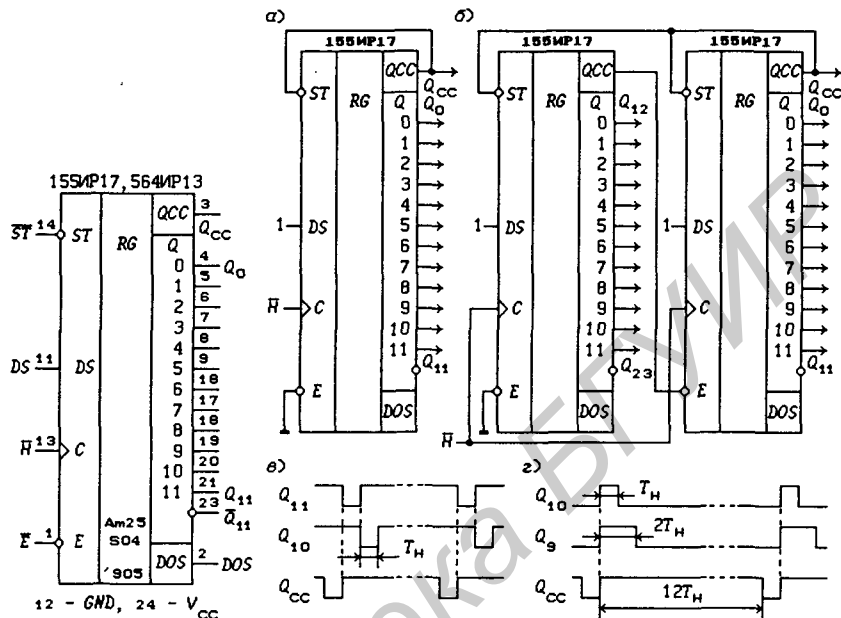


Рис. 7.143

Рис. 7.144

использовать регистры последовательных приближений 155ИР17 и 564ИР13 в качестве 13-разрядных кольцевых счетчиков. Для этого на них следует подать сигналы  $\overline{ST} = Q_{CC}$ ,  $DS = 1$  и  $\overline{E} = 0$  (рис. 7.144,а). Временные диаграммы, изображенные на рис. 7.144,в, поясняют работу этого счетчика (тактовый сигнал не показан; длительность значений сигналов  $Q_r = 0$  равна периоду тактового сигнала  $T_H$ ). В схеме кольцевого счетчика, представленного на рис. 7.144,а, модуль пересчета можно изменять от 2 до 13 переключением обратной связи на выходы  $Q_r$  ( $r = 0, 1, \dots, 10$ ). Если сигнал  $\overline{ST} = Q_r$ , то получится кольцевой счетчик по  $mod(12 - r)$  с выходами  $Q_{11}, \dots, Q_{r+1}, Q_r$ .

На рис. 7.144,б показаны временные диаграммы, поясняющие работу счетчика, изображенного на рис. 7.144,а, при подходе значения сигнала  $DS \equiv 0$ . Триггеры  $Q_{10}, \dots, Q_1, Q_0$  и  $Q_{CC}$  изменяют состояние с 0 на 1 одновременно, а с 1 на 0 последовательно ( $Q_{11} \equiv 0$ ). Такой счетчик можно использовать для генерации сигналов с различной скважностью. Скважность сигналов на выходах  $Q_r$  равна  $(11 - r)/13$ , а на выходе  $Q_{CC}$  —  $12/13$ . Обратную связь в этом случае также можно переключать на выходы  $Q_r$  ( $r = 0, 1, \dots, 10$ ).

Кольцевые счетчики 155ИР17 и 564ИР13 можно каскадировать для увеличения их разрядности. На рис. 7.144,б показана схема кольцевого счетчика по  $mod 25$ . Если положить  $\overline{ST} = Q_r$  при  $r = 0, 1, \dots, 22$ , то получится счетчик по  $mod(24 - r)$  с выходами  $Q_{23}, \dots, Q_{r+1}, Q_r$ .

## 7.11. Делители частоты

Любой счетчик по *mod M* является делителем частоты входного (тактового) сигнала с коэффициентом деления  $M$ . К делителям частоты обычно относят ИС, содержащие счетчики, если выходные сигналы не всех триггеров доступны пользователю. Иногда делители частоты имеют всего один выход, выдающий сигнал переноса счетчика. Делители частоты выполняются как на синхронных, так и асинхронных импульсных счетчиках. Если делитель частоты имеет только один выход, то не имеет значения, счетчик какого типа использован для его построения. На практике широко используются делители частоты, выполненные на основе программируемых счетчиков и называемые *цифровыми таймерами (Digital Timer)*.

**Делители частоты и цифровые таймеры.** На рис. 7.145 приведены ИС (*DIV — Frequency Divider* — делитель частоты):

155ИЕ1 — делитель частоты с коэффициентом деления  $M = 10$  и асинхронным потенциальным сбросом в нулевое состояние значением сигнала  $R = R_1 R_2 = 1$ , описываемый функциями:

$$d\bar{C} = d\overline{G_1 G_2} = G_2 d\bar{G}_1 \vee G_1 d\bar{G}_2, \bar{P} = \overline{Q_3 Q_0 G_1 G_2}$$

(тактовые сигналы  $G_1$  и  $G_2$  логически равноценны — на триггеры воздействует переход любого из этих сигналов с 0 на 1 при условии, что другой сигнал равен 1; выход  $\bar{P}$  выполнен с резистивной внутренней нагрузкой, что указано символом “ $\hat{\Delta}$ ”);

555ПЦ1 — 31-разрядный двоичный цифровой таймер с коэффициентами деления  $M = 2^N$  ( $2 \leq N = N_4 N_3 N_2 N_1 N_0 \leq 31$ ) и асинхронным потенциальным сбросом значением сигнала  $\bar{R} = 0$ , описываемый функциями:

$$d\bar{C} = d\overline{G_1 \vee G_2} = \bar{G}_2^* d\bar{G}_1 \vee \bar{G}_1^* d\bar{G}_2, Q = \bigvee_{r=2}^{31} Q_r N_4^{e_4} N_3^{e_3} N_2^{e_2} N_1^{e_1} N_0^{e_0},$$

где  $r = e_4 e_3 e_2 e_1 e_0 = 1, 2, \dots, 31$  — номер триггера двоичного асинхронного счетчика (тактовые сигналы  $G_1$  и  $G_2$  логически равноценны — на триггеры воздействует переход любого из этих сигналов с 0 на 1 при условии, что другой сигнал равен при этом 0; контрольные точки  $TP_j$  — *Test Points* — используются только для входного контроля ИС);

74LS294 — 15-разрядный двоичный цифровой таймер с коэффициентами деления  $M = 2^N$  ( $2 \leq N = N_3 N_2 N_1 N_0 \leq 15$ ) и асинхронным потенциальным сбросом значением сигнала  $\bar{R} =$

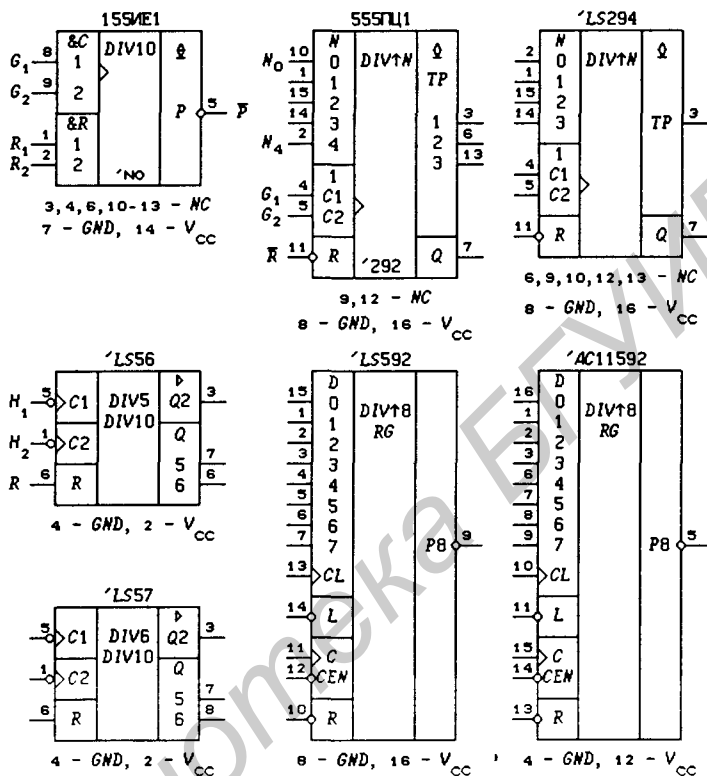


Рис. 7.145

0, описываемый функциями:

$$d\bar{C} = d\overline{G_1 \vee G_2} = \bar{G}_2^* d\bar{G}_1 \vee \bar{G}_1^* d\bar{G}_2, \quad Q = \bigvee_{r=2}^{15} Q_r N_3^{e_3} N_2^{e_2} N_1^{e_1} N_0^{e_0},$$

где  $r = e_3 e_2 e_1 e_0 = 1, 2, \dots, 15$  — номер триггера двоичного асинхронного счетчика (отличается от ИС 74LS292 только разрядностью счетчика);

74LS56 — два асинхронных делителя частоты с коэффициентами деления  $M_1 = 5$  и  $M_2 = 10$  и асинхронным потенциальным сбросом в нулевое состояние значением сигнала  $R = 1$ ;

74LS57 — два асинхронных делителя частоты с коэффициентами деления  $M_1 = 6$  и  $M_2 = 10$  и асинхронным потенциальным сбросом в нулевое состояние значением сигнала  $R = 1$ ;

74LS592, 74AC11592 — 8-разрядный синхронный програм-



мируемый двоичный делитель частоты с входным регистром памяти (рис. 7.146) и асинхронными потенциальными входами загрузки данных и сброса значениями сигналов  $\bar{L} = 0$  и  $\bar{R} = 0$  (вход  $\bar{L}$  имеет приоритет по отношению ко входу  $\bar{R}$ ); сигнал переноса  $\bar{P}_8$  описывается функцией  $P_8 = \prod_{r=0}^7 Q_r$ ; управление сигналом  $\overline{CEN}$  выполнено по схеме, изображенной на рис. 7.20,6; коэффициент деления  $M = 2^8 - d_M - 1$ , если введена обратная связь  $\bar{L} = \bar{P}_8$  (штриховая линия на рис. 7.146) и в регистр памяти загружено двоичное число  $d_M = D_7 \dots D_1 D_0$  (при использовании квазисинхронной загрузки коэффициент деления  $M = 2^8 - d_M$ ).

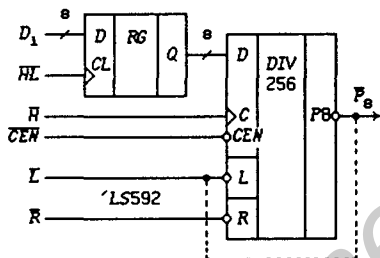


Рис. 7.146

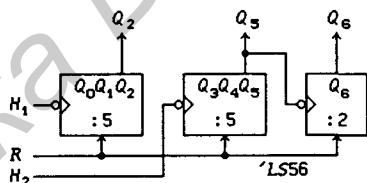


Рис. 7.147

Структурная схема ИС 74LS56 приведена на рис. 7.147 (аналогичным образом выполнена и ИС 74LS57). Счетчики по *mod* 5 производят счет в коде 4–2–1, а значит счетчик по *mod* 10 — в коде 5–4–2–1. Частота сетевого напряжения равна 50 Гц в Европе и 60 Гц — в США, поэтому эти делители частоты могут быть использованы при построении таймеров для формирования меток времени с периодом 1 с, 1 мин и 1 час, если их счетный сигнал формируется из напряжения сети (рис. 7.148).

Делители частоты и таймеры, изготавливаемые по КМОП-технологии, приведены на рис. 7.149:

561IE16 — асинхронный 14-разрядный двоичный делитель частоты с асинхронным сбросом в нулевое состояние значением сигнала  $R = 1$ , имеющий коэффициенты деления  $2^{k+1}$  при  $k = 0, 3, 4, \dots, 13$  (выходы триггеров  $Q_1$  и  $Q_2$  не выведены);

564IE15 — десятичный цифровой таймер с коэффициентами деления от 3 до 21327;

CD4045B — асинхронный 21-разрядный двоичный делитель частоты со схемой для подключения времязадающей цепи генератора ( $GN$  — Generator) тактовых сигналов, имеющий один коэффициент деления  $2^{21}$ ;

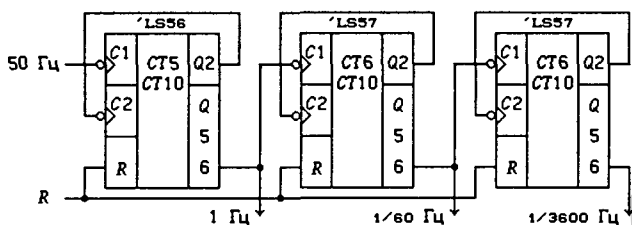


Рис. 7.148

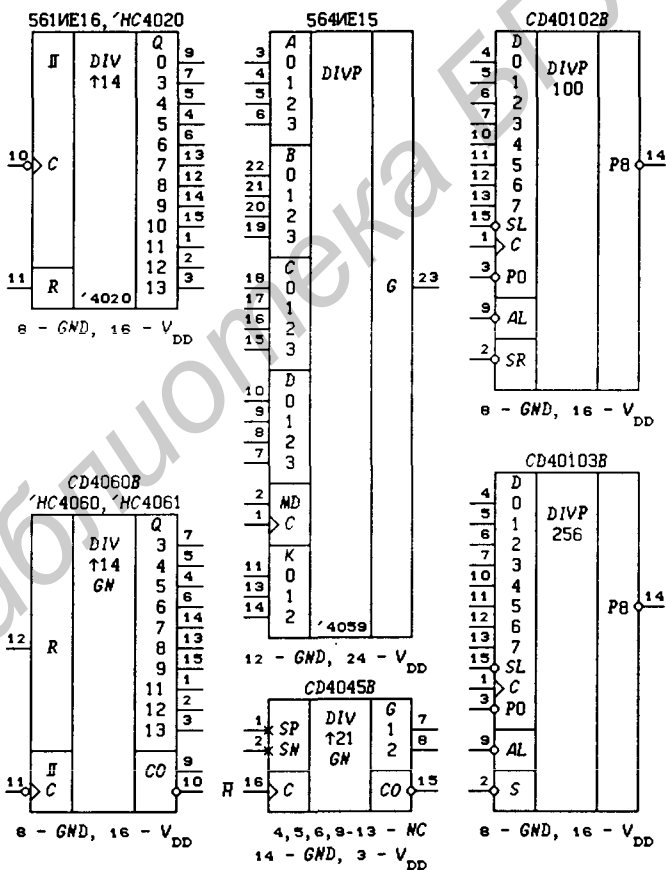


Рис. 7.149

$CD4060B$ ,  $74HC4060$ ,  $74HC4061$  — асинхронный 14-разрядный двоичный делитель частоты со схемой для подключения времязадающей цепи генератора тактовых сигналов, имеющий коэффициенты деления  $2^{k+1}$  при  $k = 3, 4, \dots, 9, 11, 12, 13$ ;

$CD40102B$  — программируемый делитель частоты на основе синхронного вычитающего счетчика по  $\text{mod } 100$  с синхронной ( $\overline{SL} = 0$ ) и асинхронной потенциальной ( $\overline{AL} = 0$ ) загрузкой чисел  $d_M^1 = D_7 D_6 D_5 D_4$  и  $d_M^0 = D_3 D_2 D_1 D_0$  двух десятичных разрядов; значением асинхронного потенциального сигнала  $\overline{SR} = 0$  счетчик устанавливается в состояние 99, соответствующее максимальному коэффициенту деления  $M = 100$  (вход  $\overline{SR}$  имеет приоритет по отношению ко входу  $\overline{AL}$ ); сигнал переполнения счетчика  $P_8 = P_0 \prod_{r=0}^7 \overline{Q}_r$ ; счет разрешен при значении  $\overline{P}_0 = 0$ ;

$CD40103B$  — программируемый делитель частоты на основе синхронного вычитающего счетчика по  $\text{mod } 256$  с синхронной ( $\overline{SL} = 0$ ) и асинхронной потенциальной ( $\overline{AL} = 0$ ) загрузкой двоичных чисел  $d_M = D_7 \dots D_1 D_0$ ; значением асинхронного потенциального сигнала  $\overline{S} = 0$  счетчик устанавливается в состояние 255, соответствующее максимальному коэффициенту деления  $M = 256$  (вход  $\overline{S}$  имеет приоритет по отношению ко входу  $\overline{AL}$ ); сигнал переполнения счетчика  $P_8 = P_0 \prod_{r=0}^7 \overline{Q}_r$ ; счет разрешен при значении сигнала  $\overline{P}_0 = 0$ .

Таймер 564IE15 состоит из пяти вычитающих счетчиков, модули пересчета которых программируются параллельной загрузкой данных:

$$A = A_3 A_2 A_1 A_0, \quad B = B_3 B_2 B_1 B_0, \quad C = C_3 C_2 C_1 C_0, \\ D = D_3 D_2 D_1 D_0, \quad K = K_2 K_1 K_0.$$

Числа  $A$ ,  $B$ ,  $C$  и  $D$  могут принимать значения  $0, 1, \dots, 15$ , а число  $K = 0, 1, \dots, 7$ . Модуль пересчета таймера определяется выражением:

$$M = \begin{cases} 8 \cdot (A_3 10^3 + D \cdot 10^2 + C \cdot 10^1 + B \cdot 10^0) + \\ \quad + A_2 2^2 + A_1 2^1 + A_0 2^0, & K = 1; \\ 10000, & K = 2; \\ 4 \cdot [(A_3 2^1 + A_2 2^0) \cdot 10^3 + D \cdot 10^2 + C \cdot 10^1 + \\ \quad + B \cdot 10^0] + A_1 2^1 + A_0 2^0, & K = 3; \\ 5 \cdot (A_3 10^3 + D \cdot 10^2 + C \cdot 10^1 + B \cdot 10^0) + A_2 2^2 + \\ \quad + (\overline{A}_2 \& A_1) \cdot 2^1 + (A_2 \& A_0) \cdot 2^0, & K = 5; \\ 10 \cdot (D \cdot 10^2 + C \cdot 10^1 + B \cdot 10^0) + A, & K = 6 \text{ и } A = 0 \dots 9; \\ 2 \cdot [(A_3 2^2 + A_2 2^1 + A_1 2^0) \cdot 10^3 + D \cdot 10^2 + \\ \quad + C \cdot 10^1 + B \cdot 10^0] + A_0 2^0, & K = 7. \end{cases}$$

При значениях  $K = 0$  и  $4$  счет запрещен. На загрузку чисел в счетчики требуется три такта, поэтому можно устанавливать только модули пересчета  $M \geq 3$ . В табл. 7.14 приведены минимальные  $M_{\min}$  и максимальные  $M_{\max}$  модули пересчета, а также модуль пересчета  $M_0$  при значениях чисел  $D = C = B = A = 0$  для различных значений  $K$ .

Таблица 7.14. Модули пересчета таймера 564ИЕ15

$K$	$M_{\min}$	$M_{\max}$	$M_0$
0	3	21327	16000
2	10000	10000	10000
3	3	18663	16000
5	3	13329	10000
6	3	16659	10000
7	3	17331	16000

Сигнал  $MD$  (*Mode* — режим) управляет режимами периодического и однократного счета. При периодическом счете ( $MD = 0$ ) длительность значения выходного сигнала  $G = 1$  равна периоду тактового сигнала, а его частота равна  $f_H/M$ , где  $f_H$  — частота тактового сигнала,  $M$  — установленный модуль пересчета.

На рис. 7.150 показано включение ИС 564ИЕ15 для однократного запуска с помощью переключателя  $SW$  (НЗ — нормально замкнутый контакт). На  $D$ -триггере  $Q_2$  собрана схема исключения “дребезга”, которая в нормальном состоянии выдает значение сигнала  $Q_2 = 0$ . При этом выходной сигнал триггера  $Q_1 = 0$  устанавливает значение  $K = 0$ , при котором, как и при значении  $K = 4$ , поступает запрет на счет и производится загрузка чисел  $D$ ,  $C$ ,  $B$  и  $A$  в вычитающие счетчики. При срабатывании переключателя  $SW$  триггеры переходят в состояния  $Q_2 = 1$  и  $Q_1 = 1$ , что устанавливает значение числа  $K = 1$ , разрешающее счет (в исходном состоянии выходной сигнал таймера  $G = 0$ ). По истечении времени  $M/f_H$  выходной сигнал счетчика  $G$  изменяется с 0 на 1, что приводит к установке в нуль триггера  $Q_1$  и значения числа  $K = 0$ , поступление которого на вход счетчика вызывает изменение сигнала  $G$  с 1 на 0. Таким образом, длительность сигнала  $Q_1 = 1$  равна  $M/f_H$ .

Таймер 564ИЕ15 может быть использован в качестве ждущего мультивибратора с перезапуском. Для этого выход  $G$  следует соединить со входом  $MD$ , а на вход  $K_0$  подать запускающие сигналы при  $K_1 \equiv 0$  и  $K_2 \equiv 0$ . На рис. 7.151 показаны

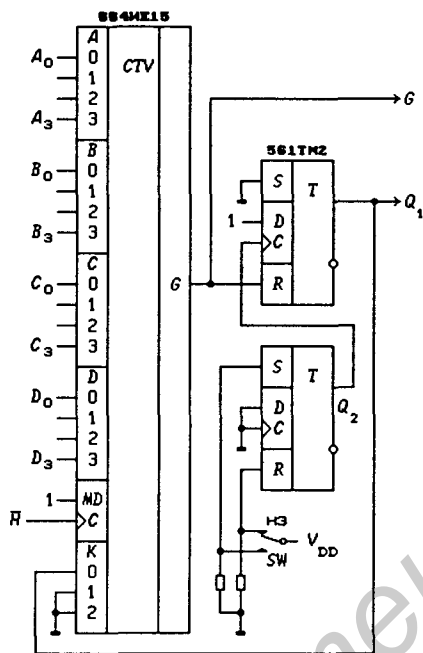


Рис. 7.150

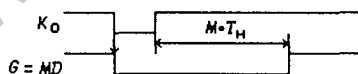


Рис. 7.151

временные диаграммы, поясняющие работу мультивибратора. Длительность сигнала  $K_0 = 0$  должна быть не менее периода тактового сигнала  $T_H$ . Если интервал между импульсами  $K = 0$  меньше длительности генерируемого сигнала  $G = 0$ , то мультивибратор запускается вновь. Для запуска мультивибратора можно использовать переключение числа  $K$  не только с 1 на 0. Важно только, чтобы в момент запуска было подано число  $K = 0$  или  $K = 4$ , что обеспечивает загрузку в вычитающие счетчики модуля пересчета  $M$ . Максимальная частота тактового сигнала равна 1,5 МГц при  $V_{DD} = +5$  В и 3,0 МГц при  $V_{DD} = +10$  В. Потребляемая мощность  $P_{max} = 20$  мВт. Выходные токи  $I_{OL} \leq 12$  мА и  $I_{OH} \leq 1,5$  мА.

Структурная схема делителя частоты  $CD4045B$  изображена на рис. 7.152,а, а на рис. 7.152,б — временные диаграммы, поясняющие его работу. Входной ЛЭ НЕ имеет открытые истоки (*Source*)  $S_P$   $p$ -канала и  $S_N$   $n$ -канала комплементарных транзисторов, способы подключения которых к источнику питания показаны на рис. 7.153. При использовании в генераторе кварцевого резонатора истоки подключаются к источнику питания

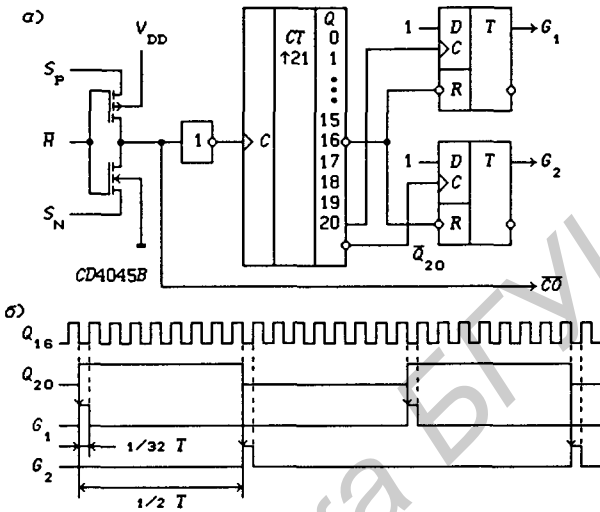


Рис. 7.152

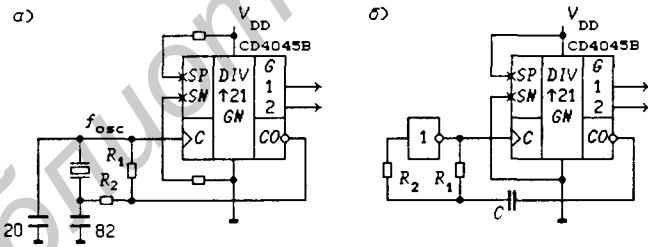


Рис. 7.153

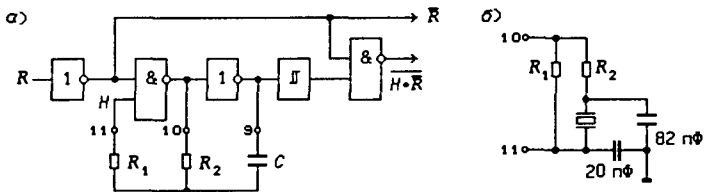


Рис. 7.154



$M = 1, 2, \dots, M_0 - 1$  — подаваемое на входы управления двоичное или десятичное число,  $M_0$  — нормировочный двоичный или десятичный коэффициент, называются *синхронными нормированными множителями частоты* (*Synchronous Rate Multipliers*). На рис. 7.156 приведены ИС:

155IE8 — синхронный двоичный нормированный множитель частоты с коэффициентом  $M_0 = 64$  и асинхронным потенциальным сбросом счетчика значением сигнала  $R = 1$ ;

74167, MC14527B — синхронные десятичные нормированные множители частоты с коэффициентом  $M_0 = 10$  и асинхронными потенциальными сбросом и установкой состояния счетчика  $j = 9$  значениями сигналов  $R = 1$  и  $S_9 = 1$  (счет производится в коде 5-4-2-1);

CD4089B — синхронный двоичный нормированный множитель частоты с коэффициентом  $M_0 = 16$  и асинхронными потенциальными сбросом и установкой состояния счетчика  $j = 15$  значениями сигналов  $R = 1$  и  $S = 1$ .

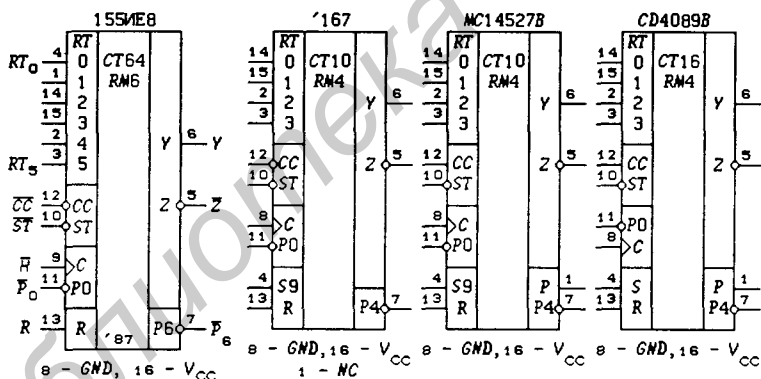


Рис. 7.156

Нормированные  $m$ -разрядные двоичные множители содержат  $m$ -разрядный синхронный двоичный счетчик и реализуют функции:

$$Z = \bigvee_{r=0}^{m-1} RT_r \varphi_r ST, \quad \varphi_r = H \cdot \overline{Q}_{m-1-r} \prod_{j=0}^{m-2-r} Q_j \quad \text{при} \quad \prod_{j=1}^{-1} Q_j = 1,$$

$$Y = \overline{\overline{CC} \cdot \overline{Z}}, \quad P_m = P_0 \prod_{r=0}^{m-1} Q_r, \quad \varphi_r \cdot \varphi_s \equiv 0 \quad \text{при} \quad r \neq s, \quad (7.95)$$

где  $m = 6$  у ИС 155IE8,  $m = 4$  у ИС CD4089B,  $RT_r$  (Rate) —



двоичные коэффициенты ( $M = RT_{m-1} \dots RT_1 RT_0 \leq 2^m$  — двоичное число),  $\overline{ST}$  (Strobe) — строб,  $\overline{CC}$  (Cascade Connection) — вход каскадного соединения ИС,  $\overline{P}_0$  — вход переноса,  $\overline{P}_m$  — выход переноса (у ИС *CD4089B* имеется еще детектор состояния  $j = 15$ , выход которого  $P = Q_3 Q_2 Q_1 Q_0$ ). Функции возбуждения  $T/R$ -триггеров, используемые для счета, описываются известными выражениями:

$$T_0 = 1, T_r = P_0 \prod_{j=0}^{r-1} Q_j, r = 1, 2, \dots, m-1.$$

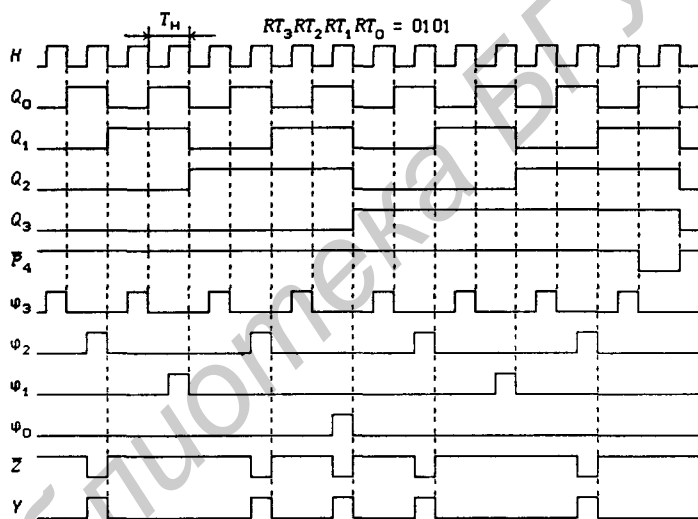


Рис. 7.157

На рис. 7.157 изображены временные диаграммы, поясняющие работу двоичного нормированного умножителя *CD4089B* при  $\overline{P}_0 = \overline{CC} = S = R = \overline{ST} = 0$  ( $Y = \varphi_2 \vee \varphi_0$ ). Из выражений (7.95) следует, что входы  $RT_r$  управляют числом импульсов на выходах  $\overline{Z}$  и  $Y$  на интервале времени  $M_0 T_H$  ( $M_0 = 16$ ), и отношение частоты  $f_{out}$  сигналов на выходах  $\overline{Z}$  и  $Y$  к частоте тактового сигнала  $f_H$  равно  $M/M_0$ , где  $M = RT_3 RT_2 RT_1 RT_0$  — двоичное число, подаваемое на входы  $RT_r$  ( $M = 0, 1, \dots, 15$ ). Понятно, что частота  $f_{out} = (M/M_0) \cdot f_H$ . Все сказанное справедливо и для двоичного нормированного умножителя *155IE8* при  $\overline{P}_0 = R = \overline{ST} = 0$  и  $\overline{CC} = 1$  ( $M_0 = 64$ ,  $M = RT_5 \dots RT_1 RT_0 =$

0, 1, ..., 63).

Поскольку выполняется неравенство  $1/M_0 \leq M/M_0 \leq (M_0 - 1)/M_0$ , то нормированные умножители могут быть использованы для дискретного управляемого преобразования частоты тактового сигнала с высокой разрешающей способностью, что нельзя сделать с помощью обычных делителей частоты (минимальное значение модуля пересчета делителя частоты  $M = 2 \gg 1/M_0$ ). Из этого следует, что нормированные умножители могут быть использованы для проектирования синтезаторов частот. Если выходной сигнал  $Y$  нормированного умножителя подать на делитель частоты с коэффициентом деления  $M_1$ , то получится синтезатор частот  $f_{out} = f_H M / (M_0 M_1)$ .

Последовательное включение трех ИС 155ИЕ8 для получения 12-разрядного нормированного умножителя показано на рис. 7.158. Преобразование частоты тактового сигнала данной схемой определяется соотношением:  $f_{out} = f_H M / 2^{18}$ , где  $M = RT_{17} \dots RT_1 RT_0$ , а  $2^{18}$  — нормировочный коэффициент. Действительно, из рис. 7.158 и соотношений (7.95) следует:

$$Y_2 = \overline{\overline{Z_3 Z_2}} = Z_3 \vee Z_2, Y = \overline{\overline{Y_2 Z_1}} = Z_3 \vee Z_2 \vee Z_1 = \bigvee_{r=12}^{17} RT_r \varphi_r \vee \bigvee_{r=6}^{11} RT_r \varphi_r \prod_{j=0}^5 Q_j \vee \bigvee_{r=0}^5 RT_r \varphi_r \prod_{j=0}^{11} Q_j = \bigvee_{r=0}^{17} RT_r \varphi_r. \quad (7.96)$$

Схема параллельного каскадирования трех ИС 155ИЕ8 для получения 12-разрядного нормированного умножителя изображена на рис. 7.159 (вход каскадирования  $\overline{CC}$  при этом не используется). Легко убедиться, что и в этом случае выполняются соотношения (7.96), а также, что и функция  $\overline{Z} = \overline{\overline{Z_3 Z_2 Z_1}} = \overline{Y}$  при параллельном каскадировании реализуется на трехходовом ЛЭ И. Можно использовать также и последовательно-параллельное каскадирование ИС.

Если выходной сигнал  $Y$  приведенных нормированных умножителей подать на делитель частоты с коэффициентом деления  $M_1$ , то получится синтезатор частот  $f_{out} = f_H M / (M_1 2^{18})$ , где  $2^{18}$  — нормировочный коэффициент,  $M = 1, 2, \dots, 2^{18} - 1$ . Недостатком данного синтезатора является неравномерность расположения импульсов  $Y$  (см. рис. 7.157), что приводит к скачкам фазы синтезированного сигнала, превышающим  $T_H$  (при временном представлении сдвига фазы). Если коэффициенты  $RT_r$  в выражении (7.96) формировать двоичным счетчиком, запус-

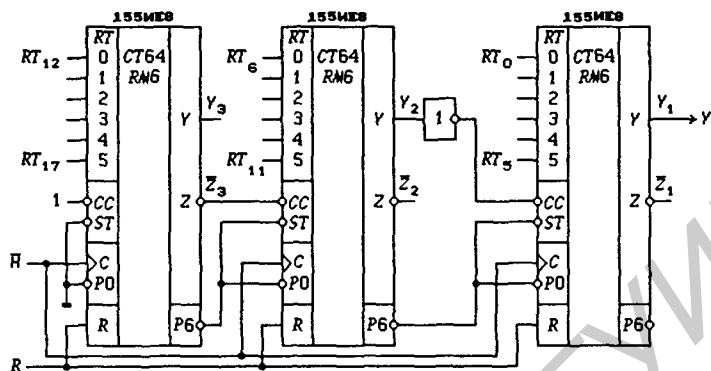


Рис. 7.158

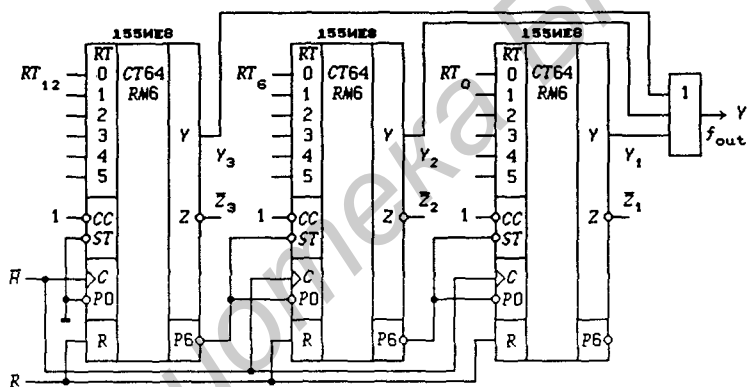


Рис. 7.159

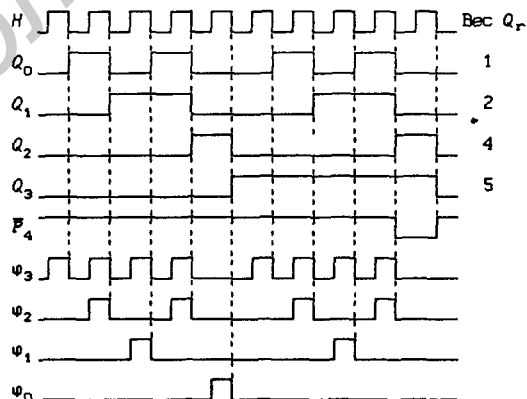


Рис. 7.160

каемым тактовым сигналом с постоянной частотой, то число импульсов в единицу времени на выходе  $Y$  будет увеличиваться линейно.

Десятичные нормированные умножители частоты 74167 и  $MC14527B$  ( $P_4 = P_0Q_3Q_2$ ,  $P = Q_3Q_2$ ) также могут быть использованы для проектирования синтезаторов частот, но с нормировочным коэффициентом  $M_0 = 10$ : частота выходных сигналов  $\bar{Z}$  и  $Y$  равна  $f_{out} = (M/M_0) \cdot f_H$ , где  $M = RT_3RT_2RT_1RT_0 \leq 9$ . На рис. 7.160 изображены временные диаграммы, поясняющие их работу при  $\bar{P}_0 = R = S_9 = \bar{ST} = 0$  ( $CC = 1$  для ИС 74167 и  $CC = 0$  для ИС  $MC14527B$ ).

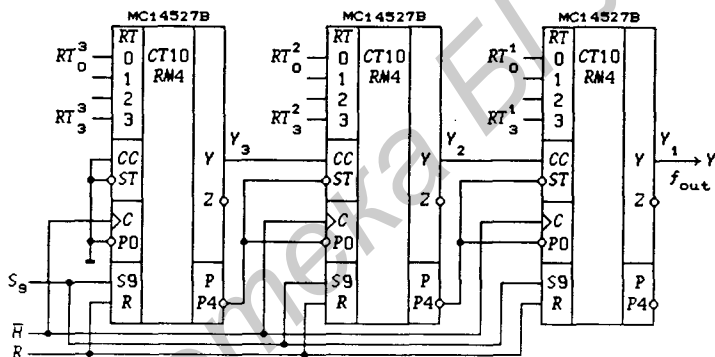


Рис. 7.161

Последовательное включение трех ИС  $MC14527B$  для получения трехразрядного десятичного нормированного умножителя показано на рис. 7.161. Преобразование частоты тактового сигнала данной схемой определяется соотношением:  $f_{out} = f_H M / 10^3$ , где трехразрядное двоично-десятичное число

$$M = RT_3^3 RT_2^3 RT_1^3 RT_0^3 RT_3^2 RT_2^2 RT_1^2 RT_0^2 RT_3^1 RT_2^1 RT_1^1 RT_0^1$$

и  $10^3$  — нормировочный коэффициент.

Нормированные умножители частоты могут использоваться для выполнения арифметических операций (сложение, вычитание, возведение в степень), решения алгебраических и дифференциальных уравнений, вычисления натуральных логарифмов и тригонометрических функций, и др. На рис. 7.162,а изображена структурная схема умножителя двоичных чисел  $M_1$  и  $M_2$  ( $RTm$  — двоичный  $m$ -разрядный нормированный умножитель частоты,  $CT \uparrow 2m$  — реверсивный  $2m$ -разрядный счетчик с расщепленным тактовым сигналом типа 555ИЕ7). Тактовые сигналы  $\bar{H}(\varphi_1)$  и  $\bar{H}(\varphi_2)$  должны быть сдви-

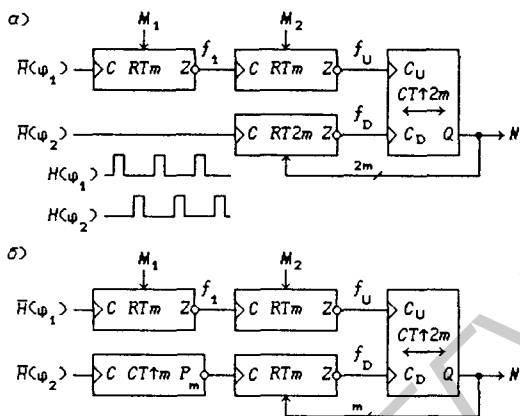


Рис. 7.162

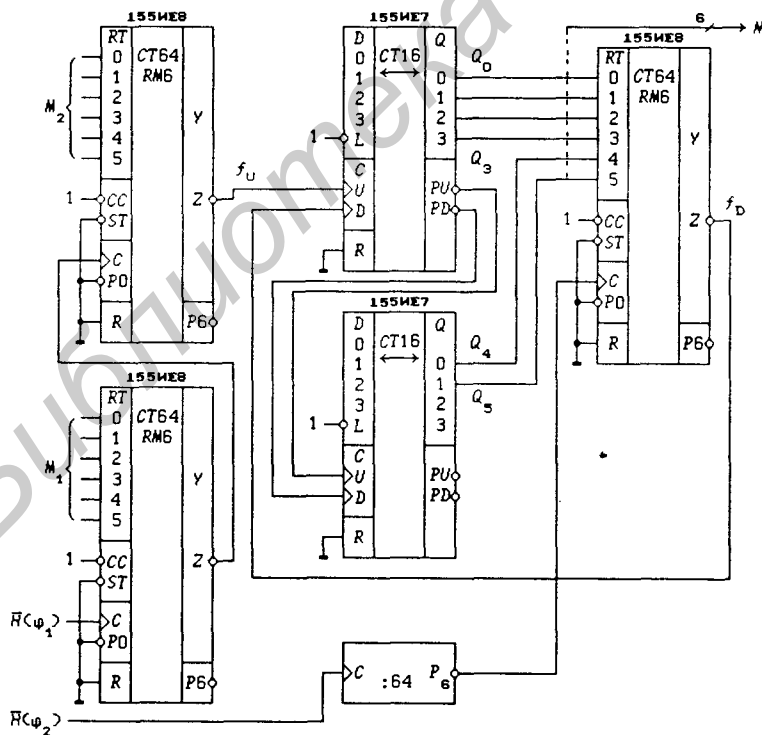


Рис. 7.163

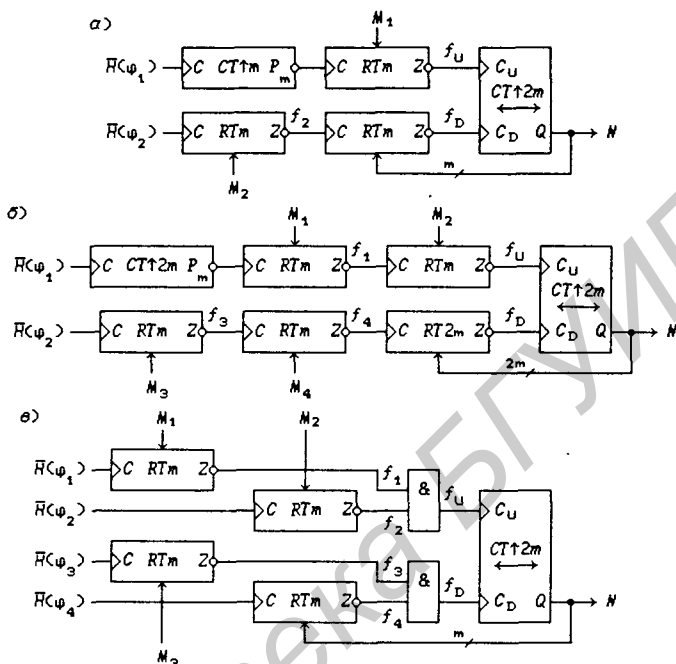


Рис. 7.164

нуды по фазе так, чтобы значения  $H(\varphi_1) = 1$  и  $H(\varphi_2) = 1$  не перекрывались. В состоянии динамического равновесия частота  $f_U$  сигнала на суммирующем входе  $C_U$  счетчика должна быть равна частоте  $f_D$  сигнала на вычитающем входе  $C_D$  (схема представляет собой устройство автоматического регулирования, в котором в качестве детектора ошибки используется реверсивный счетчик). Из рис. 7.162,а следует, что

$$f_1 = f_H M_1 / 2^m, \quad f_U = f_1 M_2 / 2^m = f_H M_1 M_2 / 2^{2m}, \quad f_D = f_H N / 2^{2m},$$

поэтому  $N = M_1 M_2$  при  $f_U = f_D$ , где  $N$  — двоичное  $2m$ -разрядное число.

Умножитель двоичных чисел  $M_1$  и  $M_2$  с меньшей точностью представлен на рис. 7.162,б:

$$f_1 = f_H M_1 / 2^m, \quad f_U = f_1 M_2 / 2^m = (f_H M_1 / 2^m)(M_2 / 2^m), \\ f_D = (f_H / 2^m)(N / 2^m),$$

поэтому  $N = M_1 M_2$  при  $f_U = f_D$ , где  $N$  — двоичное  $m$ -разрядное число. Основная часть принципиальной схемы этого умножителя изображена на рис. 7.163.

По принципу устройств автоматического регулирования могут быть построены и другие схемы, выполняющие арифметические опе-

рации:

$$\begin{aligned} N &= M_1/M_2 \text{ (рис. 7.164, а),} \\ N &= M_1 M_2/M_3 M_4 \text{ (рис. 7.164, б),} \\ N &= M_1 + M_2 - M_3 \text{ (рис. 7.164, в)} \end{aligned}$$

(в последнем случае  $f_U = f_H M_1/2^m + f_H M_2/2^m$ ,  $f_D = f_H M_3/2^m + f_H N/2^m$ ).

## 7.12. Линейные генераторы

Синхронный автомат называется *линейным*, если комбинационная схема описывается линейными функциями (1.91), а в качестве элементов памяти используются  $D$ -триггеры (элементы задержки). Методы построения линейных комбинационных схем при  $q \neq 2$  были рассмотрены в § 6.15.

Линейные автоматы над полем  $GF(q)$  находят самое разнообразное применение в различных областях техники [15, 16]. Здесь не представляется возможным рассмотреть все аспекты применения линейных автоматов, поэтому рассмотрим только примеры построения генераторов троичных последовательностей, обладающих идеальной периодической автокорреляционной функцией.

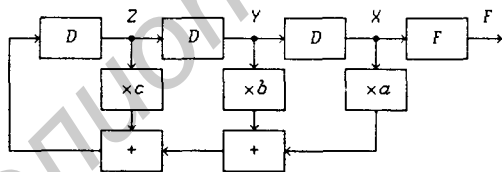


Рис. 7.165

Как следует из работ [14, 15], многие троичные последовательности, обладающие указанным свойством, могут быть получены с помощью генератора, общая структурная схема которого показана на рис. 7.165 ( $D$  — элементы задержки,  $F$  — некоторый преобразователь;  $a, b, c$  — постоянные коэффициенты). Умножение на коэффициенты  $a, b, c$  и сложение выполняется по некоторому модулю  $q$ . Возьмем  $q = 7$ , тогда числа на входах и выходах сумматоров и умножителей можно представить 3-разрядным двоичным кодом. В соответствии с этим, элементы задержки  $D$  будут представлять собой совокупность трех 3-разрядных сдвигающих регистров ( $X = x_3 x_2 x_1$ ,  $Y = y_3 y_2 y_1$  и  $Z = z_3 z_2 z_1$ ).

Таблица 7.15. Преобразователь трюичной последовательности

$X$	$x_3x_2x_1$	$f_1f_2$
0	0 0 0	0 0
1	0 0 1	1 0
2	0 1 0	1 0
3	0 1 1	0 1
4	1 0 0	1 0
5	1 0 1	0 1
6	1 1 0	0 1

Преобразователь  $F$  преобразует поступающие на его вход числа  $X = 0, 1, \dots, 6$  в сигналы  $f_1$  и  $f_2$ , управляющие модулятором радиоимпульсов. Если на вход преобразователя  $F$  поступает число  $X = x_3x_2x_1 = 0$ , то радиоимпульс не формируется ( $f_1 = f_2 = 0$ ). При поступлении на вход преобразователя  $F$  чисел  $X = 1, 2$  и  $4$  должен формироваться радиоимпульс с начальной фазой  $\varphi = 0$  ( $f_1 = 1$  и  $f_2 = 0$ ), а при  $X = 3, 5$  и  $6$  — радиоимпульс с начальной фазой  $\varphi = \pi$  ( $f_1 = 0$  и  $f_2 = 1$ ). На основании сказанного закон функционирования преобразователя  $F$  можно описать таблицей истинности (табл. 7.15), задающей функции  $f_1$  и  $f_2$  ( $f_1 = 1$  соответствует формированию радиоимпульса с начальной фазой  $\varphi = 0$ , а  $f_2 = 1$  — формированию радиоимпульса с начальной фазой  $\varphi = \pi$ ;  $x_3, x_2, x_1$  — разряды числа, поступающего на вход преобразователя  $F$ ). Составив на основании табл. 7.15 диаграммы Вейча (рис. 7.166) для функций  $f_1$  и  $f_2$ , можно получить:

$$f_1 = x_1 \oplus x_2 \oplus x_3, \quad f_2 = x_1x_2 \vee x_1x_3 \vee x_2x_3.$$

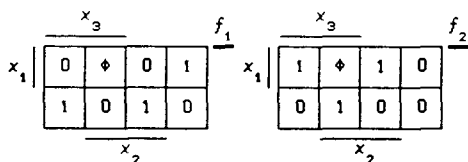


Рис. 7.166

Сравнив данные выражения с соотношениями (6.42), легко заметить, что для реализации этих функций можно использовать одноразрядный двоичный сумматор ( $f_1$  — сумма,  $f_2$  — перенос).

Выбор коэффициентов  $a$ ,  $b$  и  $c$  производится на основании теории трюичных последовательностей [14, 15]. Так, при  $a =$



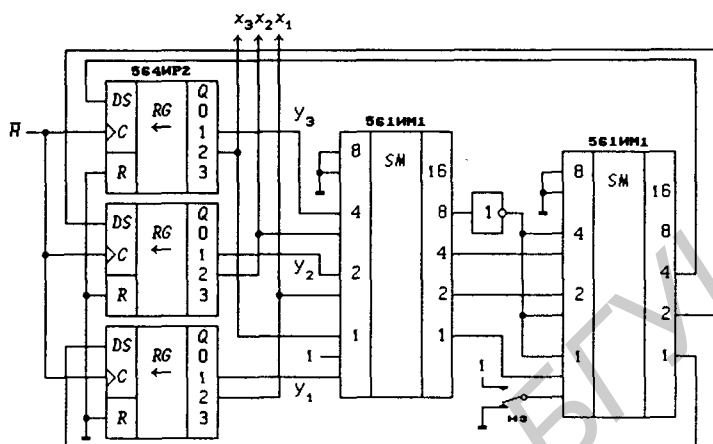


Рис. 7.167

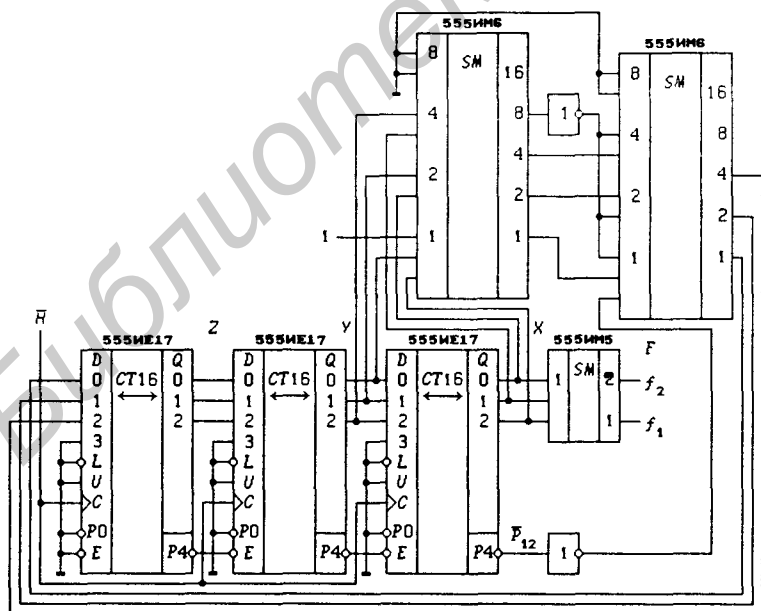


Рис. 7.168

2,  $b = 1$  и  $c = 0$  схема, показанная на рис. 7.165, генерирует периодическую троичную последовательность

$$\begin{aligned} &+0 + + + + - - - + + 0 + + + - - - + + - + - + + + + - \\ &+0 - + - 0 - - - + - - 0 + - + + - - + + 0 - + - + 00 \end{aligned} \quad (7.97)$$

длиною  $N = 57$ , периодическая автокорреляционная функция которой имеет все боковые лепестки, равные нулю (основной лепесток равен 49).

Принципиальная схема генератора (при  $a = 2$ ,  $b = 1$  и  $c = 0$ ) показана на рис. 7.167. Умножение на два достигается циклическим сдвигом разрядов числа  $X = x_3x_2x_1$ , т. е.  $2 \cdot X = x_2x_1x_3$ . На двух двоичных 4-разрядных сумматорах выполнен сумматор по модулю 7, производящий вычисление:

$$(Y + 2 \cdot X)_q = (y_3y_2y_1 + x_2x_1x_3)_q.$$

Если при включении питания сдвигающие регистры установятся в нулевое состояние, то генератор не выйдет из него. Запись в регистр ненулевого состояния ( $j = 1$ ) производится по входу переноса второго двоичного сумматора с помощью переключателя  $SW$  (нз — нормально замкнутый контакт).

На рис. 7.168 изображена схема генератора троичной последовательности (7.97) с преобразователем  $F$ , выполненная на реверсивных счетчиках 555ИЕ7, используемых в качестве сдвигающих регистров. Сигнал  $\bar{P}_{12}$  детектора состояния  $j = 4095$  использован для автоматического выхода генератора из нулевого состояния. Таким же способом могут быть построены и другие генераторы троичных последовательностей.

## Приложение 1

### Перечень отечественных и зарубежных ИС

Указатели ИС (табл. П1.1 – табл. П1.5) позволяют осуществить быстрый поиск информации о любой ИС, помещенной в учебном пособии. Краткая информация о функциональном назначении ИС, необходимая для их выбора, приведена в самих таблицах.

Условные обозначения для описания назначения ИС, многократно встречающихся в таблицах:

*ADC (Analog-Digital Converter)* — аналого-цифровой преобразователь;

*ADD (Adder)* — сумматор;

*ADD-BCD (Binari-coded Decimal ADD)* — двоично-десятичный сумматор;

*ALU (Arithmetic Logic Unit)* — арифметическо-логическое устройство;

*AND, nAND* — ЛЭ И, *n*-входовой ЛЭ И;

*B (Binary Code)* — двоичный код;

*BCD (Binari-coded Decimal Digit)* — двоично-десятичный код числа;

*BD (Bus Driver, Data Buffer)* — шинный драйвер, буфер данных;

*BF (Buffer)* — буфер, повторитель;

*BRMPL (Binari Rate Multiplier)* — двоичный нормированный умножитель;

*CCNV (Code Converter)* — преобразователь кода;

*CMP (Digital Comparator)* — цифровой компаратор;

*CMP-RG* — компаратор с регистрами памяти входных операндов;

*CONV H → L (High-to-Low Level Converter)* — преобразователь, понижающий уровень напряжения логической 1 (преобразователь КМОП-ТТЛ);

*CONV L → H (Low-to-High Level Converter)* — преобразователь, повышающий уровень напряжения логической 1 (преобразователь ТТЛ-КМОП);

- CONV 9 —  $X$  — преобразователь десятичного числа  $X$  в дополнение до 9;
- COP (*Complementary Pair*) — комплементарная пара транзисторов;
- CRU (*look-ahead Carry Unit*) — устройство параллельного переноса;
- CT (*Counter, Up-counter*) — счетчик (суммирующий);
- CT-D (*Down-counter*) — вычитающий счетчик;
- CT $m$  — счетчик по модулю  $m$  ( $m = 2, 3, 4, \dots$ );
- CT $m/k$  — счетчик с переключаемым модулем пересчета ( $m$  и  $k$ );
- CT-U/D (*Up-Down-Counter*) — реверсивный счетчик;
- CT  $\uparrow m$  — счетчик по модулю  $2^m$ ;
- D, D-L — триггеры типов D и D-L;
- DC (*Decoder*) — дешифратор;
- DIV (*Divider*) — делитель частоты;
- DIVP (*Programmable Divider*) — программируемый делитель частоты;
- DIVP-D (*D — Down*) — программируемый вычитающий делитель частоты;
- DIVP $m$ , DIVP  $\uparrow m$  — программируемые делители частоты с максимальным коэффициентом деления  $m$  и  $2^m$ ;
- DMX (*Demultiplexer*) — демультиплексор;
- DMX-RGAR (*RGAR — Address Register*) — демультиплексор с регистром адреса;
- DRMPL (*Decade Rate Multiplier*) — десятичный нормированный множитель;
- DRV (*Driver*) — драйвер, усилитель;
- EXP (*Expander, Expandable*) — расширитель, расширяемый;
- GN (*Generator*) — генератор тактовых сигналов;
- J-K — триггер типа J-K (в фигурных скобках указывается тип входной логики информационных входов, например, {3И}J-{3И}K — триггер со входами  $J = J_1 J_2 J_3$  и  $K = K_1 K_2 K_3$ );
- LD (*Line Driver*) — линейный драйвер (драйвер с независимым управлением для каждой линии передачи);
- mB (*B — Binary*) —  $m$ -разрядный двоичный код;
- ME, nME (*Majority Element*) — мажоритарный элемент,  $n$ -входовой МЭ;
- MPL (*Multiplier*) — множитель;
- MUX (*Multiplexer*) — мультиплексор;
- MUX-DMX (*Multiplexer-Demultiplexer*) — аналоговый мультиплексор-демультиплексор;
- MUXF — функциональный мультиплексор (коммутируются не только входные данные DI, но и некоторые функции от них);
- MUX-SH (*SH — Shift*) — сдвигающий мультиплексор;
- MVBR (*Monostable Multivibrator*) — ждущий мультивибратор;
- NAND, nNAND (*NOT AND*) — ЛЭ И-НЕ,  $n$ -входовой ЛЭ И-НЕ;

Таблица П1.1. Отечественные ИС типа SN54/SN74

ИС	SN54 SN74	Функциональное назначение											Номер рисунка		
			13	15	53D	531	533	535	1530	1531	1533	КР1534		КР1536	1544
АГ1	121	MVBR	++	--	--	--	--	--	--	--	--	--	--	--	5.117
АГ3	123	$\langle MVBR; \bar{R} \rangle \times 2$	++	--	++	--	--	--	+	--	+	--	+	+	5.117
АГ4	221	$\langle MVBR; \bar{R} \rangle \times 2$	--	--	++	--	--	--	--	--	--	--	--	+	5.117
АП2	-	TR/RC: 4; DI, DO, DB, OC	--	++	--	--	--	--	--	--	--	--	--	--	5.101
АП3	240	$\langle BD: 4; \overline{OE}, \overline{DO}, TS \rangle \times 2$	--	++	++	--	++	++	++	++	++	++	++	++	5.63
АП4	241	$\langle BD: 4; \overline{OE} + BD: 4; OE \rangle; DO, TS$	--	++	++	--	++	++	++	++	++	++	++	++	5.63
АП5	244	$\langle BD: 4; \overline{OE}, DO, TS \rangle \times 2$	--	--	++	--	++	++	++	++	++	++	++	++	5.63
АП6	245	TR/RC: 8; DA, DB, TS	--	--	++	--	--	--	++	++	++	++	++	++	5.99
АП9	640	TR/RC: 8; T, $\overline{OE}$ , DA, $\overline{DB}$ , TS	--	--	--	--	--	--	++	++	++	++	++	++	5.99
АП12	540	BD: 8; $\overline{OE}, \overline{DO}, TS$	--	--	+	--	--	--	--	--	--	--	--	--	5.64
АП13	541	BD: 8; $\overline{OE}, DO, TS$	--	--	+	--	--	--	--	--	--	--	--	--	5.64
АП14	465	BD: 4; $\overline{OE}, DO, TS$	--	--	+	--	--	--	+	--	--	--	--	--	5.64
АП15	466	BD: 8; $\overline{OE}, \overline{DO}, TS$	--	--	+	--	--	--	+	--	--	--	--	--	5.64
АП16	643	TR/RC: 8; T, $\overline{OE}, \overline{DA}, \overline{DB}, TS$	--	--	--	--	--	--	+	--	--	--	--	--	5.99
АП17	651	TR/RC-RG: 8; $\overline{H}, DA, \overline{DB}, TS$	--	--	--	--	--	--	--	--	++	++	++	++	5.106
АП20	646	TR/RC-RG: 8; $\overline{H}, T, \overline{OE}, DB, TS$	--	--	--	--	--	--	--	--	++	++	++	++	5.106
АП24	652	TR/RC-RG: 8; $\overline{H}, DA, DB, TS$	--	--	--	--	--	--	--	--	++	++	++	++	5.106
АП25	620	TR/RC: 8; $\overline{OE}A, OE\bar{B}, DA, \overline{DB}, TS$	--	--	--	--	--	--	--	--	++	++	++	++	5.98
АП26	623	TR/RC: 8; $\overline{OE}A, OE\bar{B}, DA, DB, TS$	--	--	--	--	--	--	--	--	++	++	++	++	5.98
ВА1	226	TR/RC-RG: 4; $\overline{L}, DA, DB, TS$	--	+	--	--	--	--	--	--	--	--	--	--	5.105
ИВ1	148	PRCD 8x3	++	--	++	--	--	--	--	--	--	--	--	--	6.58
ИВ2	348	PRCD 8x3; TS	--	--	++	--	--	--	--	--	--	--	--	--	6.58
ИВ3	147	PRCD 10x4	--	--	++	--	--	--	--	--	--	--	++	--	6.58
ИД1	141	DC 4x10; $\overline{F}, OC, 60 В, 7mA$	++	--	--	--	--	--	--	--	--	--	--	--	6.2
ИД3	154	DMX 1 → 16; $\overline{F}$	++	--	++	--	--	--	++	++	++	++	++	++	6.7
ИД4	155	DMX 1 → 4: 2; $\overline{F}$	++	+	++	--	--	--	++	++	++	++	++	++	6.7
ИД5	156	DMX 1 → 4: 2; $\overline{F}, OC$	--	--	++	--	--	--	--	--	--	--	--	--	6.7
ИД6	42	DC 4x10; $\overline{F}$	--	--	++	--	--	--	--	--	--	--	--	--	6.2
ИД7	138	DMX 1 → 8; $\overline{F}$	--	++	++	--	--	--	++	++	++	++	++	++	6.7
ИД10	145	DC 4x10; $\overline{F}, OC, 15В, 80mA$	++	--	++	--	--	--	--	--	--	--	--	--	6.2
ИД14	139	$\langle DMX 1 → 4; \overline{F} \rangle \times 2$	--	++	--	--	--	--	++	+	++	++	++	++	6.7
ИД19	159	DMX 1 → 16; $\overline{F}, OC$	--	--	+	--	--	--	--	--	--	--	--	--	6.7
ИД22	537	DC 4x10; $\overline{F}, TS$	--	--	--	--	--	--	+	--	--	--	--	--	6.8
ИЕ1	-	DIV10; G, $\overline{H}, R$	+	--	--	--	--	--	--	--	--	--	--	--	7.145
ИЕ2	90	$\langle CT2; H-CT5; HA \rangle; R, S$	++	--	+	--	--	--	+	--	--	--	--	--	7.37

Продолжение табл. П1.1

ИС	SN54 SN74	Функциональное назначение													Номер рисунка
			133	155	590	591	593	595	1590	1591	1593	1594	1596	1594	
ИЕ4	92	$\langle CT2; H \setminus CT6; HA \rangle; R$	++	--	--	--	--	--	--	--	--	--	--	7.43	
ИЕ5	93	$\langle CT2; H \setminus CT8; HA \rangle; R$	++	--	++	--	--	--	+	--	--	--	--	7.34	
ИЕ6	192	$CT10-U/D; HU, \overline{HD}, \overline{L}, R$	++	--	++	--	--	--	++	++	+	--	--	7.115	
ИЕ7	193	$CT16-U/D; HU, \overline{HD}, \overline{L}, R$	++	--	++	--	--	--	++	++	+	--	--	7.115	
ИЕ8	97	$BRMPL: 6; \overline{H}, R$	++	--	--	--	--	--	--	--	--	--	--	7.156	
ИЕ9	160	$CT10; \overline{L}, \overline{H}, \overline{R}$	+	--	++	--	--	--	++	+	++	--	--	7.68	
ИЕ10	161	$CT16; \overline{L}, \overline{H}, \overline{R}$	--	++	++	--	--	--	++	++	+	--	--	7.46	
ИЕ11	162	$CT10; \overline{L}, \overline{R}, \overline{H}$	--	+	--	--	--	--	++	+	--	--	--	7.68	
ИЕ12	190	$CT10-U/D; \overline{H}, \overline{L}$	--	--	--	--	--	--	+	--	--	--	--	7.83	
ИЕ13	191	$CT16-U/D; \overline{H}, \overline{L}$	--	--	++	--	--	--	+	--	--	--	--	7.74	
ИЕ14	196	$\langle CT2; H \setminus CT5; HA \rangle; \overline{L}, \overline{R}$	++	++	++	--	--	--	--	--	--	--	--	7.37	
ИЕ15	197	$\langle CT2; H \setminus CT8; HA \rangle; \overline{L}, \overline{R}$	--	++	++	--	--	--	--	--	--	--	--	7.34	
ИЕ16	168	$CT10-U/D; \overline{L}, \overline{H}$	--	++	--	--	--	--	--	+	--	--	--	7.83	
ИЕ17	169	$CT16-U/D; \overline{L}, \overline{H}$	--	++	++	--	--	--	--	+	--	--	--	7.74	
ИЕ18	163	$CT16; \overline{L}, \overline{R}, \overline{H}$	--	+	++	--	--	--	++	++	+	--	--	7.46	
ИЕ19	393	$\langle CT16; \overline{HA}, R \rangle \times 2$	--	--	++	--	--	--	+	--	++	--	--	7.34	
ИЕ20	390	$\langle \langle CT2; H \setminus CT5; HA \rangle; R \rangle \times 2$	--	--	+	--	--	--	--	--	--	--	--	7.37	
ИЕ23	4520	$\langle CT16; \overline{H}, R \rangle \times 2$	--	--	--	--	--	--	--	+	--	--	--	7.46	
ИК1	Am25S05	$MPL: 4 \times 2 / ADD$	--	++	--	--	--	--	--	--	--	--	--	6.136	
ИК2	381	$ALU: 4$	--	+	--	--	--	--	--	--	--	--	--	6.114	
ИМ1	80	$ADD: 1$	++	--	--	--	--	--	--	--	--	--	--	6.98	
ИМ2	82	$ADD: 2$	++	--	--	--	--	--	--	--	--	--	--	6.98	
ИМ3	83	$ADD: 4$	++	--	--	--	--	--	--	--	--	--	--	6.98	
ИМ5	183	$\langle ADD: 1 \rangle \times 2$	--	--	++	--	--	--	--	--	--	--	--	6.98	
ИМ6	283	$ADD-CRU: 4$	--	--	++	--	--	--	+	--	--	--	--	6.98	
ИМ7	385	$SADD/SUB: 4$	--	--	++	--	--	--	--	--	--	--	--	6.111	
ИП3	181	$ALU: 4$	++	++	++	--	+	++	--	--	--	--	--	6.113	
ИП4	182	$CRU: 4$	++	++	++	--	+	++	--	--	--	--	--	6.116	
ИП6	242	$TR/RC: 4; DA, \overline{DB}, TS$	--	--	++	--	--	--	++	--	--	--	--	5.98	
ИП7	243	$TR/RC: 4; DA, DB, TS$	--	--	++	--	--	--	++	--	+	--	--	5.98	
ИП8	261	$MPL: 4 \times 2 / RG; L$	--	--	++	--	--	--	--	--	--	--	--	6.136	
ИП9	384	$MPL: 8 \times 1$	--	--	++	--	--	--	--	--	--	--	--	6.144	
ИР1	95	$RGS: 4; L, HL, HS, PI/PO$	++	--	--	--	--	--	--	--	--	--	--	7.11	
ИР8	164	$RGS: 8; \overline{H}, \overline{R}, S1/PO$	--	--	++	--	--	--	+	++	+	--	--	7.3	
ИР9	165	$RGS: 8; \overline{\delta}, \overline{H}, \overline{L}, \overline{Q}, P1/SO$	--	--	++	--	--	--	+	--	+	--	+	7.11	



Продолжение табл. П1.1

ИС	SN54 SN74	Функциональное назначение	139	155	550	591	593	595	1530	1531	1533	1533	1534	1564	Номер рисунка
			КР1530	КР1531	КР1533	КР1534	КР1564	КР1564							
ЛЕ4	27	(3NOR)×3	+	-	-	+	-	-	-	-	+	+	+	5.10	
ЛЕ5	28	(2NOR/DRV)×4	+	+	-	-	-	-	-	-	-	-	-	5.10	
ЛЕ6	128	(2NOR/DRV)×4	+	+	-	-	-	-	-	-	-	-	-	5.10	
ЛЕ7	260	(5NOR)×2	-	-	+	-	-	-	-	-	-	-	-	5.10	
ЛЕ8	805	(2NOR/DRV)×6	-	-	-	-	+	-	-	-	-	-	-	5.10	
ЛЕ9	4002	(2NOR/DRV)×6	-	-	-	-	-	-	-	-	-	-	+	5.29	
ЛЕ10	1002	(2NOR/DRV)×4	-	-	-	-	-	-	-	+	-	-	-	5.10	
ЛЕ11	33	(2NOR/DRV; OC)×4	-	-	-	-	-	-	-	+	-	-	-	5.44	
ЛМ1	08	(2AND)×4	+	+	+	+	-	+	+	+	+	+	+	5.11	
ЛМ2	09	(2AND; OC)×4	+	-	+	-	-	-	+	-	-	-	-	5.44	
ЛМ3	11	(3AND)×3	-	+	+	+	-	+	+	+	+	+	+	5.11	
ЛМ4	15	(3AND; OC)×3	-	-	+	-	-	-	+	-	-	-	-	5.44	
ЛМ5	SN75451	(2AND; OC, 30 В, 300 мА)×2	+	+	-	-	-	-	-	-	-	-	-	5.50	
ЛМ6	21	(4AND)×2	-	-	+	+	-	-	-	+	+	+	+	5.11	
ЛМ7	808	(2AND/DRV)×6	-	-	-	-	+	-	-	-	-	-	-	5.11	
ЛМ8	1008	(2AND/DRV)×4	-	-	-	-	-	-	-	+	+	+	+	5.11	
ЛМ9	34	(BF)×6	-	-	-	-	-	-	-	-	-	+	-	5.11	
ЛМ10	1011	(3AND/DRV)×3	-	-	-	-	-	-	-	+	-	-	-	5.11	
ЛЛ1	32	(2OR)×4	+	+	+	+	-	+	+	+	+	+	+	5.11	
ЛЛ2	SN75453	(2OR; OC, 30 В, 300 мА)×2	+	-	-	-	-	-	-	-	-	-	-	5.50	
ЛЛ3	832	(2OR/DRV)×6	-	-	-	+	-	-	-	-	-	-	-	5.11	
ЛЛ4	1032	(2OR/DRV)×4	-	-	-	-	-	-	-	+	+	+	+	5.11	
ЛН1	04	(NOT)×6	+	+	+	+	-	+	+	+	+	+	+	5.10	
ЛН2	05	(NOT; OC)×6	+	+	+	+	-	+	+	-	-	-	+	5.44	
ЛН3	06	(NOT; OC, 30 В, 40 мА)×6	+	+	-	-	-	-	-	-	-	-	-	5.44	
ЛН5	16	(NOT; OC, 15 В, 40 мА)×6	+	+	-	-	-	-	-	-	-	-	-	5.44	
ЛН6	366	BD: 6; $\overline{D0}$ , TS	+	-	-	-	-	-	-	-	-	-	-	5.62	
ЛН7	368	(BD: 4; $\overline{0E}+BD: 2; \overline{0E}$ ); $\overline{D0}$ , TS	-	-	-	-	-	-	-	+	+	+	+	5.62	
ЛН8	1004	(NOT/DRV)×6	-	-	-	-	-	-	-	+	+	+	+	5.10	
ЛН10	1005	(NOT/DRV; OC)×6	-	-	-	-	-	-	-	+	+	+	+	5.44	
ЛП3	-	(3ME)×3	-	-	-	+	-	-	-	+	-	-	-	5.11	
ЛП3	-	МУХФ 2 → 1: 3/(3ME)×3	-	-	-	-	-	-	-	+	+	+	+	6.30	
ЛП4	17	(DRV; OC, 15 В, 40 мА)×6	-	+	-	-	-	-	-	-	-	-	-	5.44	
ЛП5	86	(XOR)×4	+	+	+	+	-	+	+	+	+	+	+	5.11	
ЛП7	SN75450	(2NAND/PWT; 30 В, 300 мА)×2	+	+	-	-	-	-	-	-	-	-	-	5.51, а	
ЛП8	125	(LD; OE, DO, TS)×4	+	+	-	+	-	-	-	+	+	+	+	5.62	



Окончание табл. П1.1

ИС	SN54 SN74	Функциональное назначение													Номер рисунка
			123	155	530	531	533	535	1530	1531	1533	1533	1533	1534	
ЛП9	07	$\langle \text{DRV}; \text{OC}, 30 \text{ В}, 40 \text{ мА} \rangle \times 6$	++	--	--	--	--	--	--	--	--	--	--	--	5.44
ЛП10	365	$\text{BD}: 6; \text{DO}, \text{TS}$	+-	--	--	--	--	--	--	--	--	--	--	+	5.62
ЛП11	367	$\text{BD}: 4+\text{BD}: 2; \text{DO}, \text{TS}$	+-	--	--	--	--	--	--	--	--	--	--	+	5.62
ЛП12	136	$\langle \text{XOR}; \text{OC} \rangle \times 4$	--	--	+	--	--	--	--	+	--	--	--	--	5.44
ЛП13	7266	$\langle \text{XNOR} \rangle \times 4$	--	--	--	--	--	--	--	--	--	--	--	+	5.29
ЛП16	1034	$\langle \text{BF} \rangle \times 6$	--	--	--	--	--	--	--	+	--	+	+	+	5.11
ЛП17	1035	$\langle \text{BF}; \text{OC} \rangle \times 6$	--	--	--	--	--	--	--	+	--	+	+	+	5.44
ЛР1	50	$2\text{-}2\text{AND-NOR}/\text{EXP}+2\text{-}2\text{AND-NOR}$	++	--	--	--	--	--	--	--	--	--	--	--	5.13
ЛР3	53	$2\text{-}2\text{-}2\text{AND-NOR}/\text{EXP}$	++	--	--	--	--	--	--	--	--	--	--	--	5.13
ЛР4	55	$4\text{-}4\text{AND-NOR}/\text{EXP}$	++	--	--	--	--	--	--	--	--	--	--	--	5.13
ЛР4	55	$4\text{-}4\text{AND-NOR}$	--	--	++	--	++	--	--	--	--	--	--	--	5.13
ЛР9	64	$2\text{-}2\text{-}3\text{-}4\text{AND-NOR}$	--	++	--	--	++	--	--	--	--	--	--	--	5.13
ЛР10	65	$2\text{-}2\text{-}3\text{-}4\text{AND-NOR}; \text{OC}$	--	++	--	--	++	--	--	--	--	--	--	--	5.44
ЛР11	51	$\langle 2\text{-}2\text{AND-NOR} \rangle \times 2$	--	++	--	--	--	--	--	--	--	--	--	+	5.13
ЛР11	51	$2\text{-}2\text{AND-NOR}+3\text{-}3\text{AND-NOR}$	--	++	--	--	--	++	--	--	--	--	--	+	5.13
ЛР13	54	$2\text{-}2\text{-}3\text{-}3\text{AND-NOR}$	--	++	--	--	--	++	--	--	--	--	--	--	5.13
ПЦ1	292	$\text{DIVP} \uparrow 31$	--	--	++	--	--	--	--	--	--	--	--	--	7.145
СП1	85	$\text{CMP}: 4; A=B, A < B, A > B$	--	++	++	--	--	--	++	--	++	--	++	--	6.81
ТВ1	72	$3J\text{-}3K/R\text{-}S; H, \bar{R}, \bar{S}, \bar{Q}$	++	--	--	--	--	--	--	--	--	--	--	--	5.86
ТВ3	76	$\langle J\text{-}K/R\text{-}S; H, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	--	--	--	--	--	--	--	--	--	--	--	+	5.86
ТВ6	107	$\langle J\text{-}K/R; H, \bar{R}, \bar{Q} \rangle \times 2$	--	--	++	--	--	--	+	--	--	--	--	--	5.86
ТВ9	112	$\langle J\text{-}K/R\text{-}S; H, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	--	++	++	--	--	--	++	++	++	++	++	++	5.86
ТВ10	113	$\langle J\text{-}K/S; H, \bar{S}, \bar{Q} \rangle \times 2$	--	++	--	--	--	--	+	+	--	--	--	--	5.86
ТВ11	114	$J\text{-}K/R\text{-}S: 2; H, \bar{R}, \bar{S}, \bar{Q}$	--	++	--	--	--	--	+	--	--	--	--	--	5.86
ТВ15	109	$\langle J\text{-}K/R\text{-}S; \bar{K}, \bar{H}, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	++	--	--	--	--	--	++	++	++	++	++	++	5.86
ТЛ1	13	$\langle 4\text{AND-ST-NOT} \rangle \times 2$	++	--	--	--	--	--	--	--	--	--	--	--	5.38
ТЛ2	14	$\langle \text{ST-NOT} \rangle \times 6$	++	--	++	--	--	--	+	+	+	+	+	+	5.38
ТЛ3	132	$\langle 2\text{AND-ST-NOT} \rangle \times 4$	++	++	--	--	--	--	--	--	++	++	++	++	5.38
ТМ2	74	$\langle D/R\text{-}S; \bar{H}, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	++	++	++	--	++	++	++	++	++	++	++	++	5.85
ТМ5	77	$\langle D\text{-}L: 2; L, Q \rangle \times 2$	++	--	--	--	--	--	--	--	--	--	--	+	5.76
ТМ7	75	$\langle D\text{-}L: 2; L, \bar{Q} \rangle \times 2$	++	--	++	--	--	--	--	+	--	--	--	+	5.76
ТМ8	175	$D/R: 4; \bar{H}, \bar{R}, \bar{Q}$	+	++	++	--	++	++	++	++	++	++	++	+	5.88
ТМ9	174	$D/R: 6; \bar{H}, \bar{R}, Q$	--	++	++	--	++	++	++	++	++	++	++	+	5.88
ТР2	279	$\langle R\text{-}S+R\text{-}2S; \bar{R}, \bar{S}, Q \rangle \times 2$	--	--	++	--	--	--	++	--	--	--	--	--	5.74
ХЛ1	-	$3TR/RC\text{-}RG: 2; \bar{W}\bar{R}, \bar{R}\bar{D}, \text{OC}$	+-	--	--	--	--	--	--	--	--	--	--	--	5.116
ХЛ1	-	$3TR/RC\text{-}RG: 2; \bar{W}\bar{R}, \bar{R}\bar{D}, \text{TS}$	--	+	--	--	--	--	--	--	--	--	--	--	5.116

Таблица П1.2. Отечественные ИС типа CD4000/МС14000

ИС	CD4000 МС14000	Функциональное назначение						Номер рисунка
			176	561	564	1576	1661	
АГ1	4098	MVBRx2	-	-	+	+	+	5.121
ИД1	4028	DC 4x10, F	+	+	+	+	-	6.2
ИД6	14555	<DMX 1→4; F>x2	-	-	-	-	+	6.7
ИД7	14556	<DMX 1→4; F̄>x2	-	-	-	-	+	6.7
ИЕ1	4024	CT64; HA, R	+	+	-	-	-	7.36
ИЕ2	-	CT32/20; HA, R	+	-	-	-	-	7.37
ИЕ8	4017	CT10; H, R DC 5Bx10	+	+	-	-	-	7.127
ИЕ9	4022	CT8; H, R DC 4Bx8	-	+	+	+	-	7.127
ИЕ10	14520	<CT16; H, R>x2	-	+	+	+	+	7.46
ИЕ11	14516	CT16-U/D; H, L, R	-	+	+	+	-	7.74
ИЕ14	4029	CT16/10-U/D; H, L	-	+	+	+	-	7.83
ИЕ15	4059	DIVP21327; H	-	+	+	+	-	7.149
ИЕ16	4020	DIV†14; HA, R, Q0, Q3-Q13	-	+	-	-	-	7.149
ИЕ19	4018	CT-RGS: 5; H, L, R, Q	-	+	+	+	-	7.127
ИЕ20	14040	CT†12; HA, R	-	-	-	-	+	7.36
ИЕ21	14161	CT16; L, H, R	-	-	-	-	+	7.46
ИК1	-	MUXF 3→1/(3ME)x3	-	+	+	+	-	6.30
ИМ1	4008	ADD: 4	+	+	+	+	-	6.98
ИП2	14585	CMP: 4; A=B, A<B, A>B	-	+	+	+	-	6.81
ИП3	14581	ALU: 4	-	-	+	+	-	6.113
ИП4	14582	CRU: 4	-	-	+	+	-	6.116
ИП5	14554	MPL: 2x2	-	+	+	+	-	6.130
ИР1	4006	<RGS: 4-RGS: 5-RGS: 4-RGS: 5>; H, S1/S0	-	-	+	+	-	7.3
ИР2	4015	<RGS: 4; H, R>x2	+	+	+	+	-	7.3
ИР3	-	RGS: 4; L, HL, HS, P1/P0	+	-	-	-	-	7.14
ИР4	4031	RGS: 64; H, S1/S0	+	-	-	-	-	7.3
ИР6	4034	RGS: 6; L, H, L, DA, DB, TS	-	+	+	+	-	7.14
ИР9	4035	RGS: 4; JS, KS, L, H, R, Q	-	+	+	+	-	7.14
ИР10	4006	<RGS: 4-RGS: 5-RGS: 4-RGS: 5>; H, S1/S0	+	-	-	-	-	7.3
ИР13	54C905	RGS: 12; H, Q	-	-	+	+	-	7.143
ИР14	14076	D-2L/R: 4; L, H, R, DO, TS	-	-	-	-	+	5.91
ИР15	14194	RGBS: 4; H, R, P1/P0	-	-	-	-	+	7.27
КП1	4052	MUX-DMX 4→1/1→4: 2; V <sub>EE</sub>	-	+	+	+	+	6.56
КП2	4051	MUX-DMX 8→1/1→8; V <sub>EE</sub>	-	+	+	+	+	6.56
КП3	14512	MUX 8→1; E, OE, DO, TS	-	-	-	-	+	6.25
КП4	14519	MUXF 4→1/(XNOR)x4	-	-	-	-	+	6.30
КП5	-	(MUX-DMX 2→1/1→2)x3	-	-	-	-	+	6.56
КТ1	4016	SW: 4	+	-	-	-	-	6.54

Окончание табл. П1.2

ИС	CD4000 MC14000	Функциональное назначение	176	561	564	1526	1561	Номер рисунка
КТЗ	4066	SW: 4	-	+	+	+	+	6.54
ЛА7	4011	(2NAND)×4	+	+	+	+	+	5.29
ЛА8	4012	(4NAND)×2	+	+	+	+	-	5.29
ЛА9	4023	(3NAND)×3	+	+	+	+	+	5.29
ЛА10	40107	(2NAND/DRV)×2	-	-	+	+	+	5.56, б
ЛЕ5	4001	(2NOR)×4	+	+	+	+	+	5.29
ЛЕ6	4002	(4NOR)×2	+	+	+	+	+	5.29
ЛЕ10	4025	(3NOR)×3	+	+	+	+	+	5.29
ЛМ1	-	9AND+NOT	+	-	-	-	-	5.30
ЛМ2	4081	(2AND)×4	-	-	-	-	+	5.29
ЛН1	14502	(NOT/DRV)×6; E, $\overline{OE}$	-	+	+	+	-	5.62
ЛН2	4049	(NOT/DRV/CONV H→L)×6	-	+	+	+	-	5.69
ЛН3	14503	(BD: 4+BD: 2); $\overline{DO}$ , TS	-	+	-	-	-	5.62
ЛН4	4069	(HE)×6	-	-	-	-	+	5.29
ЛП1	4007	(COP)×2+NOT	+	-	-	-	-	5.30
ЛП2	4030	(XOR)×4	+	+	+	+	-	5.29
ЛП4	4000	(3NOR)×2+NOT	+	-	-	-	-	5.30
ЛП11	-	(4NOR)×2+NOT	+	-	-	-	-	5.30
ЛП12	-	(4NAND)×2+NOT	+	-	-	-	-	5.30
ЛП13	-	(3ME)×4	-	+	+	+	+	5.29
ЛП14	4070	(XOR)×4	-	-	-	-	+	5.29
ЛС1	-	(MUX 2→1)×3	+	-	+	-	-	6.23
ЛС2	4019	MUX 4→1/(2OR)×4	-	+	+	+	-	6.30
ЛР1	4094	RG5; $\overline{H}$ , S; L; SO; RG; L, DO, TS; T; H, SOD	-	-	+	+	+	7.8
ЛВ1	-	(CONV H→L/NOT)×5	+	-	-	-	-	5.71
ЛВ2	4009	(CONV H→L/NOT)×6	+	-	-	-	-	5.71
ЛВ3	4010	(CONV H→L)×6	+	-	-	-	-	5.71
ЛВ4	4050	(CONV H→L/DRV)×6	-	+	+	+	+	5.69
ЛВ5	-	(CONV L→H; $\overline{DO}$ )×4	+	-	-	-	-	5.72
ЛВ6	40109A	(CONV L↔H; DO, TS)×5; V <sub>CC</sub>	-	-	+	+	-	5.73
ЛВ7	-	(CONV L→H/NOT)×6	-	+	+	+	-	5.72
ЛВ8	-	(CONV L→H)×6	-	+	+	+	-	5.72
ТВ1	4027	(J-K/R-S; $\overline{H}$ , R, S, $\overline{Q}$ )×2	+	+	+	+	+	5.86
ТЛ1	4893	(2AND-ST-NOT)×4	-	+	+	+	+	5.38
ТМ1	4003	(D/R; $\overline{H}$ , R, $\overline{Q}$ )×2	+	-	-	-	-	5.85
ТМ2	4013	(D/R-S; $\overline{H}$ , R, S, $\overline{Q}$ )×2	+	+	+	+	+	5.85
ТМ3	4042	D-L: 4; $\overline{L1}$ ⊗ $\overline{L2}$ , $\overline{Q}$	-	+	+	+	+	5.76
ТР2	4043	R-S: 4; DO, TS	-	+	+	+	-	5.74
УМ1	4054	DRV-LCD: 4; V <sub>EE</sub>	-	-	+	-	-	6.55, а

Таблица П1.3. Отечественные ИС различных серий

ИС	Зарубежный аналог	Технология	Функциональное назначение	Номер рисунка
559ИП3	DS8641	ТТЛш	TR/RC: 4; DI, DO, $\overline{DB}$ -OC	5.101
559ИП6	МС3440А	ТТЛш	TR/RC: 3+1; DI, DO, $\overline{DB}$ -OC	5.101
559ИП13	DP8307	ТТЛш	TR/RC: 8; DA, $\overline{DB}$ , TS	5.98
559ИП14	DP8308	ТТЛш	TR/RC: 8; DA, DB, TS	5.98
559ИП15	DC021C	ТТЛш	TR/RC: 8; DA, DB, TS	5.103
559СК1	DC102А	ТТЛш	СМР: 8; A=B, OC	6.68
559СК2	DM8136	ТТЛш	СМР: 8; A=B-D-L; $\overline{L}$ , OC	6.68
571ХЛ4	SN74LS368А	ТТЛшш	$\langle BD: 4+BD: 2 \rangle$ ; $\overline{DO}$ , TS	5.62
571ХЛ5	SN74LS367А	ТТЛшш	$\langle BD: 4+BD: 2 \rangle$ ; DO, TS	5.62
580ВА86	18286	ТТЛш	TR/RC: 8; DA, DB, TS	5.99
580ВА87	18287	ТТЛш	TR/RC: 8; DA, $\overline{DB}$ , TS	5.99
580МР82	18282	ТТЛш	D-L: 8; L, DO, TS	5.77
580МР83	18283	ТТЛш	D-L: 8; L, $\overline{DO}$ , TS	5.77
589АП16	13216	ТТЛш	TR/RC: 4; DI, DO, DB, TS	5.97
589АП26	13226	ТТЛш	TR/RC: 4; DI, DO, $\overline{DB}$ , TS	5.97
589МК03	13003	ТТЛш	CRU: 8	6.116
589ИР12	13212	ТТЛш	$\langle D-L-R: 6 \rangle$ ; $\overline{R}$ , $\overline{L}$ , DO, TS	5.83
590МР1	MI-6-8572	КМОП	RGS: 10-CT11	7.136
590КН1	F3705	КМОП	MUX-DMX 8 $\rightarrow$ 1/1 $\rightarrow$ 8	6.57
590КН2	H13-1800А-5	КМОП	$\langle SW: 1 \rangle \times 4$	6.57
590КН3	H13-0509-5	КМОП	MUX-DMX 4 $\rightarrow$ 1/1 $\rightarrow$ 4: 2	6.57
590КН4	H13-5043-5	КМОП	$\langle SWA: 2 \rangle \times 2$	6.57
590КН5	H13-0201-5	КМОП	$\langle SW: 1 \rangle \times 4$	6.57
590КН6	H13-0508-5	КМОП	MUX-DMX 8 $\rightarrow$ 1/1 $\rightarrow$ 8	6.57
590КН7	H13-5046А-5	КМОП	$\langle SWA: 2 \rangle : 2$	6.57
590КН9	H13-200-5	КМОП	$\langle SW: 1 \rangle \times 2$	6.57
590КН10	-	КМОП	$\langle SW: 1 \rangle \times 4$	6.57
590КН12	-	КМОП	$\langle SW: 1 \rangle \times 4$	6.57
590КН13	-	КМОП	$\langle SW: 1 \rangle \times 4$	6.57
591КН1	MI-6-8752	КМОП	MUX-DMX 16 $\rightarrow$ 1/1 $\rightarrow$ 16; $\overline{H}$ , $\overline{L}$	7.138, а
591КН2	H10507	КМОП	MUX-DMX 8 $\rightarrow$ 1/1 $\rightarrow$ 8: 2	6.57
591КН3	H10506	КМОП	MUX-DMX 16 $\rightarrow$ 1/1 $\rightarrow$ 16	6.57
1006ВМ1	NE555	Биполяр.	Timer	5.124
1102АП4	SN75454	ТТЛ	$\langle 2NOR; OC, 30 В, 300 мА \rangle \times 2$	5.50
1102АП5	SN75430	ТТЛ	$\langle 2NAND+PWT; 15 В, 300 мА \rangle : 2$	5.51
1102АП6	SN75431	ТТЛ	$\langle 2AND; OC, 15 В, 300 мА \rangle \times 2$	5.50
1102АП7	SN75432	ТТЛ	$\langle 2NAND; OC, 15 В, 300 мА \rangle \times 2$	5.50

Окончание табл. П1.3

ИС	Зарубежный аналог	Технология	Функциональное назначение	Номер рисунка
1102АП8	SN75433	ТТЛ	$\langle 2OR; OC, 15 В, 300 мА \rangle \times 2$	5.50
1102АП9	SN75434	ТТЛ	$\langle 2NOR; OC, 15 В, 300 мА \rangle \times 2$	5.50
1102АП10	SN75460	ТТЛ	$\langle 2NAND+PWT; 40 В, 300 мА \rangle : 2$	5.51
1102АП11	SN75461	ТТЛ	$\langle 2AND; OC, 40 В, 300 мА \rangle \times 2$	5.50
1102АП12	SN75462	ТТЛ	$\langle 2NAND; OC, 40 В, 300 мА \rangle \times 2$	5.50
1102АП13	SN75463	ТТЛ	$\langle 2OR; OC, 40 В, 300 мА \rangle \times 2$	5.50
1102АП14	SN75464	ТТЛ	$\langle 2NOR; OC, 40 В, 300 мА \rangle \times 2$	5.50
1107ПВ1	TDC1014J	Бипо- лярная	ADC: 6	6.153
1107ПВ2	TDC1007J	Бипо- лярная	ADC: 8	6.153
1802ВР4	MPY12	ТТЛШ	MPL: 12x12; DO, TS	6.140
1804ВА1	Am2905	ТТЛШ	TR/RC-RG: 4; $\bar{D}, \bar{H}, \bar{DB}-\bar{L}, DO-TS, \bar{DB}-OC$	5.105
1804ВР1	Am2902	ТТЛШ	CRU: 4	6.116
1804ВР3	Am2913	ТТЛШ	PRCD 8x3; TS	6.58
1804ВТ2	Am2965	МТТЛШ	$\langle BD: 4; \bar{OE}, \bar{DO}, TS \rangle \times 2$	5.63
1804ВТ3	Am2966	МТТЛШ	$\langle BD: 4; \bar{OE}, DO, TS \rangle \times 2$	5.63
1804ИР1	Am2918	ТТЛШ	D: 4; $\bar{H}, Q, DO-TS$	5.91
1804ИР2	Am2920	ТТЛШ	D-L/R: 8; $\bar{L}, \bar{H}, \bar{R}, DO, TS$	5.91
1804ИР3	Am2950	ТТЛШ	TR/RC-RG: 8+1; $\bar{H}, DA, DB, TS$	5.106
1834ВА86	-	КМОП	TR/RC: 8; DA, DB, TS	5.99
1834ВА87	-	КМОП	TR/RC: 8; DA, $\bar{DB}, TS$	5.99

Таблица П1.4. Зарубежные ИС серий SN54/SN74

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
00	ЛА3	<2NAND>x4	14	5.9
01	ЛА8	<2NAND;OC>x4	14	5.44, 5.56
02	ЛЕ1	<2NOR>x4	14	5.10
03	ЛА9	<2NAND;OC>x4	14	5.44, 5.56
04	ЛН1	<NOT>x6	14	5.10
05	ЛН2	<NOT;OC>x6	14	5.44, 5.56
06	ЛН3	<NOT;OC, 30 В, 40 мА>x6	14	5.44
07	ЛП9	<BF;OC, 30 В, 40 мА>x6	14	5.44
08	ЛИ1	<2AND>x4	14	5.11
09	ЛИ2	<2AND;OC>x4	14	5.44, 5.56
10	ЛА4	<3NAND>x3	14	5.9
11	ЛИ3	<3AND>x3	14	5.11
12	ЛА10	<3NAND;OC>x3	14	5.44
13	ТЛ1	<4AND-ST-NOT>x2	14	5.38
14	ТЛ2	<ST-NOT>x6	14	5.38
15	ЛИ4	<3AND;OC>x3	14	5.44
16	ЛН5	<NOT;OC, 15 В, 40 мА>x6	14	5.44
17	ЛП4	<BF;OC, 15 В, 40 мА>x6	14	5.44
18	-	<4AND-ST-NOT>x2	14	5.38
19	-	<ST-NOT>x6	14	5.38
20	ЛА1	<4NAND>x2	14	5.9
21	ЛМ6	<4AND>x2	14	5.11
22	ЛА7	<4NAND;OC>x2	14	5.44
23	ЛЕ2	1-4OR-NAND/EXP+1-4OR-NAND	16	5.10
24	-	<2AND-ST-NOT>x4	14	5.38
25	ЛЕ3	<1-4OR-NAND>x2	14	5.10
26	ЛА11	<2NAND;OC, 15 В>x4	14	5.44
27	ЛЕ4	<3NOR>x3	14	5.10
28	ЛЕ5	<2NOR/DRV>x4	14	5.10
30	ЛА2	8NAND	14	5.9
31	-	<Delay Elements>x6	16	5.16
32	ЛЛ1	<2OR>x4	14	5.11
33	ЛЕ11	<2NOR/DRV;OC>x4	14	5.44
34	ЛМ9	<BF>x6	14	5.11
35	-	<BF;OC>x6	14	5.45
36	-	<2NOR>x4	14	5.31
37	ЛА12	<2NAND/DRV>x4	14	5.9

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
38	ЛА13	$\langle 2NAND/DRV; OC \rangle \times 4$	14	5.44
39	-	$\langle 2NAND/DRV; OC \rangle \times 4$	14	5.45
40	ЛА6	$\langle 4NAND/DRV \rangle \times 2$	14	5.9
41	-	DC 4x10; $\bar{F}$ , OC, 55 В	16	6.2
42	ИД6	DC 4x10; $\bar{F}$	16	6.2
45	-	DC 4x10; $\bar{F}$ , OC	16	6.2
50	ЛР1	2-2AND-NOR/EXP+2-2AND-NOR	14	5.13
51	ЛР11	$\langle 2-2AND-NOR \rangle \times 2$	14	5.13
51	ЛР11	2-2AND-NOR+3-3AND-NOR	14	5.13
52	-	2-2-2-3AND-OR/EXP	14	5.13
53	ЛР3	2-2-2-3AND-NOR/EXP	14	5.13
54	ЛР13	2-2-3-3AND-NOR	14	5.13
55	ЛР4	4-4AND-NOR/EXP; 4-4AND-NOR	14	5.13
56	-	$\langle DIV5; H-DIV10; H \rangle; R$	8	7.145
57	-	$\langle DIV6; H-DIV10; H \rangle; R$	8	7.145
58	-	3-3AND-OR+2-2AND-OR	14	5.32
60	ЛД1	EXP-4AND $\setminus \setminus '23, '50, '53$	14	5.13
61	-	$\langle EXP-3AND \rangle \times 3 \setminus \setminus 'H52$	14	5.13
62	-	EXP-3-3-2-2AND-OR $\setminus \setminus '50, '53, 'H55$	14	5.13
63	-	$\langle Current-Sensing Interface Gate \rangle \times 6$	14	5.16
64	ЛР9	2-2-3-4AND-NOR	14	5.13
65	ЛР10	2-2-3-4AND-NOR; OC	14	5.44
68	-	$\langle CT2; H-CT5; H \rangle; \bar{R}+CT10; H, \bar{R}$	16	7.37
69	-	$\langle CT2; H-CT6; H \rangle; \bar{R}+CT16; H, \bar{R}$	16	7.34
70	-	$\langle 3AND \rangle J-\langle 3AND \rangle K/R-S; \bar{J}, \bar{K}, \bar{H}, \bar{R}, \bar{S}, \bar{Q}$	14	5.87
71	-	$\langle 2-2AND-OR \rangle J-\langle 2-2AND-OR \rangle K/S; H, \bar{R}, \bar{S}, \bar{Q}$	14	5.87
72	ТВ1	$\langle 3AND \rangle J-\langle 3AND \rangle K/R-S; H, \bar{R}, \bar{S}, \bar{Q}$	14	5.86
73	-	$\langle J-K/R; H, \bar{R}, \bar{Q} \rangle \times 2$ (134TB14)	14	5.87
74	ТМ2	$\langle D/R-S; \bar{H}, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	14	5.85
75	ТМ7	$\langle D-L: 2; L, \bar{Q} \rangle \times 2$	16	5.76
76	ТВ3	$\langle J-K/R-S; H, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	16	5.86
77	ТМ5	$\langle D-L: 2; L, Q \rangle \times 2$	14	5.76
78	-	$\langle J-K/R-S; \bar{S}, \bar{Q} \rangle \times 2; H, \bar{R}$	14	5.87
80	ИМ1	ADD: 1	14	6.98
82	ИМ2	ADD: 2	14	6.98
83	ИМ3	ADD: 4	16	6.98
85	СП1	CMP: 4; A=B, A<B, A>B (134CP1)	16	6.81

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
86	ЛП15	$\langle XOR \rangle \times 4$	14	5.11
87	-	$\langle BF/NOT/0/1 \rangle \times 4$	14	5.16
90	ИЕ2	$\langle CT2; H\langle CT5; HA \rangle; R, S$	14	7.37
91	-	$RGS: 6; \bar{H}, SI/SO$	14	7.3
92	ИЕ4	$\langle CT2; H\langle CT6; HA \rangle; R$	14	7.43
93	ИЕ5	$\langle CT2; H\langle CT8; HA \rangle; R$	14	7.34
94	-	$RGS: 4; H, R, S\&E, PI/SO$	16	7.15
95	ИП1	$RGS: 4; L, HL, HS, PI/PO$	14	7.11
96	-	$RGS: 5; \bar{H}, \bar{R}, S\&E, SI/SO$	16	7.15
97	ИЕ8	$BRMPL: 6; \bar{H}, R$	16	7.156
98	-	$\langle MUX 2 \rightarrow 1; RG; H \rangle: 4 \langle 134MP5 \rangle$	16	5.90
99	-	$RGS: 4; J, \bar{K}, L, HL, HS, PI/PO$	16	7.15
100	-	$\langle D-L: 4; L, Q \rangle \times 2$	24	5.76
101	-	$\langle 2-2AND-OR \rangle J - \langle 2-2AND-OR \rangle K/S; H, \bar{S}, \bar{Q}$	14	5.87
102	-	$\langle 3AND \rangle J - \langle 3AND \rangle K/R-S; H, \bar{R}, \bar{S}, \bar{Q}$	14	5.86
103	-	$\langle J-K/R; H, \bar{R}, \bar{Q} \rangle \times 2$	14	5.87
104	-	$\langle 3AND \rangle J - \langle 3AND \rangle K-T/R-S; \bar{H}, \bar{R}, \bar{S}, \bar{Q}$	14	5.87
105	-	$\langle 3AND \rangle J - \langle 3AND \rangle K-T/R-S; \bar{J}, \bar{K}, T, \bar{H}, \bar{R}, \bar{S}, \bar{Q}$	14	5.87
106	-	$\langle J-K/R-S; H, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	16	5.86
107	TB6	$\langle J-K/R; H, \bar{R}, \bar{Q} \rangle \times 2$	14	5.86
108	-	$\langle J-K/R-S; \bar{S}, \bar{Q} \rangle \times 2; H, \bar{R}$	14	5.87
109	TB15	$\langle J-K/R-S; \bar{K}, \bar{H}, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	16	5.86
110	-	$\langle 3AND \rangle J - \langle 3AND \rangle K/R-S; H, \bar{R}, \bar{S}, \bar{Q}$	14	5.86
111	-	$\langle J-K/R-S; H, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	16	5.87
112	TB9	$\langle J-K/R-S; H, \bar{R}, \bar{S}, \bar{Q} \rangle \times 2$	16	5.86
113	TB10	$\langle J-K/S; H, \bar{S}, \bar{Q} \rangle \times 2$	14	5.86
114	TB11	$J-K/R-S: 2; H, \bar{R}, \bar{S}, \bar{Q}$	14	5.86
115	-	$\langle J-K/R; H, \bar{R}, \bar{Q} \rangle \times 2$	14	5.87
116	-	$\langle D-L-R: 4; \bar{L}, \bar{R}, Q \rangle \times 2$	24	5.76
118	-	$R-S: 6; \bar{R}, \bar{S}, Q$	16	5.74
119	-	$\langle 2OR \rangle R - \langle 2OR \rangle S: 6; \bar{R}_1, \bar{R}_2, \bar{S}_1, \bar{S}_2, Q$	24	5.74
121	АГ1	MVBR	14	5.117
122	-	MVBR; $\bar{R}$	14	5.117
123	АГ3	$\langle MVBR; \bar{R} \rangle \times 2$	16	5.117
125	ЛП8	$LD \times 4; \bar{OE}, TS$	14	5.62
126	-	$LD \times 4; OE, TS$	14	5.62
128	ЛЕ6	$\langle 2NOR/DRV \rangle \times 4$	14	5.10



Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	<i>m</i>	Номер рисунка
130	-	$\langle MVBR; \bar{R} \rangle \times 2$	16	5.117
131	-	$DMX-RGA\ 1 \rightarrow 8; \bar{H}, \bar{E}, \bar{F}$	16	6.9
132	ТЛ3	$\langle 2AND-ST-NOT \rangle \times 4$	14	5.38
133	-	$13NAND$	16	5.16
134	ЛА19	$12NAND; TS$	16	5.59, 6
135	-	$\langle XOR/XNOR; 2; P \rangle \times 2$	16	5.16
136	ЛП12	$\langle XOR; OC \rangle \times 4$	14	5.44
137	-	$DMX-RGA\ 1 \rightarrow 8; \bar{L}, \bar{E}, \bar{F}$	16	6.9
138	ИД7	$DMX\ 1 \rightarrow 8; \bar{F}$	16	6.7
139	ИД14	$\langle DMX\ 1 \rightarrow 4; \bar{F} \rangle \times 2$	16	6.7
140	ЛА16	$\langle 4NAND/DRV \rangle \times 2$	14	5.9
141	ИД1	$DC\ 4 \times 10; \bar{F}, OC, 60\ В, 7\ мА$	16	6.2
145	ИД10	$DC\ 4 \times 10; \bar{F}, OC, 15\ В, 80\ мА$	16	6.2
147	ИВ3	$PRCD\ 10 \times 4$	16	6.58
148	ИВ1	$PRCD\ 8 \times 3$	16	6.58
150	КП1	$MUX\ 16 \rightarrow 1; \bar{D}\bar{O}$	24	6.24
151	КП7	$MUX\ 8 \rightarrow 1; \bar{D}\bar{O}$	16	6.24
152	КП5	$MUX\ 8 \rightarrow 1; \bar{D}\bar{O}$	14	6.23
153	КП2	$MUX\ 4 \rightarrow 1; 2; DO$	16	6.24
154	ИД3	$DMX\ 1 \rightarrow 16; \bar{F}$	24	6.7
155	ИД4	$DMX\ 1 \rightarrow 4; 2; \bar{F}$	16	6.7
156	ИД5	$DMX\ 1 \rightarrow 4; 2; \bar{F}, OC$	16	6.7
157	КП16	$MUX\ 2 \rightarrow 1; 4; DO$	16	6.24
158	КП18	$MUX\ 2 \rightarrow 1; 4; \bar{D}\bar{O}$	16	6.24
159	ИД19	$DMX\ 1 \rightarrow 16; \bar{F}, OC$	24	6.7
160	ИЕ9	$CT10; \bar{L}, \bar{H}, \bar{R}$	16	7.68
161	ИЕ10	$CT16; \bar{L}, \bar{H}, \bar{R}$	16	7.46
162	ИЕ11	$CT10; \bar{L}, \bar{R}, \bar{H}$	16	7.68
163	ИЕ18	$CT16; \bar{L}, \bar{R}, \bar{H}$	16	7.46
164	ИР8	$RGS; 8; \bar{H}, \bar{R}, SI/PO$	14	7.3
165	ИР9	$RGS; 8; \bar{E}, \bar{H}, \bar{L}, \bar{Q}, PI/SO$	16	7.11
166	ИР10	$RGS; 8; \bar{E}, \bar{L}, \bar{H}, \bar{R}, PI/SO$	16	7.11
167	-	$DRMPL; \bar{H}, R$	16	7.156
168	ИЕ16	$CT10-U/D; \bar{L}, \bar{H}$	16	7.83
169	ИЕ17	$CT16-U/D; \bar{L}, \bar{H}$	16	7.74
171	-	$D/R; 4; \bar{H}, \bar{R}, \bar{Q}$	16	5.88
173	ИР15	$D-L/R; 4; \bar{L}, \bar{H}, R, DO, TS$	16	5.91

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
174	ТМ9	D/R: 6; $\bar{H}, \bar{R}, Q$	16	5.88
175	ТМ8	D/R: 4; $\bar{H}, \bar{R}, \bar{Q}$	16	5.88
176	-	$\langle CT2; \text{H} \langle CT5; \text{H} \rangle; \bar{L}, \bar{R}$	14	7.37
177	-	$\langle CT2; \text{H} \langle CT8; \text{H} \rangle; \bar{L}, \bar{R}$	14	7.34
178	-	RGS: 4; L, H, PI/PO	14	7.15
179	-	RGS: 4; L, H, $\bar{R}$ , PI/PO	16	7.15
181	ИП3	ALU: 4	24	6.113
182	ИП4	CRU: 4	16	6.116
183	ИМ5	$\langle ADD: 1 \rangle \times 2$	14	6.98
190	ИЕ12	CT10-U/D; $\bar{H}, \bar{L}$	16	7.83
191	ИЕ13	CT16-U/D; $\bar{H}, \bar{L}$	16	7.74
192	ИЕ6	CT10-U/D; $\bar{H}\bar{U}, \bar{H}\bar{D}, \bar{L}, R$	16	7.115
193	ИЕ7	CT16-U/D; $\bar{H}\bar{U}, \bar{H}\bar{D}, \bar{L}, R$	16	7.115
194	ИР11	RGS: 4; $\bar{H}, \bar{R}, PI/PO$	16	7.27
195	ИР12	RGS: 4; $\bar{L}, \bar{H}, \bar{R}, PI/PO$	16	7.11
196	ИЕ14	$\langle CT2; \text{H} \langle CT5; \text{H} \rangle; \bar{L}, \bar{R}$	14	7.37
197	ИЕ15	$\langle CT2; \text{H} \langle CT8; \text{H} \rangle; \bar{L}, \bar{R}$	14	7.34
198	ИР13	RGS: 8; $\bar{H}, \bar{R}, PI/PO$	24	7.27
199	-	RGS: 8; JS, $\bar{K}\bar{S}, \bar{L}, \bar{H}, \bar{R}, PI/PO$	24	7.15
221	АГ4	$\langle M\bar{V}BR; \bar{R} \rangle \times 2$	16	5.117
226	BA1	TR/RC-RG: 4; $\bar{L}, OEA, OEB, DA, DB, TS$	16	5.105
230	-	$\langle BD: 4; \bar{O}\bar{E}, \bar{D}\bar{O}+BD: 4; \bar{O}\bar{E}, DO \rangle; TS$	20	5.63
231	-	$\langle BD: 4; \bar{O}\bar{E}+BD: 4; OE \rangle; \bar{D}\bar{O}, TS$	20	5.63
237	-	DMX-RGA 1 $\rightarrow$ 8; $\bar{L}, \bar{E}, F$	16	6.9
238	-	DMX 1 $\rightarrow$ 8; $\bar{E}, F$	16	6.7
239	-	$\langle DMX 1 \rightarrow 4; \bar{E}, F \rangle \times 2$	16	6.7
240	АП3	$\langle BD: 4; \bar{O}\bar{E}, \bar{D}\bar{O}, TS \rangle \times 2$	20	5.63
241	АП4	$\langle BD: 4; \bar{O}\bar{E}+BD: 4; OE \rangle; DO, TS$	20	5.63
242	ИП6	TR/RC: 4; OEA, $\bar{O}\bar{E}\bar{B}$ , DA, $\bar{D}\bar{B}$ , TS	14	5.98
243	ИП7	TR/RC: 4; OEA, $\bar{O}\bar{E}\bar{B}$ , DA, DB, TS	14	5.98
244	АП5	$\langle BD: 4; \bar{O}\bar{E}, DO, TS \rangle \times 2$	20	5.63
245	АП6	TR/RC: 8; T, $\bar{O}\bar{E}$ , DA, DB, TS	20	5.99
250	-	MUX 16 $\rightarrow$ 1; $\bar{D}\bar{O}, TS$	24	6.25
251	КП15	MUX 8 $\rightarrow$ 1; $\bar{D}\bar{O}, TS$	16	6.25
253	КП12	MUX 4 $\rightarrow$ 1: 2; DO, TS	16	6.25
256	-	[RGA: 4]: 2; $\bar{R}, \bar{W}\bar{R}, Q$	16	6.13
257	КП11	MUX 2 $\rightarrow$ 1: 4; DO, TS	16	6.25

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
258	КП14	MUX 2→1: 4; $\overline{DO}$ , TS	16	6.25
259	ИР30	RGА: 8; $\overline{R}$ , $\overline{WR}$ , Q	16	6.13
260	ЛЕ7	(5NOR)×2	14	5.10
261	ИП8	MPL: 4×2\RG: 4; L	16	6.136
264	-	CRU-CT: 4	16	7.91, α
265	-	(2AND/2NAND)×2+(BF/NOT)×2	16	5.16
266	-	(XNOR)×4; OC	14	5.45, 5.56
269	-	CT256-U/D; $\overline{L}$ , $\overline{H}$	24	7.74
273	ИР35	D/R: 8; $\overline{H}$ , $\overline{R}$ , Q	20	5.88
276	-	J-K/R-S: 4; J, $\overline{R}$ , H, $\overline{R}$ , $\overline{S}$ , Q	20	5.87
278	-	4-Bit Priority Register	14	6.66, α
279	TP2	(R-S+R-(2OR)S; $\overline{R}$ , $\overline{S}$ , Q)×2	16	5.74
282	-	CRU: 4 for Double Precision ALU	20	6.116
283	ИМ6	ADD-CRU: 4	16	6.98
284	-	MPL: 4×4; $\overline{E}$ , F, OC\285	16	6.130
285	-	MPL: 4×4; $\overline{E}$ , F, OC\284	16	6.130
290	-	(CT2; H-CT5; HA); R, S	14	7.37
292	ПЦ1	DIVP: 31	16	7.145
293	-	(CT2; H-CT6; HA); R	14	7.34
294	-	DIVP: 15	16	7.145
295	ИР16	RGS: 4; L, H, PI/PO, TS	14	7.11
298	КП13	(MUX 2→1\RG; H, Q): 4	16	6.31
299	ИР24	RGBS: 8; $\overline{H}$ , $\overline{R}$ , DB, TS	20	7.29
320	-	Crystal-Controlled Oscillator	16	5.135
321	-	Crystal-Controlled Oscillator	16	5.135
322	ИР28	RGS-SE: 8; DB, TS	20	7.17
323	ИР29	RGBS: 8; $\overline{R}$ , $\overline{H}$ , DB, TS	20	7.29
348	ИВ2	PRCD 8×3; TS	16	6.58
350	ИР42	MUX-SH: 4; DO, TS	16	6.38, σ
351	-	MUX 8→1: 2; $\overline{DO}$ , TS	20	6.25
352	КП19	MUX 4→1: 2; $\overline{DO}$	16	6.24
353	КП17	MUX 4→1: 2; $\overline{DO}$ , TS	16	6.25
354	-	RG; $\overline{L}$ -MUX-RGA 8→1; $\overline{L}$ , $\overline{OE}$ , $\overline{DO}$ , TS	20	6.34
355	-	RG; $\overline{L}$ -MUX-RGA 8→1; $\overline{L}$ , $\overline{OE}$ , $\overline{DO}$ , OC	20	6.34
356	-	RG; $\overline{H}$ -MUX-RGA 8→1; $\overline{L}$ , $\overline{OE}$ , $\overline{DO}$ , TS	20	6.34
357	-	RG; $\overline{H}$ -MUX-RGA 8→1; $\overline{L}$ , $\overline{OE}$ , $\overline{DO}$ , OC	20	6.34
363	-	D-L: 8; L, DO, TS for MOS Interface	20	5.77

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
364	-	D: 8; $\bar{H}$ , DO, TS for MOS Interface	20	5.91
365	ЛП10	BD: 6; $\overline{OE}$ , DO, TS	16	5.62
366	ЛН6	BD: 6; $\overline{OE}$ , $\overline{DO}$ , TS	16	5.62
367	ЛП11	(BD: 4; $\overline{OE} + BD: 2; \overline{OE}$ ); DO, TS (571X15)	16	5.62
368	ЛН7	(BD: 4; $\overline{OE} + BD: 2; \overline{OE}$ ); $\overline{DO}$ , TS (571X14)	16	5.62
373	ИР22	D-L: 8; L, DO, TS	20	5.77
374	ИР23	D: 8; $\bar{H}$ , DO, TS	20	5.91
375	-	(D-L: 2; L, $\bar{Q}$ ) $\times 2$	16	5.76
376	-	J-K/R: 4; J, $\bar{K}$ , $\bar{H}$ , $\bar{R}$ , Q	16	5.87
377	ИР27	D-L: 8; $\bar{L}$ , $\bar{H}$ , Q	20	5.89
378	ИР18	D-L: 6; $\bar{L}$ , $\bar{H}$ , Q	16	5.89
379	ИР19	D-L: 4; $\bar{L}$ , $\bar{H}$ , $\bar{Q}$	16	5.89
381	ИК2	ALU: 4	20	6.114
382	-	ALU: 4; OVR	20	6.114
384	ИП9	MPL: 8 $\times$ 1 $\dots$ '385	16	6.144
385	ИМ7	(SADD/SUB) $\times 4$ ; $\bar{H}$ , $\bar{R}$ $\dots$ '384	20	6.111
386	-	(XOR) $\times 4$	14	5.16
390	ИЕ20	(CT2; H $\dots$ CT5; HA); R) $\times 2$	16	7.37
393	ИЕ19	(CT16; $\bar{H}\bar{A}$ , R) $\times 2$	14	7.34
395	ИР25	RG5: 4; L, H, $\bar{R}$ , P1/PO, TS	16	7.11
398	-	(MUX 2 $\rightarrow$ 1 $\dots$ RG; $\bar{H}$ , $\bar{Q}$ ): 4	20	6.31
399	КП20	(MUX 2 $\rightarrow$ 1 $\dots$ RG; $\bar{H}$ , Q): 4	16	5.90
412	-	(D-L-R: 8 $\dots$ T); $\bar{R}$ , $\bar{L}$ , DO, TS (589MP12)	24	5.83
422	-	MVBR; $\bar{R}$ , $\bar{Q}$	14	5.117
423	-	(MVBR; $\bar{R}$ , $\bar{Q}$ ) $\times 2$	16	5.117
425	-	(LD; $\overline{OE}$ , DO, TS) $\times 4$	14	5.62
426	-	(LD; OE, DO, TS) $\times 4$	14	5.62
432	-	(D-L-R: 8 $\dots$ T); $\bar{R}$ , $\bar{L}$ , $\overline{DO}$ , TS	24	5.83
440	-	ZTR/RC: 4; DA, DB, DC, OC	20	5.112
441	-	ZTR/RC: 4; $\bar{D}\bar{A}$ , $\bar{D}\bar{B}$ , $\bar{D}\bar{C}$ , OC	20	5.112
442	-	ZTR/RC: 4; DA, DB, DC, TS	20	5.112
443	-	ZTR/RC: 4; $\bar{D}\bar{A}$ , $\bar{D}\bar{B}$ , $\bar{D}\bar{C}$ , TS	20	5.112
444	-	ZTR/RC: 4; $\bar{D}\bar{A}$ , DB, DC, TS	20	5.112
445	-	DC 4 $\times$ 10; F, OC, 7 B	16	6.2
446	-	(ZTR/RC; T, DA, $\bar{D}\bar{B}$ , TS): 4; $\overline{OE}\bar{A}$ , $\overline{OE}\bar{B}$	16	5.98
448	-	ZTR/RC: 4; $\bar{D}\bar{A}$ , DB, DC, OC	20	5.112
449	-	(ZTR/RC; T, DA, DB, TS): 4; $\overline{OE}\bar{A}$ , $\overline{OE}\bar{B}$	16	5.98

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
465	АП14	BD: 8; $\overline{OE}$ , DO, TS	20	5.64
466	АП15	BD: 8; $\overline{OE}$ , $\overline{DO}$ , TS	20	5.64
467	-	$\langle BD: 4; \overline{OE}, DO, TS \rangle \times 2$	20	5.63
468	-	$\langle BD: 4; \overline{OE}, \overline{DO}, TS \rangle \times 2$	20	5.63
490	-	$\langle CT10; HA, R, S \rangle \times 2$	16	7.37
518	-	CMP: 8; A=B, DO, OC (20 кОм)	20	6.70
519	-	CMP: 8; A=B, DO, OC	20	6.70
520	-	CMP: 8; A=B, $\overline{DO}$ (20 кОм)	20	6.70
521	-	CMP: 8; A=B, $\overline{DO}$	20	6.70
522	-	CMP: 8; A=B, $\overline{DO}$ , OC (20 кОм)	20	6.70
526	-	Fuse Programmable 16 Bit Comparator	20	6.74
527	-	Fuse Progr. 8 Bit Comp./12 Bit Comparator	20	6.74
528	-	Fuse Programmable 12 Bit Comparator	16	6.74
531	-	D-L: 8; L, DO, TS [ '373]	20	5.77
532	-	D: 8; $\overline{H}$ , DO, TS [ '574]	20	5.91
533	ИР40	D-L: 8; L, $\overline{DO}$ , TS	20	5.77
534	ИР41	D: 8; $\overline{H}$ , Q, $\overline{DO}$ , TS	20	5.91
535	-	D-L: 8; L, $\overline{DO}$ , TS ( $\approx$ 533)	20	5.77
536	-	D: 8; $\overline{H}$ , $\overline{DO}$ , TS [ '564]	20	5.91
537	ИД22	DC 4x10; TS	20	6.8
538	-	DMX 1 $\rightarrow$ 8; P, $\overline{P}$ , TS	20	6.8
539	-	$\langle DMX 1 \rightarrow 4; P, \overline{P}, TS \rangle \times 2$	20	6.8
540	АП12	BD: 8; $\overline{OE}$ , $\overline{DO}$ , TS	20	5.64
541	АП13	BD: 8; $\overline{OE}$ , DO, TS	20	5.64
543	-	TR/RC-RG: 8; $\overline{H}$ , DA, DB, TS	24	5.106
544	-	TR/RC-RG: 8; $\overline{H}$ , DA, $\overline{DB}$ , TS	24	5.106
545	-	TR/RC: 8; T, $\overline{OE}$ , DA, DB, TS	20	5.99
550	-	TR/RC-RG: 8+1; $\overline{H}$ , DA, DB, TS	28	5.106
551	-	TR/RC-RG: 8+1; $\overline{H}$ , DA, $\overline{DB}$ , TS	28	5.106
560	-	CT10; $\overline{L}$ , $\overline{R}$ , $\overline{H}$ , $\overline{L}$ , $\overline{R}$ , DO, TS	20	7.68
561	-	CT16; $\overline{L}$ , $\overline{R}$ , $\overline{H}$ , $\overline{L}$ , $\overline{R}$ , DO, TS	20	7.46
563	-	D-L: 8; L, $\overline{DO}$ , TS	20	5.77
564	-	D: 8; $\overline{H}$ , $\overline{DO}$ , TS	20	5.91
568	-	CT10-U/D; $\overline{L}$ , $\overline{R}$ , $\overline{H}$ , $\overline{R}$ , DO, TS	20	7.83
569	-	CT18-U/D; $\overline{L}$ , $\overline{R}$ , $\overline{H}$ , $\overline{R}$ , DO, TS	20	7.79
573	ИР33	D-L: 8; L, DO, TS	20	5.77

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	<i>m</i>	Номер рисунка
574	ИР37	$D: 8; \bar{H}, DO, TS$	20	5.91
575	-	$D: 8; \bar{H}, \bar{R}, DO, TS$	24	5.91
576	-	$D: 8; \bar{H}, \bar{D}\bar{O}, TS$	20	5.91
577	-	$D: 8; \bar{H}, \bar{R}, \bar{D}\bar{O}, TS$	24	5.91
579	-	$CT256-U/D; DB, TS$	20	7.79
580	-	$D-L: 8; L, \bar{D}\bar{O}, TS$	20	5.77
583	-	$ADD-BCD: 1$	16	6.109
588	-	$TR/RC: 8; T, \bar{O}\bar{E}, DA, \bar{D}\bar{B}, TS$	20	5.99
589	-	$\langle RG: 8; \bar{H} \setminus RGS: 8; \bar{H}, \bar{L}, \bar{O}\bar{E} \rangle; P1/SO, TS$	16	7.19
590	-	$CT256; \bar{H}, \bar{R} \setminus RG: 8; \bar{H}, \bar{O}\bar{E}, DO, TS$	16	7.64
591	-	$CT256; \bar{H}, \bar{R} \setminus RG: 8; \bar{H}, \bar{E}, DO, OC$	16	7.64
592	-	$RG: 8; \bar{H} \setminus DIVP: 8; \bar{H}, \bar{L}, \bar{R}$	16	7.145
593	-	$\langle RG: 8; \bar{H} \setminus CT256; \bar{H}, \bar{L}, \bar{R} \rangle; DB, TS$	20	7.64
594	-	$\langle RGS: 8; \bar{H}, \bar{R} \setminus RG: 8; \bar{H}, \bar{R} \rangle; S1/PO$	16	7.8
595	-	$\langle RGS: 8; \bar{H}, \bar{R} \setminus RG: 8; \bar{H}, \bar{O}\bar{E} \rangle; S1/PO; TS$	16	7.8
596	-	$\langle RGS: 8; \bar{H}, \bar{R} \setminus RG: 8; \bar{H}, \bar{E} \rangle; S1/PO, OC$	16	7.8
597	-	$\langle RG: 8; \bar{H} \setminus RGS: 8; \bar{H}, \bar{L}, \bar{R} \rangle; P1/SO$	16	7.19
598	-	$\langle RG: 8; \bar{H} \setminus RGS: 8; \bar{H}, \bar{L}, \bar{R} \rangle; \bar{O}\bar{E}, DB, P1/PO$	20	7.19
599	-	$\langle RGS: 8; \bar{H}, \bar{R} \setminus RG: 8; \bar{H}, \bar{R} \rangle; S1/PO, OC$	16	7.8
604	-	$\langle MUX 2 \rightarrow 1 \setminus RG; \bar{H}, DO, TS \rangle: 8$ (high speed)	28	6.36
605	-	$\langle MUX 2 \rightarrow 1 \setminus RG; \bar{H}, DO, OC \rangle: 8$ (high speed)	28	6.36
606	-	$\langle MUX 2 \rightarrow 1 \setminus RG; \bar{H}, DO, TS \rangle: 8$	28	6.36
607	-	$\langle MUX 2 \rightarrow 1 \setminus RG; H, DO, OC \rangle: 8$	28	6.36
614	-	$TR/RC-RG: 8; \bar{H}, \bar{E}\bar{A}, EB, DA, \bar{D}\bar{B}, OC$	24	5.110
615	-	$TR/RC-RG: 8; \bar{H}, \bar{E}\bar{A}, EB, DA, DB, OC$	24	5.110
620	АП25	$TR/RC: 8; \bar{O}\bar{E}\bar{A}, OE\bar{B}, DA, \bar{D}\bar{B}; TS$	20	5.98
621	-	$TR/RC: 8; \bar{E}\bar{A}, EB, DA, DB, OC$	20	5.102
622	-	$TR/RC: 8; \bar{E}\bar{A}, EB, DA, \bar{D}\bar{B}, OC$	20	5.102
623	АП26	$TR/RC: 8; \bar{O}\bar{E}\bar{A}, OE\bar{B}, DA, DB, TS$	20	5.98
638	-	$TR/RC: 8; T, \bar{O}\bar{E}, DA-OC, \bar{D}\bar{B}-TS$	20	5.103
639	-	$TR/RC: 8; T, \bar{O}\bar{E}, DA-OC, DB-TS$	20	5.103
640	АП9	$TR/RC: 8; T, \bar{O}\bar{E}, DA, \bar{D}\bar{B}, TS$	20	5.99
641	-	$TR/RC: 8; T, \bar{E}, DA, DB, OC$	20	5.103
642	-	$TR/RC: 8; T, \bar{E}, DA, \bar{D}\bar{B}, OC$	20	5.103
643	АП16	$TR/RC: 8; T, \bar{O}\bar{E}, \bar{D}\bar{A}, DB, TS$	20	5.99
644	-	$TR/RC: 8; T, \bar{E}, \bar{D}\bar{A}, DB, OC$	20	5.103
645	-	$TR/RC: 8; T, \bar{O}\bar{E}, DA, DB, TS$	20	5.99

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
646	АП20	TR/RC-RG: 8; $\bar{H}$ , T, $\overline{OE}$ , DA, DB, TS	24	5.106
647	-	TR/RC-RG: 8; $\bar{H}$ , T, $\bar{E}$ , DA, DB, OC	24	5.110
648	-	TR/RC-RG: 8; $\bar{H}$ , T, $\overline{OE}$ , DA, $\overline{DB}$ , TS	24	5.106
649	-	TR/RC-RG: 8; $\bar{H}$ , T, $\bar{E}$ , DA, $\overline{DB}$ , OC	24	5.110
651	АП17	TR/RC-RG: 8; $\bar{H}$ , $\overline{OE_A}$ , OE <sub>B</sub> , DA, $\overline{DB}$ , TS	24	5.106
652	АП24	TR/RC-RG: 8; $\bar{H}$ , $\overline{OE_A}$ , OE <sub>B</sub> , DA, DB, TS	24	5.106
653	-	TR/RC-RG: 8; $\bar{H}$ , $\overline{EA}$ , OE <sub>B</sub> , DA-OC, $\overline{DB}$ -TS	24	5.110
654	-	TR/RC-RG: 8; $\bar{H}$ , $\overline{EA}$ , OE <sub>B</sub> , DA-OC, DB-TS	24	5.110
666	-	RGRB: 8; L, $\bar{R}$ , $\bar{S}$ , DO, TS	24	5.80
667	-	RGRB: 8; L, $\bar{R}$ , $\bar{S}$ , $\overline{DO}$ , TS	24	5.80
668	-	CT10-U/D; $\bar{L}$ , $\bar{H}$ ( $\approx$ 168-Low I <sub>1</sub> )	16	7.83
669	-	CT16-U/D; $\bar{L}$ , $\bar{H}$ ( $\approx$ 169-Low I <sub>1</sub> )	16	7.74
671	-	$\langle$ RGBS; $\bar{H}$ , $\bar{R}$ -RG; $\bar{H}$ $\rangle$ : 4; PI/PO, TS	20	7.32
672	-	$\langle$ RGBS: 4; $\bar{R}$ , $\bar{H}$ -RG; $\bar{H}$ $\rangle$ : 4; PI/PO, TS	20	7.32
673	-	RGS: 16; H, DS/SO-TS; SI/PO	24	7.8
674	-	RGS: 16; H, DS/SO-TS; PI/SO	24	7.15
675	-	RGS: 16; H, DS, SO; SI/PO	24	7.8
676	-	RGS: 16; H, DS, Q15; PI/SO	24	7.15
677	-	Address Comparator: 16; $\bar{E}$ , $\bar{F}$	24	6.77
678	-	Address Comparator: 16-D-L; L, $\bar{Q}$	24	6.77
679	-	Address Comparator: 12; $\bar{E}$ , $\bar{F}$	20	6.77
680	-	Address Comparator: 12-D-L; L, $\bar{Q}$	20	6.77
682	-	CMP: 8; $\bar{A}=\bar{B}$ , $\bar{A}>\bar{B}$ ( $\approx$ 20 кОм)	20	6.92
683	-	CMP: 8; $\bar{A}=\bar{B}$ , $\bar{A}>\bar{B}$ , OC ( $\approx$ 20 кОм)	20	6.92
684	-	CMP: 8; $\bar{A}=\bar{B}$ , $\bar{A}>\bar{B}$	20	6.92
685	-	CMP: 8; $\bar{A}=\bar{B}$ , $\bar{A}>\bar{B}$ , OC	20	6.92
686	-	CMP: 8; $\bar{E}$ , $\bar{A}=\bar{B}$ , $\bar{A}>\bar{B}$	24	6.92
687	-	CMP: 8; $\bar{E}$ , $\bar{A}=\bar{B}$ , $\bar{A}>\bar{B}$ , OC	24	6.92
688	-	CMP: 8; $\bar{E}$ , $\bar{A}=\bar{B}$	20	6.70
689	-	CMP: 8; $\bar{E}$ , $\bar{A}=\bar{B}$ , OC ( $\approx$ 20 кОм)	20	6.70
690	-	CT10; $\bar{L}$ , $\bar{H}$ , $\bar{R}$ -RG: 4; $\bar{H}$ , $\bar{R}$ -MUX 2→1: 4; DO, TS	20	7.68
691	-	CT16; $\bar{L}$ , $\bar{H}$ , $\bar{R}$ -RG: 4; $\bar{H}$ , $\bar{R}$ -MUX 2→1: 4; DO, TS	20	7.64
692	-	CT10-RG; TS	20	7.68
693	-	CT16; $\bar{L}$ , $\bar{H}$ , $\bar{R}$ -RG: 4; $\bar{H}$ , $\bar{R}$ -MUX 2→1: 4; DO, TS	20	7.64
696	-	CT10-U/D; $\bar{L}$ , $\bar{H}$ , $\bar{R}$ -RG: 4; $\bar{H}$ -MUX 2→1: 4; DO, TS	20	7.83
697	-	CT16-U/D; $\bar{L}$ , $\bar{H}$ , $\bar{R}$ -RG: 4; $\bar{H}$ -MUX 2→1: 4; DO, TS	20	7.79
698	-	CT10-U/D-RG; TS	20	7.83

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
699	-	CT16-U/D; $\bar{L}, \bar{R}, \bar{H}, \bar{R}G: 4; \bar{H}, \bar{M}UX 2 \rightarrow 1: 4; DO, TS$	20	7.79
746	-	BD: 8; $\bar{O}\bar{E}, \bar{D}\bar{O}, TS$ ( $\approx 540/20$ КОМ)	20	5.64
747	-	BD: 8; $\bar{O}\bar{E}, DO, TS$ ( $\approx 541/20$ КОМ)	20	5.64
756	-	(BD: 4; $\bar{O}\bar{E}, \bar{D}\bar{O}, OC$ ) $\times 2$ ( $\approx 240$ )	20	5.53
757	-	(BD: 4; $\bar{O}\bar{E}+BD: 4; OE$ ); DO, OC ( $\approx 241$ )	20	5.53
758	-	TR/RC: 4; OEA, $\bar{O}\bar{E}\bar{B}, DA, \bar{D}\bar{B}, OC$ ( $\approx 242$ )	14	5.102
759	-	TR/RC: 4; OEA, $\bar{O}\bar{E}\bar{B}, DA, \bar{D}\bar{B}, OC$ ( $\approx 243$ )	14	5.102
760	-	(BD: 4; $\bar{O}\bar{E}, DO, OC$ ) $\times 2$ ( $\approx 244$ )	20	5.53
762	-	(BD: 4; $\bar{O}\bar{E}, \bar{D}\bar{O}+BD: 4; \bar{O}\bar{E}, DO$ ); OC ( $\approx 230$ )	20	5.53
763	-	(BD: 4; $\bar{O}\bar{E}+BD: 4; OE$ ); $\bar{D}\bar{O}, OC$ ( $\approx 231$ )	20	5.53
800	-	(4AND/4NAND/DRV) $\times 3$	20	5.16
801	-	(2NAND/DRV) $\times 6$	20	5.45
802	-	(4OR/4NOR/DRV) $\times 3$	20	5.16
804	ЛА20	(2NAND/DRV) $\times 6$	20	5.9
805	ЛЕ8	(2NOR/DRV) $\times 6$	20	5.10
808	ЛМ7	(2AND/DRV) $\times 6$	20	5.11
810	-	(XNOR) $\times 4$	14	5.16
811	-	(XNOR; OC) $\times 4$	14	5.45
812	-	Fuse Programmable 12 Bit Comp. DC 2x4	24	6.74
819	-	8 Bit Diagnostics/Pipeline Register	24	7.21
821	-	D: 10; $\bar{D}\bar{I}, \bar{H}, DO, TS$	24	5.91
822	-	D: 10; $\bar{D}\bar{I}, \bar{H}, DO, TS$	24	5.91
823	-	D/R: 9; $\bar{D}\bar{I}, \bar{H}, \bar{R}, DO, TS$	24	5.92
824	-	D/R: 9; $\bar{D}\bar{I}, \bar{H}, \bar{R}, DO, TS$	24	5.92
825	-	D/R: 8; $\bar{D}\bar{I}, \bar{H}, \bar{R}, DO, TS$	24	5.92
826	-	D/R: 8; $\bar{D}\bar{I}, \bar{H}, \bar{R}, DO, TS$	24	5.92
827	-	BD: 10; $\bar{O}\bar{E}, DO, TS$	24	5.64
828	-	BD: 10; $\bar{O}\bar{E}, \bar{D}\bar{O}, TS$	24	5.64
832	ЛЛ3	(2OR/DRV) $\times 6$	20	5.11
841	-	D-L: 10; $\bar{D}\bar{I}, L, \bar{O}\bar{E}, DO, TS$ ( $\approx 29841$ )	24	5.79
842	-	D-L: 10; $\bar{D}\bar{I}, L, \bar{O}\bar{E}, DO, TS$ ( $\approx 29842$ )	24	5.79
843	-	D-L-R-S: 9; $\bar{D}\bar{I}, L, \bar{R}, \bar{S}, \bar{O}\bar{E}, DO, TS$ ( $\approx 29843$ )	24	5.79
844	-	D-L-R-S: 9; $\bar{D}\bar{I}, L, \bar{R}, \bar{S}, \bar{O}\bar{E}, DO, TS$ ( $\approx 29844$ )	24	5.79
845	-	D-L-R-S: 8; $\bar{D}\bar{I}, L, \bar{R}, \bar{S}, \bar{O}\bar{E}, DO, TS$ ( $\approx 29845$ )	24	5.79
846	-	D-L-R-S: 8; $\bar{D}\bar{I}, L, \bar{R}, \bar{S}, \bar{O}\bar{E}, DO, TS$ ( $\approx 29846$ )	24	5.79
850	-	MUX-RGA 16 $\rightarrow$ 1; $\bar{H}, \bar{D}\bar{O}, TS$	28	6.36
851	-	MUX-RGA 16 $\rightarrow$ 1; $L, \bar{D}\bar{O}, TS$	28	6.36



Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
852	-	TR/RC-RGS: 8; $\bar{H}$ , DA, DB, TS	24	5.111
856	-	TR/RC-RGS: 8; $\bar{H}$ , $\overline{OE\bar{A}}$ , $\overline{OE\bar{B}}$ , DA, DB, TS	24	5.111
857	-	MUXF 2→1: 6; DO, TS	24	6.30
861	-	TR/RC: 10; $\overline{OE\bar{A}}$ , $\overline{OE\bar{B}}$ , DA, DB, TS (≈'29861)	24	5.98
862	-	TR/RC: 10; $\overline{OE\bar{A}}$ , $\overline{OE\bar{B}}$ , DA, $\overline{DB}$ , TS (≈'29862)	24	5.98
863	-	TR/RC: 9; $\overline{OE\bar{A}}$ , $\overline{OE\bar{B}}$ , DA, DB, TS (≈'29863)	24	5.98
864	-	TR/RC: 9; $\overline{OE\bar{A}}$ , $\overline{OE\bar{B}}$ , DA, $\overline{DB}$ , TS (≈'29864)	24	5.98
866	-	CMP-RG: 8; A=B, OC, A>B, A<B	28	6.93
867	-	CT256-U/D; $\bar{H}$ , Asynchr. Reset	24	7.74
869	-	CT256-U/D; $\bar{H}$ , Synchr. Reset	24	7.74
873	MP34	<D-L-R: 4; L, $\bar{R}$ , DO, TS>×2	24	5.78
874	MP38	<D/R: 4; $\bar{H}$ , $\bar{R}$ , DO, TS>×2	24	5.91
876	-	<D/S: 4; $\bar{H}$ , $\bar{S}$ , $\overline{DO}$ , TS>×2	24	5.91
877	-	TR/RC-RGS: 8; $\bar{H}$ , DA, DB, TS	24	5.111
878	-	<D/R: 4; $\bar{R}$ , $\bar{H}$ , DO, TS>×2	24	5.91
879	-	<D/R: 4; $\bar{R}$ , $\bar{H}$ , $\overline{DO}$ , TS>×2	24	5.91
880	-	<D-L-S: 4; L, $\bar{S}$ , $\overline{DO}$ , TS>×2	24	5.78
881	-	ALU: 4	24	6.113
882	-	CRU: 8	24	6.116
885	-	CMP-RG: 8; A>B, A<B	24	6.93
905	-	RGS: 12; $\bar{H}$ , Q (564MP13)	24	7.143
962	-	Dual Rank 8 Bit Shift Register; TS	18	7.23
963	-	Dual Rank 8 Bit Shift Register; TS	20	7.23
964	-	Dual Rank 8 Bit Shift Register; TS	20	7.23
990	-	RGRB: 8; L, Q	20	5.80
991	-	RGRB: 8; L, $\bar{Q}$	20	5.80
992	-	RGRB: 9; L, $\bar{R}$ , DO, TS	24	5.80
993	-	RGRB: 9; L, $\bar{R}$ , $\overline{DO}$ , TS	24	5.80
994	-	RGRB: 10; L, Q	24	5.80
995	-	RGRB: 10; L, $\bar{Q}$	24	5.80
996	-	RGRB: 8; $\bar{H}$ , $\bar{R}$ , DO/ $\overline{DO}$ , TS	24	5.92
1000	ЛA21	<2NAND/DRV>×4	14	5.9
1002	ЛE10	<2NOR/DRV>×4	14	5.10
1003	ЛA23	<2NAND/DRV, OC>×4	14	5.44
1004	ЛH8	<NOT/DRV>×6	14	5.10
1005	ЛH10	<NOT/DRV, OC>×6	14	5.44
1008	ЛM8	<2AND/DRV>×4	14	5.11

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	<i>m</i>	Номер рисунка
1010	ЛА24	$\langle 3\text{AND}/\text{DRV} \rangle \times 3$	14	5.9
1011	ЛМ10	$\langle 3\text{AND}/\text{DRV} \rangle \times 3$	14	5.11
1020	ЛА22	$\langle 4\text{AND}/\text{DRV} \rangle \times 2$	14	5.9
1032	ЛЛ4	$\langle 2\text{OR}/\text{DRV} \rangle \times 4$	14	5.11
1034	ЛП16	$\langle \text{BF} \rangle \times 6$	14	5.11
1035	ЛП17	$\langle \text{BF}; \text{OC} \rangle \times 6$	14	5.44
1036	-	$\langle 2\text{NOR}/\text{DRV} \rangle \times 4$	14	5.16
1181	-	<i>ALU</i> : 4	24	6.113
1240	-	$\langle \text{BD}; 4; \overline{\text{OE}}, \overline{\text{DO}}, \text{TS} \rangle \times 2$ ( $\approx 240/\text{ULP}^*$ )	20	5.63
1241	-	$\langle \text{BD}; 4; \overline{\text{OE}} + \text{BD}; 4; \text{OE} \rangle; \text{DO}, \text{TS}$ ( $\approx 241/\text{ULP}$ )	20	5.63
1242	-	$\text{TR}/\text{RC}; 4; \text{OEA}, \overline{\text{OEB}}, \text{DA}, \overline{\text{DB}}, \text{TS}$ ( $\approx 242/\text{ULP}$ )	14	5.98
1243	-	$\text{TR}/\text{RC}; 4; \text{OEA}, \overline{\text{OEB}}, \text{DA}, \text{DB}, \text{TS}$	14	5.98
1244	-	$\langle \text{BD}; 4; \overline{\text{OE}}, \text{DO}, \text{TS} \rangle \times 2$ ( $\approx 244/\text{ULP}$ )	20	5.63
1245	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{OE}}, \text{DA}, \text{DB}, \text{TS}$	20	5.99
1620	-	$\text{TR}/\text{RC}; 8; \overline{\text{OEA}}, \text{OEB}, \text{DA}, \overline{\text{DB}}, \text{TS}$	20	5.98
1621	-	$\text{TR}/\text{RC}; 8; \overline{\text{EA}}, \text{EB}, \text{DA}, \text{DB}, \text{OC}$	20	5.102
1622	-	$\text{TR}/\text{RC}; 8; \overline{\text{EA}}, \text{EB}, \text{DA}, \overline{\text{DB}}, \text{OC}$	20	5.102
1623	-	$\text{TR}/\text{RC}; 8; \overline{\text{OEA}}, \text{OEB}, \text{DA}, \text{DB}, \text{TS}$	20	5.98
1638	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{OE}}, \text{DA}-\text{OC}, \overline{\text{DB}}-\text{TS}$ ( $\approx 638/\text{ULP}$ )	20	5.103
1639	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{OE}}, \text{DA}-\text{OC}, \text{DB}-\text{TS}$ ( $\approx 639/\text{ULP}$ )	20	5.103
1640	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{OE}}, \text{DA}, \overline{\text{DB}}, \text{TS}$ ( $\approx 640/\text{ULP}$ )	20	5.99
1641	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{E}}, \text{DA}, \text{DB}, \text{OC}$ ( $\approx 641/\text{ULP}$ )	20	5.103
1642	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{E}}, \text{DA}, \overline{\text{DB}}, \text{OC}$ ( $\approx 642/\text{ULP}$ )	20	5.103
1643	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{OE}}, \overline{\text{DA}}, \text{DB}, \text{TS}$ ( $\approx 643/\text{ULP}$ )	20	5.99
1644	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{E}}, \overline{\text{DA}}, \text{DB}, \text{OC}$ ( $\approx 644/\text{ULP}$ )	20	5.103
1645	-	$\text{TR}/\text{RC}; 8; \text{T}, \overline{\text{OE}}, \text{DA}, \text{DB}, \text{TS}$ ( $\approx 645/\text{ULP}$ )	20	5.99
1804	-	$\langle 2\text{NAND}/\text{DRV} \rangle \times 6; 5-V_{\text{CC}}, 15-\text{GND}$ ( $\approx 804$ )	20	5.16
1805	-	$\langle 2\text{NOR}/\text{DRV} \rangle \times 6; 5-V_{\text{CC}}, 15-\text{GND}$ ( $\approx 805$ )	20	5.16
1808	-	$\langle 2\text{AND}/\text{DRV} \rangle \times 6; 5-V_{\text{CC}}, 15-\text{GND}$ ( $\approx 808$ )	20	5.16
1821	-	<i>D</i> : 10; <i>DI</i> , $\overline{\text{H}}$ , <i>DO</i> , <i>TS</i> ( $\approx 821$ )	24	5.91
1823	-	<i>D/R</i> : 9; <i>DI</i> , $\overline{\text{H}}$ , $\overline{\text{R}}$ , <i>DO</i> , <i>TS</i> ( $\approx 823$ )	24	5.92
1832	-	$\langle 2\text{OR}/\text{DRV} \rangle \times 6; 5-V_{\text{CC}}, 15-\text{GND}$ ( $\approx 832$ )	20	5.16
2240	-	$\langle \text{BD}; 4; \overline{\text{OE}}, \overline{\text{DO}}, \text{TS} \rangle \times 2$ ( $\approx 240/25 \text{ Ом}$ )	20	5.63
2241	-	$\langle \text{BD}; 4; \overline{\text{OE}} + \text{BD}; 4; \text{OE} \rangle; \text{DO}, \text{TS}$ ( $\approx 241/25 \text{ Ом}$ )	20	5.63
2242	-	$\text{TR}/\text{RC}; 4; \text{OEA}, \overline{\text{OEB}}, \text{DA}, \overline{\text{DB}}, \text{TS}$ ( $\approx 242/25 \text{ Ом}$ )	14	5.98
2244	-	$\langle \text{BD}; 4; \overline{\text{OE}}, \text{DO}, \text{TS} \rangle \times 2$ ( $\approx 244/25 \text{ Ом}$ )	20	5.63
2540	-	<i>BD</i> : 8; $\overline{\text{OE}}, \overline{\text{DO}}, \text{TS}$ ( $\approx 540/25 \text{ Ом}$ )	20	5.64

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
2541	-	BD: 8; $\overline{OE}$ , DO, TS ( $\approx$ '541/25 Ом)	20	5.64
2620	-	TR/RC: 8; $\overline{OE}$ A, OEB, DA, $\overline{DB}$ , TS ( $\approx$ '620/25 Ом)	20	5.98
2623	-	TR/RC: 8; $\overline{OE}$ A, OEB, DA, DB, TS ( $\approx$ '623/25 Ом)	20	5.98
2640	-	TR/RC: 8; T, $\overline{OE}$ , DA, $\overline{DB}$ , TS ( $\approx$ '640/25 Ом)	20	5.99
2645	-	TR/RC: 8; T, $\overline{OE}$ , DA, DB, TS ( $\approx$ '645/25 Ом)	20	5.99
2827	-	BD: 10; $\overline{OE}$ , DO, TS ( $\approx$ '29827/25 Ом)	24	5.64
2828	-	BD: 10; $\overline{OE}$ , $\overline{DO}$ , TS ( $\approx$ '29828/25 Ом)	24	5.64
4002	ЛЕ9	(4NOR) $\times$ 2	14	5.29
4006	MP47	RGS: 4+5+4+5; H, S1/S0	14	7.3
4015	MP46	(RGS: 4; H, R) $\times$ 2	16	7.3
4016	-	SW: 4	14	6.54
4017	-	CT10/DC 5B $\times$ 10; $\overline{H}$ , R	16	7.127
4020	-	CT $\uparrow$ 14; HA, R, Q0, Q3-Q13	16	7.149
4022	-	CTB/DC 4B $\times$ 10; $\overline{H}$ , R	16	7.127
4024	-	CT12B; HNA, R	14	7.36
4028	-	DC 4 $\times$ 10; F	16	6.2
4035	MP51	RGS: 4; JS, $\overline{KS}$ , L, H, R, Q	16	7.14
4040	-	CT $\uparrow$ 12; HA, R	16	7.36
4049	-	(NOT/DRV) $\times$ 6	16	5.69
4050	-	(BF) $\times$ 6	16	5.69
4051	-	MUX-DMX 8 $\rightarrow$ 1/1 $\rightarrow$ 8; V <sub>EE</sub>	16	6.56
4052	-	MUX-DMX 4 $\rightarrow$ 1/1 $\rightarrow$ 4:2; V <sub>EE</sub>	16	6.56
4053	-	MUX-DMX 3 $\rightarrow$ 1/1 $\rightarrow$ 3:3; V <sub>EE</sub>	16	6.56
4059	-	DIVP21 327; H	24	7.149
4060	-	(GM-CT $\uparrow$ 14; HA); R	16	7.149
4061	-	GM-CT $\uparrow$ 14; HA, R	16	7.149
4066	-	SW: 4	14	6.54
4067	-	MUX-DMX 16 $\rightarrow$ 1/1 $\rightarrow$ 16	24	6.56
4072	-	(4OR) $\times$ 2	14	5.32
4075	-	(3OR) $\times$ 3	14	5.32
4078	-	BOR/BNOR	14	5.31
4094	-	RGS; H, S1/S0-RG; L, DO, TS-T; H, SOD	16	7.8
4301	-	D-L: 8; L, $\overline{DO}$ , TS ( $\approx$ '563)	20	5.77
4302	-	D-L: 8; L, DO, TS ( $\approx$ '573)	20	5.77
4303	-	D: 8; H, $\overline{DO}$ , TS ( $\approx$ '564)	20	5.91
4304	-	D: 8; H, DO, TS ( $\approx$ '574)	20	5.91
4305	-	(BD: 4; $\overline{OE}$ , $\overline{DO}$ , TS) $\times$ 2	20	5.63

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
4306	-	$(BD: 4; \overline{OE}, DO, TS) \times 2$	20	5.63
4316	-	$SW: 4; \overline{OE}$	16	6.54
4351	-	$MUX-DMX-RGAR 8 \rightarrow 1/1 \rightarrow 8; V_{EE}$	18	6.56
4352	-	$MUX-DMX-RGAR 4 \rightarrow 1/1 \rightarrow 4: 2; V_{EE}$	18	6.56
4353	-	$MUX-DMX-RGAR 3 \rightarrow 1/1 \rightarrow 3: 3; V_{EE}$	18	6.56
4510	-	$CT10-U/D; \overline{H}, L, R$	16	7.83
4514	-	$DMX-RGAR 1 \rightarrow 16; L, F$	24	6.9
4515	-	$DMX-RGAR 1 \rightarrow 16; L, \overline{F}$	24	6.9
4516	-	$CT16-U/D; \overline{H}, L, R$	16	7.74
4518	-	$(CT10; \overline{H}, R) \times 2$	16	7.68
4520	ME23	$(CT16; \overline{H}, R) \times 2$	16	7.46
4538	-	$(M\overline{VBR}; \overline{R}) \times 2$	16	5.121
4724	-	$RGA: 8; R, \overline{L}$	16	6.13
7001	-	$(2AND-ST) \times 4$	14	5.38
7002	-	$(2AND-ST-NOT) \times 4$	14	5.38
7006	-	$4NAND+3NAND+4NOR+3NOR+(NOT) \times 2$	24	5.31
7008	-	$(2NAND) \times 3 + (2NOR) \times 3 + (NOT) \times 2$	24	5.31
7032	-	$(2OR-ST) \times 4$	14	5.38
7074	-	$2NAND+2NOR+(NOT) \times 2 + (D/R-S; \overline{H}, \overline{R}, \overline{S}) \times 2$	24	5.85
7075	-	$(2NAND) \times 2 + (NOT) \times 2 + (D/R-S; \overline{H}, \overline{R}, \overline{S}) \times 2$	24	5.85
7076	-	$(2NOR) \times 2 + (NOT) \times 2 + (D/R-S; \overline{H}, \overline{R}, \overline{S}) \times 2$	24	5.85
7266	П13	$(XNOR) \times 4$	14	5.29
8003	-	$(2NAND) \times 2$	8	5.16
8161	-	$CT256; \overline{L}, \overline{H}, \overline{R}$ ( $\approx$ '161/8-bit Version)	24	7.46
8163	-	$CT256; \overline{L}, \overline{R}, \overline{H}$ ( $\approx$ '163/8-bit Version)	24	7.46
8169	-	$CT256-U/D; \overline{L}, \overline{H}$ ( $\approx$ '169/8-bit Version)	24	7.74
11000	-	$(2NAND) \times 4$	16	5.33
11002	-	$(2NOR) \times 4$	16	5.33
11004	-	$(NOT) \times 6$	20	5.33
11008	-	$(2AND) \times 4$	16	5.33
11010	-	$(3NAND) \times 3$	16	5.33
11011	-	$(3AND) \times 3$	16	5.33
11013	-	$(4AND-ST-NOT) \times 2$	14	5.38
11014	-	$(ST-NOT) \times 6$	20	5.38
11020	-	$(4NAND) \times 2$	14	5.33
11021	-	$(4AND) \times 2$	14	5.33
11027	-	$(3NOR) \times 3$	16	5.33

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
11030	-	8NAND	14	5.33
11032	-	<2OR>x4	16	5.33
11034	-	<BF>x6	20	5.33
11051	-	2-2AND-NOR+3-3AND-NOR	14	5.33
11064	-	2-2-3-4AND-NOR	14	5.33
11074	-	<D/R-S; $\bar{H}, \bar{R}, \bar{S}, \bar{Q}$ >x2	14	5.85
11086	-	<XOR>x4	16	5.33
11109	-	<J-K/R-S; $\bar{K}, \bar{H}, \bar{R}, \bar{S}, \bar{Q}$ >x2	16	5.86
11112	-	<J-K/R-S; $H, \bar{R}, \bar{S}, \bar{Q}$ >x2	16	5.86
11132	-	<2AND-ST-NOT>x4	16	5.38
11138	-	DMX 1→8; $\bar{F}$	16	6.7
11139	-	<DMX 1→4; $\bar{F}$ >x2	16	6.7
11150	-	MUX 16→1; $\bar{D}\bar{O}$	24	6.24
11151	-	MUX 8→1; $\bar{D}\bar{O}$	16	6.24
11153	-	MUX 4→1: 2; DO	16	6.24
11154	-	DMX 1→16; $\bar{F}$	24	6.7
11157	-	MUX 2→1: 4; DO	20	6.24
11158	-	MUX 2→1: 4; $\bar{D}\bar{O}$	20	6.24
11160	-	CT10; $\bar{L}, \bar{H}, \bar{R}$	20	7.68
11161	-	CT16; $\bar{L}, \bar{H}, \bar{R}$	20	7.46
11162	-	CT10; $\bar{L}, \bar{R}, \bar{H}$	20	7.68
11163	-	CT16; $\bar{L}, \bar{R}, \bar{H}$	20	7.46
11168	-	CT10-U/D; $\bar{L}, \bar{H}$	20	7.83
11169	-	CT16-U/D; $\bar{L}, \bar{H}$	20	7.74
11174	-	D/R: 6; $\bar{H}, Q$	20	5.88
11175	-	D/R: 4; $\bar{H}, \bar{Q}$	20	5.88
11181	-	ALU: 4	28	6.113
11190	-	CT10-U/D; $\bar{H}, \bar{L}$	20	7.83
11191	-	CT16-U/D; $\bar{H}, \bar{L}$	20	7.74
11192	-	CT10-U/D; $\bar{H}\bar{U}, \bar{H}\bar{D}, \bar{L}, R$	20	7.115
11193	-	CT16-U/D; $\bar{H}\bar{U}, \bar{H}\bar{D}, \bar{L}, R$	20	7.115
11194	-	RGBS: 4; $\bar{H}, \bar{R}, PI/PO$	20	7.27
11208	-	<DRV 1→4>x2	20	5.135
11238	-	DMX 1→8; $\bar{E}, F$	16	6.7
11239	-	<DMX 1→4; $\bar{E}, F$ >x2	16	6.7
11240	-	<BD: 4; $\bar{D}\bar{E}, \bar{D}\bar{O}, TS$ >x2	24	5.63
11241	-	<BD: 4; $\bar{D}\bar{E}+BD: 4; OE$ >; DO, TS	24	5.63

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
4306	-	$\langle BD: 4; \overline{OE}, DO, TS \rangle \times 2$	20	5.63
4316	-	$SW: 4; \overline{OE}$	16	6.54
4351	-	$MUX-DMX-RGAR \ 8 \rightarrow 1/1 \rightarrow 8; V_{EE}$	18	6.56
4352	-	$MUX-DMX-RGAR \ 4 \rightarrow 1/1 \rightarrow 4: 2; V_{EE}$	18	6.56
4353	-	$MUX-DMX-RGAR \ 3 \rightarrow 1/1 \rightarrow 3: 3; V_{EE}$	18	6.56
4510	-	$CT10-U/D; \overline{H}, L, R$	16	7.83
4514	-	$DMX-RGAR \ 1 \rightarrow 16; L, F$	24	6.9
4515	-	$DMX-RGAR \ 1 \rightarrow 16; L, \overline{F}$	24	6.9
4516	-	$CT16-U/D; \overline{H}, L, R$	16	7.74
4518	-	$\langle CT10; \overline{H}, R \rangle \times 2$	16	7.68
4520	ME23	$\langle CT16; \overline{H}, R \rangle \times 2$	16	7.46
4538	-	$\langle MVR; \overline{R} \rangle \times 2$	16	5.121
4724	-	$RGA: 8; R, \overline{I}$	16	6.13
7001	-	$\langle 2AND-ST \rangle \times 4$	14	5.38
7002	-	$\langle 2AND-ST-NOT \rangle \times 4$	14	5.38
7006	-	$4NAND+3NAND+4NOR+3NOR+\langle NOT \rangle \times 2$	24	5.31
7008	-	$\langle 2NAND \rangle \times 3 + \langle 2NOR \rangle \times 3 + \langle NOT \rangle \times 2$	24	5.31
7032	-	$\langle 2OR-ST \rangle \times 4$	14	5.38
7074	-	$2NAND+2NOR+\langle NOT \rangle \times 2 + \langle D/R-S; \overline{H}, \overline{R}, \overline{S} \rangle \times 2$	24	5.85
7075	-	$\langle 2NAND \rangle \times 2 + \langle NOT \rangle \times 2 + \langle D/R-S; \overline{H}, \overline{R}, \overline{S} \rangle \times 2$	24	5.85
7076	-	$\langle 2NOR \rangle \times 2 + \langle NOT \rangle \times 2 + \langle D/R-S; \overline{H}, \overline{R}, \overline{S} \rangle \times 2$	24	5.85
7266	ЛП13	$\langle XNOR \rangle \times 4$	14	5.29
8003	-	$\langle 2NAND \rangle \times 2$	8	5.16
8161	-	$CT256; \overline{I}, \overline{H}, \overline{R} \ (\approx 161/8\text{-bit Version})$	24	7.46
8163	-	$CT256; \overline{I}, \overline{R}, \overline{H} \ (\approx 163/8\text{-bit Version})$	24	7.46
8169	-	$CT256-U/D; \overline{I}, \overline{H} \ (\approx 169/8\text{-bit Version})$	24	7.74
11000	-	$\langle 2NAND \rangle \times 4$	16	5.33
11002	-	$\langle 2NOR \rangle \times 4$	16	5.33
11004	-	$\langle NOT \rangle \times 6$	20	5.33
11008	-	$\langle 2AND \rangle \times 4$	16	5.33
11010	-	$\langle 3NAND \rangle \times 3$	16	5.33
11011	-	$\langle 3AND \rangle \times 3$	16	5.33
11013	-	$\langle 4AND-ST-NOT \rangle \times 2$	14	5.38
11014	-	$\langle ST-NOT \rangle \times 6$	20	5.38
11020	-	$\langle 4NAND \rangle \times 2$	14	5.33
11021	-	$\langle 4AND \rangle \times 2$	14	5.33
11027	-	$\langle 3NOR \rangle \times 3$	16	5.33

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	<i>m</i>	Номер рисунка
11030	-	8WAND	14	5.33
11032	-	<2OR>×4	16	5.33
11034	-	<BF>×6	20	5.33
11051	-	2-2AND-NOR+3-3AND-NOR	14	5.33
11064	-	2-2-3-4AND-NOR	14	5.33
11074	-	<D/R-S; $\bar{H}, \bar{R}, \bar{S}, \bar{Q}$ >×2	14	5.85
11086	-	<XOR>×4	16	5.33
11109	-	<J-K/R-S; $\bar{K}, \bar{H}, \bar{R}, \bar{S}, \bar{Q}$ >×2	16	5.86
11112	-	<J-K/R-S; $H, \bar{R}, \bar{S}, \bar{Q}$ >×2	16	5.86
11132	-	<2AND-ST-NOT>×4	16	5.38
11138	-	DMX 1→8; $\bar{F}$	16	6.7
11139	-	<DMX 1→4; $\bar{F}$ >×2	16	6.7
11150	-	MUX 16→1; $\bar{D}\bar{O}$	24	6.24
11151	-	MUX 8→1; $\bar{D}\bar{O}$	16	6.24
11153	-	MUX 4→1; 2; DO	16	6.24
11154	-	DMX 1→16; $\bar{F}$	24	6.7
11157	-	MUX 2→1; 4; DO	20	6.24
11158	-	MUX 2→1; 4; $\bar{D}\bar{O}$	20	6.24
11160	-	CT10; $\bar{L}, \bar{H}, \bar{R}$	20	7.68
11161	-	CT16; $\bar{L}, \bar{H}, \bar{R}$	20	7.46
11162	-	CT10; $\bar{L}, \bar{R}, \bar{H}$	20	7.68
11163	-	CT16; $\bar{L}, \bar{R}, \bar{H}$	20	7.46
11168	-	CT10-U/D; $\bar{L}, \bar{H}$	20	7.83
11169	-	CT16-U/D; $\bar{L}, \bar{H}$	20	7.74
11174	-	D/R: 6; $\bar{H}, Q$	20	5.88
11175	-	D/R: 4; $\bar{H}, \bar{Q}$	20	5.88
11181	-	ALU: 4	28	6.113
11190	-	CT10-U/D; $\bar{H}, \bar{L}$	20	7.83
11191	-	CT16-U/D; $\bar{H}, \bar{L}$	20	7.74
11192	-	CT10-U/D; $\bar{H}\bar{U}, \bar{H}\bar{D}, \bar{L}, R$	20	7.115
11193	-	CT16-U/D; $\bar{H}\bar{U}, \bar{H}\bar{D}, \bar{L}, R$	20	7.115
11194	-	RGBS: 4; $\bar{H}, \bar{R}, P1/PO$	20	7.27
11208	-	<DRV 1→4>×2	20	5.135
11238	-	DMX 1→8; $\bar{E}, F$	16	6.7
11239	-	<DMX 1→4; $\bar{E}, F$ >×2	16	6.7
11240	-	<BD: 4; $\bar{O}\bar{E}, \bar{D}\bar{O}, TS$ >×2	24	5.63
11241	-	<BD: 4; $\bar{O}\bar{E}+BD: 4; OE$ >; DO, TS	24	5.63

Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	<i>m</i>	Номер рисунка
11244	-	$\langle BD: 4; \overline{OE}, DO, TS \rangle \times 2$	24	5.63
11245	-	$TR/RC: 8; T, \overline{OE}, DA, DB, TS$	24	5.99
11250	-	$MUX 16 \rightarrow 1; \overline{DO}, TS$	24	6.25
11251	-	$MUX 8 \rightarrow 1; \overline{DO}, TS$	16	6.25
11253	-	$MUX 4 \rightarrow 1: 2; DO, TS$	16	6.25
11257	-	$MUX 2 \rightarrow 1: 4; DO, TS$	20	6.25
11258	-	$MUX 2 \rightarrow 1: 4; \overline{DO}, TS$	20	6.25
11269	-	$CT256-U/D; \overline{L}, \overline{H}$	28	7.74
11273	-	$D-R: 8; \overline{H}, \overline{R}, Q$	24	5.88
11299	-	$RGBS: 8; \overline{H}, \overline{R}, DB, TS$	24	7.29
11323	-	$RGBS: 8; \overline{R}, \overline{H}, DB, TS$	24	7.29
11352	-	$MUX 4 \rightarrow 1: 2; \overline{DO}$	16	6.24
11353	-	$MUX 4 \rightarrow 1: 2; \overline{DO}, TS$	16	6.25
11373	-	$D-L: 8; L, DO, TS$	24	5.77
11374	-	$D: 8; \overline{H}, DO, TS$	24	5.91
11377	-	$D-L: 8; \overline{L}, \overline{H}, Q$	24	5.89
11378	-	$D-L: 6; \overline{L}, \overline{H}, Q$	20	5.89
11379	-	$D-L: 4; \overline{L}, \overline{H}, \overline{Q}$	20	5.89
11461	-	$CT256; \overline{L}, \overline{H}, \overline{R}$	28	7.46
11463	-	$CT256; \overline{L}, \overline{R}, \overline{H}$	28	7.46
11469	-	$CT256-U/D; \overline{L}, \overline{H}$	28	7.74
11520	-	$CMP: 8; A=B, \overline{DO} < 20 \text{ кОм}$	20	6.70
11521	-	$CMP: 8; A=B, \overline{DO}$	20	6.70
11533	-	$D-L: 8; L, \overline{DO}, TS$	24	5.77
11534	-	$D: 8; \overline{H}, Q, \overline{DO}, TS$	24	5.91
11543	-	$TR/RC-RG: 8; \overline{H}, DA, DB, TS$	28	5.106
11544	-	$TR/RC-RG: 8; \overline{H}, DA, \overline{DB}, TS$	28	5.106
11568	-	$CT10-U/D; \overline{L}, \overline{R}, \overline{H}, \overline{R}, DO, TS$	24	7.83
11569	-	$CT16-U/D; \overline{L}, \overline{R}, \overline{H}, \overline{R}, DO, TS$	24	7.79
11579	-	$CT256-U/D; \overline{L}, \overline{R}, \overline{H}, \overline{R}, DB, TS$	24	7.79
11590	-	$CT256; \overline{H}, \overline{R}-RG: 8; \overline{H}, \overline{OE}, DO, TS$	20	7.64
11592	-	$RG: 8; \overline{H}-DIVP: 8; \overline{H}, \overline{L}, \overline{R}$	16	7.145
11593	-	$\langle RG: 8; \overline{H}-CT256; \overline{H}, \overline{L}, \overline{R} \rangle; DB, TS$	24	7.64
11620	-	$TR/RC: 8; \overline{OE}A, OE\overline{B}, DA, \overline{DB}, TS$	24	5.98
11623	-	$TR/RC: 8; \overline{OE}A, OE\overline{B}, DA, DB, TS$	24	5.98
11640	-	$TR/RC: 8; T, \overline{OE}, DA, \overline{DB}, TS$	24	5.99
11643	-	$TR/RC: 8; T, \overline{OE}, \overline{DA}, DB, TS$	24	5.99



Продолжение табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	m	Номер рисунка
11646	-	TR/RC-RG: 8; $\bar{H}$ , T, $\overline{OE}$ , DA, DB, TS	28	5.106
11648	-	TR/RC-RG: 8; $\bar{H}$ , T, $\overline{OE}$ , DA, $\overline{DB}$ , TS	28	5.106
11651	-	TR/RC-RG: 8; $\bar{H}$ , $\overline{OE_A}$ , $\overline{OE_B}$ , DA, $\overline{DB}$ , TS	28	5.106
11652	-	TR/RC-RG: 8; $\bar{H}$ , $\overline{OE_A}$ , $\overline{OE_B}$ , DA, DB, TS	28	5.106
11677	-	Address Comparator: 16; $\bar{E}$ , $\bar{F}$	24	6.77
11678	-	Address Comparator: 16; D-L; L, $\bar{Q}$	24	6.77
11800	-	(4AND/4NAND/DRV)×3	24	5.33
11802	-	(4OR/4NOR/DRV)×3	24	5.33
11810	-	(XNOR)×4	16	5.33
11818	-	8 Bit Diagnostics/Pipeline Register	28	7.21
11821	-	D: 10; DI, $\bar{H}$ , DO, TS	28	5.91
11822	-	D: 10; $\overline{DI}$ , $\bar{H}$ , DO, TS	28	5.91
11823	-	D/R: 9; DI, $\bar{H}$ , $\bar{R}$ , DO, TS	28	5.92
11824	-	D/R: 9; $\overline{DI}$ , $\bar{H}$ , $\bar{R}$ , DO, TS	28	5.92
11825	-	D/R: 8; DI, $\bar{H}$ , $\bar{R}$ , DO, TS	28	5.92
11826	-	D/R: 8; $\overline{DI}$ , $\bar{H}$ , $\bar{R}$ , DO, TS	28	5.92
11827	-	BD: 10; $\overline{OE}$ , DO, TS	28	5.64
11828	-	BD: 10; $\overline{OE}$ , $\overline{DO}$ , TS	28	5.64
11841	-	D-L: 10; DI, L, $\overline{OE}$ , DO, TS (≈'29841)	28	5.79
11842	-	D-L: 10; $\overline{DI}$ , L, $\overline{OE}$ , DO, TS (≈'29842)	28	5.79
11843	-	D-L-R-S: 9; DI, L, $\bar{R}$ , $\bar{S}$ , $\overline{OE}$ , DO, TS (≈'29843)	28	5.79
11844	-	D-L-R-S: 9; $\overline{DI}$ , L, $\bar{R}$ , $\bar{S}$ , $\overline{OE}$ , DO, TS (≈'29844)	28	5.79
11845	-	D-L-R-S: 8; DI, L, $\bar{R}$ , $\bar{S}$ , $\overline{OE}$ , DO, TS (≈'29845)	28	5.79
11848	-	D-L-R-S: 8; $\overline{DI}$ , L, $\bar{R}$ , $\bar{S}$ , $\overline{OE}$ , DO, TS (≈'29846)	28	5.79
11852	-	TR/RC-RGS: 8; $\bar{H}$ , DA, DB, TS	28	5.111
11856	-	TR/RC-RGS: 8; $\bar{H}$ , $\overline{OE_A}$ , $\overline{OE_B}$ , DA, DB, TS	28	5.111
11861	-	TR/RC: 10; $\overline{OE_A}$ , $\overline{OE_B}$ , DA, DB, TS (≈'29861)	28	5.98
11862	-	TR/RC: 10; $\overline{OE_A}$ , $\overline{OE_B}$ , DA, $\overline{DB}$ , TS (≈'29862)	28	5.98
11863	-	TR/RC: 9; $\overline{OE_A}$ , $\overline{OE_B}$ , DA, DB, TS (≈'29863)	28	5.98
11864	-	TR/RC: 9; $\overline{OE_A}$ , $\overline{OE_B}$ , DA, $\overline{DB}$ , TS (≈'29864)	28	5.98
11867	-	CT256-U/D; $\bar{H}$ , Asynchr. Reset	28	7.74
11869	-	CT256-U/D; $\bar{H}$ , Synchr. Reset	28	7.74
11873	-	(D-L-R: 4; L, $\bar{R}$ , DO, TS)×2	28	5.78
11874	-	(D/R: 4; $\bar{H}$ , $\bar{R}$ , DO, TS)×2	28	5.91
11877	-	TR/RC-RGS: 8; $\bar{H}$ , DA, DB, TS	28	5.111
11881	-	ALU: 4	28	6.113
11882	-	CRU: 8	28	6.116

Окончание табл. П1.4

SN54 SN74	Аналог	Функциональное назначение	<i>m</i>	Номер рисунка
11885	-	CMP-RG: B; A>B, A<B	24	6.93
29806	-	CMP: B-DC 2x4	24	6.71
29809	-	CMP: 9; $\overline{A}=\overline{B}$	24	6.71
29818	-	8 Bit Diagnostics/Pipeline Register	24	7.21
29821	-	D: 10; DI, $\overline{H}$ , DO, TS	24	5.91
29822	-	D: 10; $\overline{DI}$ , $\overline{H}$ , DO, TS	24	5.91
29823	-	D/R: 9; DI, $\overline{H}$ , $\overline{R}$ , DO, TS	24	5.92
29824	-	D/R: 9; $\overline{DI}$ , $\overline{H}$ , $\overline{R}$ , DO, TS	24	5.92
29825	-	D/R: 8; DI, $\overline{H}$ , $\overline{R}$ , DO, TS	24	5.92
29826	-	D/R: 8; $\overline{DI}$ , $\overline{H}$ , $\overline{R}$ , DO, TS	24	5.92
29827	-	BD: 10; $\overline{OE}$ , DO, TS	24	5.64
29828	-	BD: 10; $\overline{OE}$ , $\overline{DO}$ , TS	24	5.64
29841	-	D-L: 10; L, DI, DO, TS	24	5.79
29842	-	D-L: 10; L, $\overline{DI}$ , DO, TS	24	5.79
29843	-	D-L-R-S: 9; L, $\overline{R}$ , $\overline{S}$ , DI, DO, TS	24	5.79
29844	-	D-L-R-S: 9; L, $\overline{R}$ , $\overline{S}$ , $\overline{DI}$ , DO, TS	24	5.79
29845	-	D-L-R-S: 8; L, $\overline{R}$ , $\overline{S}$ , DI, DO, TS	24	5.79
29846	-	D-L-R-S: 8; L, $\overline{R}$ , $\overline{S}$ , $\overline{DI}$ , DO, TS	24	5.79
29861	-	TR/RC: 10; $\overline{OE}A$ , $\overline{OE}B$ , DA, DB, TS	24	5.98
29862	-	TR/RC: 10; $\overline{OE}A$ , $\overline{OE}B$ , DA, $\overline{DB}$ , TS	24	5.98
29863	-	TR/RC: 9; $\overline{OE}A$ , $\overline{OE}B$ , DA, DB, TS	24	5.98
29864	-	TR/RC: 9; $\overline{OE}A$ , $\overline{OE}B$ , DA, $\overline{DB}$ , TS	24	5.98
40104	-	RGBS: 4; $\overline{H}$ , TS, PI/PO	16	7.27

\* - ULP (Ultra Low Power)

Таблица П1.5. Зарубежные ИС серий CD4000/МС14000

CD... МС1...	Аналог	Функциональное назначение	m	Номер рисунка	TTL
4000	ЛП4	$\langle 3NOR \rangle \times 2 + NOT$	14	5.30	
4001	ЛЕ5	$\langle 2NOR \rangle \times 4$	14	5.29	
4002	ЛЕ6	$\langle 4NOR \rangle \times 2$	14	5.29	
4003	ТМ1	$\langle D/R; \bar{H}, R, \bar{Q} \rangle \times 2$	14	5.85	
4006	ИР10	$\langle RGS: 4 \setminus RGS: 5 \setminus RGS: 4 \setminus RGS: 5 \rangle; H, SI/SO$	14	7.3	
4007	ЛП1	$\langle COP \rangle \times 2 + NOT$	14	5.30	
4008	ИМ1	ADD: 4	16	6.98	
4009	ПВ2	$\langle CONV H \rightarrow L/NOT \rangle \times 6$	16	5.71	
4010	ПВ3	$\langle CONV H \rightarrow L \rangle \times 6$	16	5.71	
4011	ЛА7	$\langle 2NAND \rangle \times 4$	14	5.29	
4012	ЛА8	$\langle 4NAND \rangle \times 2$	14	5.29	
4013	ТМ2	$\langle D/R-S; H, R, S, \bar{Q} \rangle \times 2$	14	5.85	
4014	-	$RGS: 8; L, \bar{H}, SI/PO$	16	7.14	
4015	ИР2	$\langle RGS: 4; \bar{H}, R \rangle \times 2$	16	7.3	
4016	КТ1	SW: 4	14	6.54	
4017	ИЕ8	CT10; $\bar{H}, R \setminus DC$ 5Bx10	16	7.127	
4018	ИЕ19	CT-RGS: 5; $\bar{H}, L, R, \bar{Q}$	16	7.127	
4019	ЛС2	MUXF 4 $\rightarrow$ 1 $\langle 2OR \rangle \times 4$	16	6.30	
4020	ИЕ16	DIV14; $\bar{H}, A, R, Q0, Q3-Q13$	16	7.149	
4021	-	$RGS: 8; \bar{H}, L, SI/PO$	16	7.14	
4022	ИЕ9	CT8; $\bar{H}, R \setminus DC$ 4Bx8	16	7.127	
4023	ЛА9	$\langle 3NAND \rangle \times 3$	14	5.29	
4024	-	CT12B; $\bar{H}, A, R$	14	7.36	
4025	ЛЕ10	$\langle 3NOR \rangle \times 3$	14	5.29	
4027	ТВ1	$\langle J-K/R-S; \bar{H}, R, S, \bar{Q} \rangle \times 2$	16	5.86	
4028	ИД1	DC 4x10, F	16	6.2	
4029	ИЕ14	CT16/10-U/D; $\bar{H}, L$	16	7.83	
4030	ЛП2	$\langle XOR \rangle \times 4$	14	5.29	
4031	ИР4	$RGS: 64; \bar{H}, SI/SO$	16	7.3	
4032	-	$\langle SADD/SUB \rangle \times 3; R, \bar{H}$	16	6.111	
4034	ИР6	$RGS: 8; L, \bar{H}, L, DA, DB, TS$	24	7.14	
4035	ИР9	$RGS: 4; JS, \bar{K}, L, \bar{H}, R, \hat{Q}$	16	7.14	
4038	-	$\langle SADD/SUB \rangle \times 3; \bar{R}, H$	16	6.111	
4040	ИЕ20	CT112; $\bar{H}, A, R$	16	7.36	
4041	-	$\langle BF/NOT/DRV \rangle \times 4$	14	5.31	
4042	ТМ3	D-L: 4; $\bar{L}1 \odot L2, \bar{Q}$	16	5.76	
4043	ТР2	$\langle R-S; R, S, DO \rangle \times 4; OE, TS$	16	5.74	

Продолжение табл. П1.5

CD... MC1...	Аналог	Функциональное назначение	m	Номер рисунка	ГТЛ
4044	-	$\langle R-S; \bar{R}, \bar{S}, DO \rangle \times 4; OE, TS$	16	5.74	
4045	-	$DIV \uparrow 21; \bar{H}$	16	7.149	
4048	-	$BAND/BOR/BNAND/BNOR/4-4AND-OR/EXP$	16	5.60	
4049	ЛН2	$\langle NOT/DRV/CONV H \rightarrow L \rangle \times 6$	16	5.69	
4050	ПВ4	$\langle CONV H \rightarrow L/DRV \rangle \times 6$	16	5.69	
4051	КТ2	$MUX-DMX B \rightarrow 1/1 \rightarrow B; V_{EE}$	16	6.56	
4052	КТ1	$MUX-DMX 4 \rightarrow 1/1 \rightarrow 4; 2; V_{EE}$	16	6.56	
4053	-	$MUX-DMX 3 \rightarrow 1/1 \rightarrow 3; 3; V_{EE}$	16	6.56	
4059	ИЕ15	$DIVP21327; \bar{H}$	24	7.149	
4060	-	$\langle GM \cdot DIV \uparrow 14; HA \rangle; R$	16	7.149	
4063	-	$CMP: 4; A=B, A < B, A > B$	16	6.81	
4066	КТ3	$SW: 4$	14	6.54	
4067	-	$MUX-DMX 16 \rightarrow 1/1 \rightarrow 16$	24	6.56	
4068	-	$BAND/NOT$	14	5.31	
4069	ЛН4	$\langle NOT \rangle \times 6$	14	5.29	
4070	ЛП14	$\langle XOR \rangle \times 4$	14	5.29	
4071	-	$\langle 2OR \rangle \times 4$	14	5.32	
4072	-	$\langle 4OR \rangle \times 2$	14	5.32	
4073	-	$\langle 3AND \rangle \times 3$	14	5.32	
4074	-	$D/R: 6; \bar{H}, Q$	16	5.68	'174
4075	-	$\langle 3OR \rangle \times 3$	14	5.32	
4076	ИП14	$D-2L/R: 4; \bar{L}, \bar{H}, R, DO, TS$	16	5.91	'173
4077	-	$\langle XNOR \rangle \times 4$	14	5.29	
4078	-	$BOR/NOT$	14	5.31	
4081	ЛМ2	$\langle 2AND \rangle \times 4$	14	5.29	
4082	-	$\langle 4AND \rangle \times 2$	14	5.32	
4085	-	$\langle 1-2-2AND-NOR \rangle \times 2$	14	5.32	
4086	-	$NOT-1-2-2-2-2AND-NOR$	14	5.32	
4089	-	$BRMPL: 4; \bar{H}, R$	16	7.156	
4093	ТЛ1	$\langle 2AND-ST-NOT \rangle \times 4$	14	5.38	
4094	ПР1	$RGS; \bar{H}, S1/SO \cdot RG; L, DO, TS \cdot T; H, SOD$	16	7.8	
4095	-	$\langle 3AND \rangle J - \langle 3AND \rangle K/R-S; H, R, S, \bar{Q}$	14	5.87	
4096	-	$\langle 3AND \rangle J - \langle 3AND \rangle K/R-S; \bar{J}, \bar{K}, \bar{H}, R, S, \bar{Q}$	14	5.87	
4097	-	$MUX-DMX B \rightarrow 1/1 \rightarrow B: 2$	24	6.56	
4098	АГ1	$\langle MVB/R; \bar{R} \rangle \times 2$	16	5.121	
4099	-	$RGA: B; R, \bar{W}, R, Q$	16	6.13	
4106	-	$\langle ST-NOT \rangle \times 6$	14	5.38	'14

Продолжение табл. П1.5

CD... МС1...	Аналог	Функциональное назначение	<i>m</i>	Номер рисунка	ТТЛ
4160	-	CT10; $\bar{L}, \bar{H}, \bar{R}$	16	7.68	'160
4161	ИЕ21	CT16; $\bar{L}, \bar{H}, \bar{R}$	16	7.46	'161
4162	-	CT10; $\bar{L}, \bar{R}, \bar{H}$	16	7.68	'162
4163	-	CT16; $\bar{L}, \bar{R}, \bar{H}$	16	7.46	'163
4174	-	D/R: 6; $\bar{H}, Q$	16	5.88	'174
4175	-	D/R: 4; $\bar{H}, \bar{Q}$	16	5.88	'175
4194	ИР15	RGBS: 4; $\bar{H}, \bar{R}, PI/PO$	16	7.27	'194
4501	-	$\langle 4NAND \rangle \times 2 + 2OR/NOT$	16	5.31	
4502	ЛН1	$\langle NOT/DRV \rangle \times 6; E, \bar{OE}$	16	5.62	
4503	ЛН3	$\langle BD: 4+BD: 2 \rangle; \bar{DO}, TS$	16	5.62	'367
4504	-	CONV L $\leftrightarrow$ H: 6	16	5.73	
4506	-	$\langle 2-2AND-NOR; E \rangle \times 2; E, TS$	16	5.60	
4508	-	$\langle D-L-R: 4; L, R, DO, TS \rangle \times 2$	24	5.78	
4510	-	CT10-U/D; $\bar{H}, L, R$	16	7.83	
4512	КТ3	MUX 8 $\rightarrow$ 1; $\bar{E}, \bar{OE}, DO, TS$	16	6.25	
4514	-	DMX-RGAR 1 $\rightarrow$ 16; L, F	24	6.9	
4515	-	DMX-RGAR 1 $\rightarrow$ 16; L, $\bar{F}$	24	6.9	
4516	ИЕ11	CT16-U/D; $\bar{H}, L, R$	16	7.74	
4518	-	$\langle CT10; \hat{H}, R \rangle \times 2$	16	7.68	
4519	КТ4	MUXF 4 $\rightarrow$ 1 $\langle XNOR \rangle \times 4$	16	6.30	
4520	ИЕ10	$\langle CT16; \hat{H}, R \rangle \times 2$	16	7.46	
4527	-	DRMPL; $\bar{H}, R$	16	7.156	
4528	-	$\langle MVB; \bar{R} \rangle \times 2$	16	5.121	
4529	-	MUX-DMX 4 $\rightarrow$ 1/1 $\rightarrow$ 4:2	16	6.56	
4530	-	$\langle 5ME; \bar{F} \rangle \times 2$	16	6.125	
4532	-	PRCD 8 $\times$ 3	16	6.58	
4538	-	$\langle MVB; \bar{R} \rangle \times 2$	16	5.121	
4539	-	MUX 4 $\rightarrow$ 1:2; DO	16	6.24	'153
4548	-	$\langle MVB; \bar{R} \rangle \times 2$	16	5.121	
4551	-	MUX-DMX 2 $\rightarrow$ 1/1 $\rightarrow$ 2:4; $V_{EE}$	16	6.56	
4554	ИГ5	MPL: 2 $\times$ 2	16	6.130	
4555	ИД6	$\langle DMX 1 \rightarrow 4; F \rangle \times 2$	16	6.7	
4556	ИД7	$\langle DMX 1 \rightarrow 4; \bar{F} \rangle \times 2$	16	6.7	'139
4557	-	RGS: 1-64; $\hat{H}, R, S1/S0$	16	7.6	
4560	-	ADD-BCD: 1	16	6.109	
4561	-	CONV 9-X	14	6.109	
4562	-	RGS: 128; $\bar{H}, S1/S0: 8$	14	7.3	

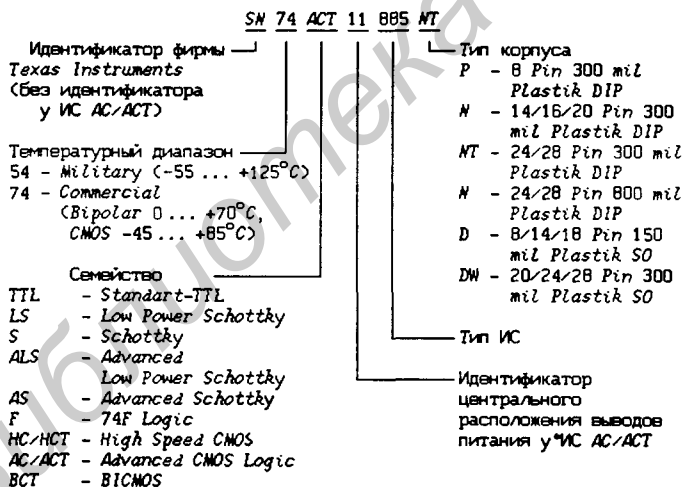
Окончание табл. П1.2

CD... MC1...	Аналог	Функциональное назначение	m	Номер рисунка	ТТЛ
4572	-	$\langle NOT \rangle \times 4 + 2NAND + 2NOR$	16	5.31	
4581	ИП3	ALU: 4	24	6.113	'181
4582	ИП4	CRU: 4	16	6.116	'182
4583	-	$\langle ST/ST-NOT \rangle \times 2; F, OE, \overline{DO}, TS$	16	5.39, а	
4584	-	$\langle ST-NOT \rangle \times 6$	14	5.38	'14
4585	ИП2	CMP: 4; A=B, A<B, A>B	16	6.81	
4598	-	RGA: 8; $\overline{R}$ , WR, DO, TS	18	6.16	
4599	-	RGA: 8; R, $\overline{WE}$ , $\overline{RD}$ , Q	18	6.16	
40100	-	RGBS: 32	16	7.27	
40102	-	DIVP100-D; $\overline{SL}$ , $\overline{H}$ , $\overline{AL}$ , $\overline{SR}$	16	7.149	
40103	-	DIVP256-D; $\overline{SL}$ , $\overline{H}$ , $\overline{AL}$ , $\overline{S}$	16	7.149	
40104	-	RGBS: 4; $\overline{H}$ , TS, PI/PO	16	7.27	
40106	-	$\langle ST-NOT \rangle \times 6$	14	5.38	'14
40107	ЛА10	$\langle 2NAND/DRV \rangle \times 2$	14	5.56, в	
40109	ПУ6	$\langle CONV L \leftrightarrow H; DO, TS \rangle \times 5; V_{CC}$	16	5.73	
40160	-	CT10; $\overline{L}$ , $\overline{H}$ , $\overline{R}$	16	7.68	'160
40161	-	CT18; $\overline{L}$ , $\overline{H}$ , $\overline{R}$	16	7.46	'161
40162	-	CT10; $\overline{L}$ , $\overline{R}$ , $\overline{H}$	16	7.68	'162
40163	-	CT16; $\overline{L}$ , $\overline{R}$ , $\overline{H}$	16	7.46	'163
40174	-	D/R: 6; $\overline{H}$ , Q	16	5.88	'174
40181	-	ALU: 4	24	6.113	'181
40182	-	CRU: 4	16	6.116	'182
40192	-	CT10-U/D; $\overline{HU}$ , $\overline{HD}$ , $\overline{L}$ , R	16	7.115	'192
40193	-	CT16-U/D; $\overline{HU}$ , $\overline{HD}$ , $\overline{L}$ , R	16	7.115	'193
40194	-	RGBS: 4; $\overline{H}$ , $\overline{R}$ , PI/PO	16	7.27	'194
40257	-	MUX 2 → 1: 4; DO, TS	16	6.25	'257

## Приложение 2

### Параметры интегральных схем

Основное назначение ИС и некоторые их свойства как промышленных изделий заключены в символическом обозначении, наносимом на корпус. Маркировка ИС семейства *SN54/SN74* фирмы *Texas Instruments* показана на следующем рисунке:



Электрические и динамические параметры ИС серий *SN74*, *CD4000* и *MC14000*, приведены в табл. П2.1 – П2.3. Составлены эти таблицы на основе зарубежных справочников [27] — табл. П2.1, [36, 37, 39] — табл. П2.2 и [40, 41] — табл. П2.3. Определения электрических параметров  $I_{OL}$ ,  $I_{OH}$ ,  $I_{IL}$ ,  $I_{IH}$ ,  $V_{OL}$ ,  $V_{OH}$  и динамических параметров  $t_{PLH}$  и  $t_{PHL}$  даны в § 5.1. Задержки сигналов  $t_{PLH}$  и  $t_{PHL}$  между парами входов и выходов, имеющих различное назначение, как правило, отличаются друг от

друга, поэтому в табл. П2.1 – П2.3 часто указываются конкретные пары сигналов (см., например, ИС *SN74LS56* в табл. П2.1 — символом *Q* обозначен любой разряд *Q<sub>r</sub>* делителей частоты; такой способ обозначения разрядов используется и для других сигналов).

В табл. П2.1 приведены также параметры:  $I_{CC}$  — ток потребления от источника питания  $V_{CC} = 5$  В;  $f_C$  — частота тактового сигнала для синхронных устройств (для асинхронных потенциальных устройств в этой графе указана минимальная длительность  $t_W$  активного уровня сигнала управления, например, сигнала загрузки  $L$  или  $\bar{L}$ );  $t_{SU}$  ( $SU$  — *Set Up-Time*) — время предустановки значений информационных сигналов относительно воздействия тактового сигнала или относительно перехода асинхронного потенциального управляющего сигнала из неактивного на активный уровень (например, сигнала загрузки  $L$ );  $t_H$  ( $H$  — *Halt-Time*) — время удержания значений информационных сигналов после начала воздействия управляющего сигнала. В графе  $V_{OH}$  приведены максимально допустимые значения напряжения ИС, имеющих открытый коллекторный выход. Эта же графа использована для указания минимального и типового значений петли гистерезиса триггеров Шмитта (см. ИС *SN7413*), а также тока потребления ИС  $I_{CCZ}$  в  $Z$ -состоянии выходов (см. ИС *SN74LS240*). Ток потребления ИС, изготавливаемых по КМОП технологии, в статическом режиме пренебрежимо мал по сравнению с током потребления в динамическом режиме на высоких частотах переключения входных сигналов, поэтому в графе  $I_{CC}$  для этих ИС приведены значения эквивалентной емкостной нагрузки  $C_{PD}$ , определяющей ток потребления  $P_{SP} = C_{PD} V_{CC}^2 f_I$  ( $V_{CC}$  — напряжение питания,  $f_I$  — частота входного сигнала). Полная мощность потребления определяется соотношением  $P = P_{ST} + P_{CL} + P_{SP}$ , где  $P_{ST}$  — мощность, потребляемая ИС в статическом режиме (учитывается только при использовании батарейного питания);  $P_{CL} = C_L V_{CC}^2 f_O$  — мощность потребления, обусловленная внешней емкостной нагрузкой ( $C_L$  — емкость внешней нагрузки,  $f_O$  — частота выходного сигнала).

В табл. П2.2 приведены значения выходных напряжений  $V_{OH}$  и  $V_{OL}$  при указанных значениях выходных токов  $I_{OH}$  и  $I_{OL}$  (*cond* — *condition* — условие;  $V^* = V_{CC} - 2$  В). Некоторые ИС серии *SN74ALS* изготавливаются в трех вариантах: *SN74ALS*×××, *SN74ALS*×××-1 и *SN74ALS*×××-2. Для второго и третьего варианта (наличие этих ИС в графе  $V_{OL}/I_{OL}$  отмечено цифрами <sup>1</sup> и <sup>2</sup>) значения выходного тока  $I_{OL}$  в два и



полтора раза больше, чем у ИС первого варианта, приведенного в табл. П2.2. В графе  $I_{CCH}/I_{CCL}$  указаны значения токов потребления при высоких ( $I_{CCH}$ ) и низких ( $I_{CCL}$ ) уровнях выходных сигналов, а для ИС с  $Z$ -состоянием выходов — значения токов  $I_{CCH}/I_{CCL}/I_{CCZ}$  ( $I_{CCZ}$  — ток потребления в  $Z$ -состоянии выходов). Числа, помеченные символом \*, означают максимальное значение соответствующего параметра. Для ИС серии  $SN74HC$  приведено максимальное значение тока потребления  $I_{CC}$  в диапазоне температур  $-40 \dots +85^\circ\text{C}$  (при  $25^\circ\text{C}$  ток потребления в 10 раз меньше). В графе  $t_{PHL}$  для синхронных устройств приведены минимальное и типовое значения ( $min/typ$ ) частоты тактового сигнала  $f_C$ . В графе  $t_{PLH}$  для счетчиков указываются задержки от входа тактового сигнала до выхода переноса или до выходов триггеров, если перенос не формируется, при указанных значениях внешней нагрузки  $C_L/R_L$ . Для ИС серий  $SN74HC$  и  $SN74LS$  приведены значения  $typ/max$  задержек  $t_{PLH}$  и  $t_{PHL}$  при напряжении питания  $V_{CC} = +5\text{ В}$ , а не значения  $min/max$ . В графе  $C_L/R_L$  для триггеров Шмитта указаны типовые значения порогов срабатывания  $V_P/V_N$  ( $typ/typ$ ) при напряжении питания  $V_{CC} = +5\text{ В}$ .

В табл. П2.3 цифрами <sup>1</sup> и <sup>2</sup> отмечены справочники [40] и [41], послужившие основой для ее составления. В графах  $I_{OH}/V_{OH}$  и  $I_{OL}/V_{OL}$  приведены значения токов  $I_{OH}$  и  $I_{OL}$  при условии (*cond* — *condition*) заданных значений выходных напряжений  $V_{OH}$  и  $V_{OL}$ . Параметр  $t_P$  означает максимальное значение параметров  $t_{PHL}$  и  $t_{PLH}$ , а параметр  $t_{PZ}$  — максимальное значение параметров  $t_{PZH}$  (задержка изменения  $Z$ -состояния на высокий уровень выходного сигнала),  $t_{PZL}$  (задержка изменения  $Z$ -состояния на низкий уровень выходного сигнала),  $t_{P LZ}$  (задержка изменения низкого уровня выходного сигнала на  $Z$ -состояние),  $t_{P HZ}$  (задержка изменения высокого уровня выходного сигнала на  $Z$ -состояние). В графе  $t_{PZ}$  для ИС, не имеющих  $Z$ -состояния выходов, дополнительно указывается параметр  $t_P$  для некоторой пары сигналов. Для аналоговых ключей и мультиплексоров-демультиплексоров приводятся типовое и максимальное значения сопротивления открытого ключа ( $typ/max$ ). Для порогов срабатывания  $V_P$  и  $V_N$  триггеров Шмитта указаны минимальное и типовое значения ( $min/typ$ ) или только типовое значение.

Таблица П2.1. Параметры ИС серий SN74

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
00 ЛАЗ	TTL	8	-0,4	16	-1,6	-	22	15	-	-	-
	LS	1,6	-0,4	8	-0,4	-	15	15	-	-	-
	S	15	-1	20	-2	-	4,5	5	-	-	-
	ALS	1	-0,4	8	-0,1	-	11	8	-	-	-
	AS	6,4	-2	20	-0,5	-	4,5	4	-	-	-
	F	4,4	-1	20	-0,6	-	6	5,3	-	-	-
	HC	20 пФ	-4	4	-1 мкА	-	23	23	-	-	-
	AC	33 пФ	-24	24	-1 мкА	-	7,4	6,8	-	-	-
	ACT	23 пФ	-24	24	-1 мкА	-	12,3	8,8	-	-	-
01 ЛАЗ	TTL	8	0,25	16	-1,6	5,5	55	15	-	-	-
	LS	1,6	0,1	8	-0,4	5,5	32	28	-	-	-
	ALS	1,03	0,1	8	-0,1	5,5	54	28	-	-	-
	HC	20 пФ	5 мкА	4	-1 мкА	6	31	25	-	-	-
02 ЛЕ1	TTL	11	-0,4	16	-1,6	-	22	15	-	-	-
	LS	2,2	-0,4	8	-0,4	-	15	15	-	-	-
	S	21,5	-1	20	-2	-	5,5	5,5	-	-	-
	ALS	1,5	-0,4	8	-0,1	-	12	10	-	-	-
	AS	8,1	-2	20	-0,5	-	4,5	4,5	-	-	-
	F	6,2	-1	20	-0,6	-	6,5	5,3	-	-	-
	HC	22 пФ	-4	4	-1 мкА	-	23	23	-	-	-
	AC	32 пФ	-24	24	-1 мкА	-	6,9	6,4	-	-	-
	ACT	29 пФ	-24	24	-1 мкА	-	10,6	8,7	-	-	-
03 ЛАЗ	TTL	8	0,25	16	-1,6	5,5	45	15	-	-	-
	LS	1,6	0,1	8	-0,4	5,5	32	28	-	-	-
	S	13	0,25	20	-2	5,5	7,5	7	-	-	-
	ALS	1,0	0,1	8	-0,1	5,5	50	13	-	-	-
	HC	20 пФ	5 мкА	4	-1 мкА	6	31	25	-	-	-
04 ЛН1	TTL	12	-0,4	16	-1,6	-	22	15	-	-	-
	LS	2,4	-0,4	8	-0,4	-	15	15	-	-	-
	S	22,5	-1	20	-2	-	4,5	5	-	-	-
	ALS	1,8	-0,4	8	-0,1	-	11	8	-	-	-
	AS	8,5	-2	20	-0,5	-	5	4	-	-	-
	F	6,5	-1	20	-0,6	-	6	5,3	-	-	-
	HC	20 пФ	-4	4	-1 мкА	-	24	24	-	-	-
	HCST	20 пФ	-4	4	-1 мкА	-	25	25	-	-	-
	AC	29 пФ	-24	24	-1 мкА	-	7,1	6	-	-	-
ACT	32 пФ	-24	24	-1 мкА	-	9,7	9,6	-	-	-	
05 ЛН2	TTL	12	0,25	16	-1,6	5,5	55	15	-	-	-
	LS	2,4	0,1	8	-0,4	5,5	32	28	-	-	-
	S	19,5	0,25	20	-2	5,5	7,5	7	-	-	-
	ALS	1,8	0,1	8	-0,1	5,5	54	14	-	-	-
HC	20 пФ	5 мкА	4	-1 мкА	6	29	21	-	-	-	
06 ЛН3	TTL	31	0,25	40	-1,6	30	15	23	-	-	-
07 ЛН9	TTL	25	0,25	40	-1,6	30	10	30	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
08 ЛМ1	TTL	15,5	-0,8	16	-1,6	-	27	19	-	-	-
	LS	3,4	-0,4	8	-0,4	-	15	20	-	-	-
	S	25	-1	20	-2	-	7	7,5	-	-	-
	ALS	1,8	-0,4	8	-0,1	-	14	10	-	-	-
	AS	10,4	-2	20	-0,5	-	5,5	5,5	-	-	-
	F	7,1	-1	20	-0,6	-	6,6	6,3	-	-	-
	HC	20 пФ	-4	4	-1 мкА	-	25	25	-	-	-
	ACT	29 пФ	-24	24	-1 мкА	-	6,9	6,5	-	-	-
	ACT	29 пФ	-24	24	-1 мкА	-	9	8,2	-	-	-
09 ЛМ2	TTL	15,5	0,25	16	-1,6	5,5	32	24	-	-	-
	LS	3,4	0,1	8	-0,4	5,5	35	35	-	-	-
	S	25	0,25	20	-2	5,5	10	10	-	-	-
	ALS	1,8	0,1	8	-0,1	5,5	54	15	-	-	-
	HC	20 пФ	5 мкА	4	-1 мкА	6	31	25	-	-	-
10 ЛА4	TTL	6	-0,4	16	-1,6	-	22	15	-	-	-
	LS	1,2	-0,4	8	-0,4	-	15	15	-	-	-
	S	11,3	-1	20	-2	-	4,5	5	-	-	-
	ALS	0,8	-0,4	8	-0,1	-	11	10	-	-	-
	AS	4,8	-2	20	-0,5	-	4,5	4,5	-	-	-
	F	3,3	-1	20	-0,6	-	6	5,3	-	-	-
	HC	25 пФ	-4	4	-1 мкА	-	24	24	-	-	-
	ACT	23 пФ	-24	24	-1 мкА	-	6,7	7	-	-	-
	ACT	24 пФ	-24	24	-1 мкА	-	8,9	8,2	-	-	-
11 ЛМ3	LS	2,6	-0,4	8	-0,4	-	15	20	-	-	-
	S	18,8	-1	20	-2	-	7	7,5	-	-	-
	ALS	1,3	-0,4	8	-0,1	-	13	10	-	-	-
	AS	7,8	-2	20	-0,5	-	6	5,5	-	-	-
	F	5,3	-1	20	-0,6	-	6,6	6,5	-	-	-
	HC	25 пФ	-4	4	-1 мкА	-	25	25	-	-	-
	ACT	23 пФ	-24	24	-1 мкА	-	-	-	-	-	-
		ACT	28 пФ	-24	24	-1 мкА	-	9,6	8,7	-	-
12 ЛА10	TTL	6	0,25	16	-1,6	5,5	45	15	-	-	-
	LS	1,3	0,1	8	-0,4	5,5	32	28	-	-	-
	ALS	0,8	0,1	8	-0,1	5,5	54	18	-	-	-
13 ТЛ1	TTL	17	-0,8	16	-1,6	0,4 В	27	22	-	-	-
	LS	3,5	-0,4	8	-0,4	0,8 В	22	27	-	-	-
14 ТЛ2	TTL	30,5	-0,8	16	-1,2	-	22	22	-	-	-
	LS	10,3	-0,4	8	-0,4	-	22	22	-	-	-
	HC	20 пФ	-4	4	-1 мкА	-	31	31	-	-	-
15 ЛМ4	LS	2,6	0,1	8	-0,4	5,5	35	35	-	-	-
	S	17,3	0,25	20	-2	5,5	8,5	9	-	-	-
	ALS	1,3	0,1	8	-0,1	5,5	45	20	-	-	-
16 ЛМ5	TTL	31	0,25	40	-1,6	15	15	23	-	-	-
17 ЛЛ4	TTL	25	0,25	40	-1,6	15	10	30	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
18	LS	4,5	-0,4	8	-0,05	0,4 В 0,9 В	20	55	-	-	-
19	LS	13,5	-0,4	8	-0,05	0,4 В 0,9 В	20	30	-	-	-
20 ЛА1	TTL	4	-0,4	16	-1,6	-	22	15	-	-	-
	LS	0,8	-0,4	8	-0,4	-	15	15	-	-	-
	S	7,5	-1	20	-2	-	4,5	5	-	-	-
	ALS	0,5	-0,4	8	-0,1	-	11	10	-	-	-
	AS	3,2	-2	20	-0,5	-	5	4,5	-	-	-
	F	2,2	-1	20	-0,6	-	6	5,3	-	-	-
	HC	20 пФ	-4	4	-1 мкА	-	28	28	-	-	-
	AC ACT	19 пФ 27 пФ	-24 -24	24 24	-1 мкА -1 мкА	-	6,7 9,1	7,3 9,2	-	-	-
21 ЛМ6	LS	1,7	-0,4	8	-0,4	-	15	20	-	-	-
	ALS	1,1	-0,4	8	-0,1	-	15	10	-	-	-
	AS	5,2	-2	20	-0,5	-	6	6	-	-	-
	F	4,7	-1	20	-0,6	-	5,3	5,5	-	-	-
	HC	38 пФ	-4	4	-1 мкА	-	28	28	-	-	-
	AC ACT	38 пФ 37 пФ	-24 -24	24 24	-1 мкА -1 мкА	-	8,8 9,8	6,9 8,9	-	-	-
22 ЛА7	TTL	4	0,25	16	-1,6	5,5	45	15	-	-	-
	LS	0,8	0,1	8	-0,4	5,5	32	28	-	-	-
	S	6,5	0,25	20	-2	5,5	7,5	7	-	-	-
	ALS	0,5	0,1	8	-0,1	5,5	45	18	-	-	-
23	TTL	9	-0,8	16	-1,6	-	22	15	-	-	-
24	LS	8,8	-0,4	8	-0,05	0,4 В 0,9 В	20	40	-	-	-
25	TTL	9	-0,8	16	-1,6	-	22	15	-	-	-
26 ЛА11	TTL	8	1	16	-1,6	15	24	17	-	-	-
	LS	1,6	1	8	-0,4	15	32	28	-	-	-
27 ЛЕ4	TTL	13	-0,8	16	-1,6	-	15	11	-	-	-
	LS	2,7	-0,4	8	-0,4	-	15	15	-	-	-
	ALS	1,5	-0,4	8	-0,1	-	15	9	-	-	-
	AS	7,3	-2	20	-0,5	-	5,5	4,5	-	-	-
	F	6,1	-1	20	-0,6	-	5,5	4,5	-	-	-
	HC	27 пФ	-4	4	-1 мкА	-	23	23	-	-	-
	AC	24 пФ	-24	24	-1 мкА	-	7,7	8,1	-	-	-
	ACT	27 пФ	-24	24	-1 мкА	-	10,1	9,4	-	-	-
28 ЛЕ5	TTL	22,5	-2,4	48	-1,6	-	9	12	-	-	-
	LS	4,4	-1,2	24	-0,4	-	24	24	-	-	-
	ALS	3,7	-2,6	24	-0,1	-	8	7	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
30 ЛА2	TTL	2	-0,4	16	-1,6	-	22	15	-	-	-
	LS	0,48	-0,4	8	-0,4	-	15	20	-	-	-
	S	4,3	-1	20	-2	-	6	7	-	-	-
	ALS	0,38	-0,4	8	-0,1	-	10	12	-	-	-
	AS	2	-2	20	-0,5	-	5	4,5	-	-	-
	F	1,5	-1	20	-0,6	-	5,5	5	-	-	-
	HC	22 пФ	-4	4	-1 мкА	-	33	33	-	-	-
	ACT	42 пФ	-24	24	-1 мкА	-	7,2	7,4	-	-	-
	41 пФ	-24	24	-1 мкА	-	8,5	8,7	-	-	-	
31 -	LS	7,7	-0,4	8	-0,2	-	-	-	-	-	-
32 ЛЛ1	TTL	19	-0,8	16	-1,6	-	15	22	-	-	-
	LS	4	-0,4	8	-0,4	-	22	22	-	-	-
	S	28	-1	20	-2	-	7	7	-	-	-
	ALS	2,3	-0,4	8	-0,1	-	14	12	-	-	-
	AS	11,9	-2	20	-0,5	-	5,8	5,8	-	-	-
	F	8,2	-1	20	-0,6	-	6,6	6,3	-	-	-
	HC	20 пФ	-4	4	-1 мкА	-	25	25	-	-	-
	ACT	24 пФ	-24	24	-1 мкА	-	6,7	5,9	-	-	-
	25 пФ	-24	24	-1 мкА	-	9	8	-	-	-	
33 ЛЕ11	TTL	22,5	0,25	48	-1,6	5,5	15	18	-	-	-
	LS	4,3	0,25	24	-0,4	5,5	32	28	-	-	-
	ALS	3,7	0,1	24	-0,1	5,5	33	12	-	-	-
34 ЛМ9	ALS	4,1	-0,4	8	-0,1	-	15	10	-	-	-
	AS	14,4	-2	20	-0,1	-	5,5	6	-	-	-
	ACT	27 пФ	-24	24	-1 мкА	-	6,9	6,8	-	-	-
		29 пФ	-24	24	-1 мкА	-	9,9	8,9	-	-	-
35 -	ALS	3,4	0,1	8	-0,1	5,5	50	14	-	-	-
36 -	HC	20 пФ	-4	4	-1 мкА	-	25	25	-	-	-
37 ЛА12	TTL	21,5	-1,2	48	-1,6	-	22	15	-	-	-
	LS	3,5	-1,2	24	-0,4	-	24	24	-	-	-
	S	33	3,0	60	-4	-	6,5	6,5	-	-	-
	ALS	2,8	2,6	24	-0,1	-	8	7	-	-	-
38 ЛА13	TTL	19,5	0,25	48	-1,6	5,5	22	18	-	-	-
	LS	3,5	0,25	24	-0,4	5,5	32	28	-	-	-
	S	33	0,25	60	-4	5,5	10	10	-	-	-
	ALS	2,8	0,1	24	-0,1	5,5	33	12	-	-	-
39 -	TTL	54	0,25	80	-1,6	5,5	22	18	-	-	-
40 ЛА6	TTL	10,5	-1,2	48	-1,6	-	22	15	-	-	-
	LS	1,8	-1,2	24	-0,4	-	24	24	-	-	-
	S	17,5	-3	60	-4	-	6,5	6,5	-	-	-
	ALS	1,4	-2,6	24	-0,1	-	8	7	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
42 ИД6	TTL	28	-0,8	16	-1,6	-	30	30	-	-	-
	LS	7	-0,4	8	-0,4	-	30	30	-	-	-
	HC	39 пФ	-4	4	-1 мкА	-	38	38	-	-	-
45 -	TTL	43	1,0	80	-1,6	30	50	50	-	-	-
46 -	TTL	64	0,25	40	-1,6	30	100	100	-	-	-
47 -	TTL	64	0,25	40	-1,6	15	100	100	-	-	-
	LS	7	0,25	24	-0,4	15	100	100	-	-	-
48 -	TTL	53	-0,4	6,4	-1,6	-	100	100	-	-	-
	LS	25	-0,1	6	-0,4	-	100	100	-	-	-
49 П14	LS	8	0,25	8	-0,1	5,5	100	100	-	-	-
50 ЛР1	TTL	5,7	-0,4	16	-1,6	-	22	15	-	-	-
51 ЛР11	TTL	5,7	-0,4	16	-1,6	-	22	15	-	-	-
	LS	1,1	-0,4	8	-0,4	-	20	20	-	-	-
	S	10,9	-1	20	-2	-	5,5	5,5	-	-	-
	HC	25 пФ	-4	4	-1 мкА	-	35	35	-	-	-
53 ЛР3	TTL	4,6	-0,4	16	-1,6	-	22	15	-	-	-
54 ЛР13	TTL	4,6	-0,4	16	-1,6	-	22	15	-	-	-
	LS	0,9	-0,4	8	-0,4	-	20	20	-	-	-
55 ЛР4	LS	0,6	-0,4	8	-0,4	-	20	20	-	-	-
56 -	LS	17	-1,0	16	-3,2	-	$C1 \rightarrow Q$ 25	$C2 \rightarrow Q$ 35	15	25	-
57 -	LS	17	-1,0	16	-3,2	-	$C1 \rightarrow Q$ 30	$C2 \rightarrow Q$ 35	15	25	-
63 -	LS	8	-0,4	8	-	-	45	25	-	-	-
64 ЛР9	S	7,8	-1	20	-2	-	5,5	5,5	-	-	-
65 ЛР10	S	7,3	0,25	20	-2	5,5	7,5	8,5	-	-	-
68 -	LS	36	-1,0	16	-1,2	-	$C1 \rightarrow Q$ 21	$C2 \rightarrow Q$ 29	40	25	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
69 -	LS	36	-1,0	16	-1,2	-	C1 → Q 21	C2 → Q 54	50	25	-
70 -	TTL	13	-0,4	16	-3,2	-	C → Q 50	R → Q 50	20	20	5
72 ТВ1	TTL	10	-0,4	16	-3,2	-	C → Q 40	R → Q 40	15	0	0
73 -	TTL LS HC	10 4 30 пФ	-0,4 -0,4 -4	16 8 4	-3,2 -0,8 -1 мкА	- - -	C → Q 40 20 39	R → Q 40 20 39	15 30 25	0 20 30	0 0 0
74 ТМ2	TTL LS S ALS AS F HC HCT AC ACT	17 4 15 2,4 10,5 10,5 35 пФ 35 пФ 30 пФ 30 пФ	-0,4 -0,4 -1 -0,4 -2 -1 -4 -4 -24 -24	16 8 20 8 20 20 4 4 24 24	-3,2 -0,8 -6 -0,4 -1,8 -1,8 -1 мкА -1 мкА -1 мкА -1 мкА	- - - - - - - - - -	C → Q 40 40 9 18 9 9,2 44 35 8,2 9,4	R → Q 40 40 13,5 15 10,5 10,5 58 44 9 12,5	15 25 75 34 105 100 25 22 125 100	20 20 3 15 4,5 3 25 15 3,5 4,5	5 5 2 0 0 1 0 0 0 0
75 ТМ7	TTL LS HC	32 6,3 46 пФ	-0,4 -0,4 -4	16 8 4	-6,4 -1,6 -1 мкА	- - -	L → Q 30 18 33	D → Q 40 19 30	$t_{w,HC}$ 20 20 20	20 20 25	5 5 5
76 ТВ3	TTL LS HC	20 4 36 пФ	-0,4 -0,4 -4	16 8 4	-3,2 -0,8 -1 мкА	- - -	C → Q 40 20 36	R → Q 40 20 39	15 30 25	0 25 38	0 0 0
77 ТМ5	HC	16 пФ	-4	4	-1 мкА	-	L → Q 30	D → Q 33	$t_{w,HC}$ 20	25	5
78 -	LS HC	4 36 пФ	-0,4 -4	8 4	-1,6 -1 мкА	- -	C → Q 20 32	R → Q 20 39	30 25	20 30	0 0
82 ИМ2	TTL	35	-0,4	16	-6,4	-	C <sub>0</sub> → S <sub>0</sub> 40	B <sub>1</sub> → S <sub>1</sub> 40	-	-	-
83 ИМ3	TTL LS	66 22	-0,8 -0,4	16 8	-1,6 -0,8	- -	B <sub>1</sub> → S <sub>1</sub> 24 24	C <sub>0</sub> → C <sub>4</sub> 16 22	- -	- -	- -
85 СП1	TTL LS	55 10,4	-0,4 -0,4	16 8	-4,8 -1,2	- -	B → F 35 45	I → F 20 26	- -	- -	- -

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
85 СП1	S НС	73 80 пФ	-1 -4	20 4	-6 -1 мкА	- -	B → F 16,5 58	I → F 10,5 50	- -	- -	- -
86 ЛП5	TTL	30	-0,8	16	-1,6	-	30	22	-	-	-
	LS	6,1	-0,4	8	-0,8	-	30	22	-	-	-
	S	50	-1	20	-2	-	10,5	10,5	-	-	-
	ALS	3,9	-0,4	8	-0,1	-	17	12	-	-	-
	AS НС	16,5 35 пФ	-2 -4	20 4	-0,1 -1 мкА	- -	3,6 25	3,5 25	- -	- -	- -
90 ИЕ2	TTL	26	-0,8	16	-3,2	-	C1 → Q0 18	C2 → Q3 35	32	25	-
	LS	9	-0,4	8	-1,6	-	18	35	32	25	-
91 -	LS	12	-0,4	8	-0,4	-	40	40	10	25	0
92 ИЕ4	TTL	26	-0,8	16	-3,2	-	C1 → Q0 18	C2 → Q3 35	32	25	0
	LS	9	-0,4	8	-1,6	-	18	35	32	25	0
93 ИЕ5	TTL	26	-0,8	16	-3,2	-	C1 → Q0 18	C2 → Q3 51	32	25	-
	LS	9	-0,4	8	-1,6	-	18	51	32	25	-
95 ИП1	TTL	39	-0,8	16	-3,2	-	27	32	25	15	0
	LS	13	-0,4	8	-0,4	-	27	32	25	20	10
	AS	23,5	-2	20	-1	-	10	9,5	100	2	3
96 -	TTL	48	-0,4	16	-1,6	-	40	55	10	30	0
	LS	12	-0,4	8	-0,4	-	40	55	25	30	0
97 ИЕ8	TTL	69	-0,4	16	-1,6	-	C → Y 39	R → Y 36	25	25	20
100 -	TTL	64	-0,4	16	-12,8	-	D → Q 30	L → Q 30	$t_w, HC$ 20	20	5
107 ТБ6	TTL	10	-0,4	16	-3,2	-	C → Q 40	R → Q 40	15	0	0
	LS	4	-0,4	8	-0,8	-	20	20	30	25	20
	НС	35 пФ	-4	4	-1 мкА	-	32	39	25	25	0
109 ТБ15	TTL	9	-0,8	16	-4,8	-	C → Q 28	R → Q 35	25	10	6
	LS	4	-0,4	8	-0,8	-	40	40	25	35	5
	ALS	2,4	-0,4	8	-0,4	-	18	15	34	15	0
	AS	11,5	-2	20	-1,8	-	9	10,5	105	5,5	0
	F	11,7	-1	20	-1,8	-	9,2	10,5	90	3	1
	НС	35 пФ	-4	4	-1 мкА	-	44	58	25	25	0
	AC	32 пФ	-24	24	-1 мкА	-	8,8	9,6	100	4,5	0
	ACT	31 пФ	-24	24	-1 мкА	-	9,1	11,8	100	5,5	0



Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PHL}$ , нс (max)	$t_{PLH}$ , нс (max)	$f_c$ , МГц (m/n)	$t_{su}$ , нс (m/n)	$t_{H}$ , нс (m/n)
111	TTL	14	-0,8	16	-4,8	-	C → Q 30	R → Q 30	20	0	30
112 TB9	LS	4	-0,4	8	-0,8	-	C → Q 20	R → Q 20	30	25	0
	S	15	-1	20	-7	-	7	7	80	7	0
	ALS	2,5	-0,4	8	-0,4	-	19	18	30	22	0
	F	12	-1	20	-3	-	7,5	7,5	100	5	0
HC	35 нФ	-4	4	-1 мкА	-	31	41	20	25	0	
113 TB10	LS	4	-0,4	8	-0,8	-	C → Q 20	R → Q 20	30	20	20
	S	15	-1	20	-7	-	7	7	80	7	0
	ALS	2,5	-0,4	8	-0,4	-	19	18	30	22	0
	F	12	-1	20	-3	-	7	7	100	5	0
HC	35 нФ	-4	4	-1 мкА	-	35	41	25	25	0	
114 TB11	LS	4	-0,4	8	-1,6	-	C → Q 20	R → Q 20	30	25	0
	S	15	-1	20	-14	-	7	7	80	7	0
	ALS	2,5	-0,4	8	-0,4	-	19	18	30	22	0
	F	12	-1	20	-3	-	8,5	7,5	90	5	0
HC	50 нФ	-4	4	-1 мкА	-	44	44	20	25	0	
116	TTL	50	-0,8	16	-2,4	-	D → Q 18	L → Q 30	$t_{w,HC}$ 18	8	8
120	TTL	51	-2,4	48	-3,2	-	C → Y 25	C → $\bar{Y}$ 16	-	-	-
121	AG1	TTL	18	-0,4	16	-3,2	-	-	$t_{w,HC}$ 50	-	-
122	TTL	23	-0,8	16	-3,2	-	-	-	40	-	-
	LS	6	-0,4	8	-0,4	-	-	-	40	-	-
123	TTL	46	-0,8	16	-3,2	-	-	-	$t_{w,HC}$ 40	-	-
	LS	6	-0,4	8	-0,4	-	-	-	40	-	-
124	S	105	-1	20	-2	-	-	-	60	-	-
125 ЛП8	TTL	32	-5,2	16	-1,6	-	18	25	-	-	-
	LS	11	-2,6	24	-0,4	-	18	25	-	-	-
	HC	45 нФ	-6	6	-1 мкА	-	30	30	-	-	-
126	TTL	36	-5,2	16	-1,6	-	18	25	-	-	-
	LS	12	-2,6	24	-0,4	-	18	35	-	-	-
	HC	45 нФ	-6	6	-1 мкА	-	30	30	-	-	-
128 ЛЕ6	TTL	22,5	-42,4	48	-1,6	-	9	12	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$t_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
130 -	TTL	46	-0,8	16	-3,2	-	-	-	40	-	-
131 -	ALS AS	5 15,5	-0,4 -2	8 20	-0,1 -0,5	-	C → F 25 14,5	E → F 20 10	50 100	10 3,5	0 0
132 ТЛЗ	TTL LS S HC	20,5 7,1 36 20 пФ	-0,8 -0,4 -1 -4	16 8 20 4	-1,2 -0,4 -2 -1 мкА	0,4 В 0,8 В	22 22 10,5 31	22 22 13 31	- - - -	- - - -	- - - -
133 -	S ALS HC	4,3 0,4 24 пФ	-1 -0,4 -4	20 8 4	-2 -0,1 -1 мкА	-	6 11 38	7 25 38	- - -	- - -	- - -
134 ЛА19	S	10	-6,5	20	-2	-	7,5	14	-	-	-
135 -	S	65	-1	20	-2	-	15	15	-	-	-
136 ЛТ12	TTL LS ALS AS	30 6,1 3,9 16,5	0,25 0,1 0,1 2	16 8 8 20	-1,6 -0,8 -0,1 -0,1	5,5 5,5 5,5 5,5	22 30 50 10,5	55 30 15 4,3	- - - -	- - - -	- - - -
137 -	LS ALS AS HC HCT	11 5 15 85 пФ 85 пФ	-0,4 -0,4 -2 -4 -4	8 8 20 4 4	-0,4 -0,1 -1,0 -1 мкА -1 мкА	-	A → F 38 20 12,5 48 48	L → F 38 22 14 48 52	$t_{w,HC}$ 15 10 4,5 20 33	10 10 4 19 19	10 5 1 5 5
138 ИД7	LS S ALS AS F HC HCT AC	6,3 49 5 13 13 85 пФ 85 51	-0,4 -1 -0,4 -2 -1 -4 -4 -24	8 20 8 20 20 4 4 24	-0,4 -2 -0,1 -0,5 -0,6 -1 мкА -1 -1	-	A → F 41 12 22 10 9 45 45 8,8	E → F 38 11 17 10 9 39 42 8,3	- - - - - - - -	- - - - - - - -	- - - - - - - -
139 ИД14	LS S ALS AS F HC HCT	6,8 60 8 13 13 25 пФ 25 пФ	-0,4 -1 -0,4 -2 -1 -4 -4	8 20 8 20 20 4 4	-0,4 -2 -0,1 -0,5 -0,6 -1 мкА -1 мкА	-	A → F 38 12 14 6 9 44 44	E → F 32 10 15 5 8 44 44	- - - - - - -	- - - - - - -	- - - - - - -
140 ЛА16	S	17,5	-40	60	-4	-	6,5	6,5	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
141 ИД1	TTL	16	50 мкА	7	-3,2	60	-	-	-	-	-
143 -	TTL	56	0,6	22	-2,4	7	40	45	18	60	-
144 -	TTL	56	0,6	11,2	-2,4	15	40	45	18	60	-
145 ИД10	TTL LS	43 7	0,25 0,25	80 80	-1,6 -0,4	15 15	50 50	50 50	- -	- -	- -
147 ИВ3	TTL LS НС	46 11 80 пФ	-0,8 -0,4 -4	16 8 4	-1,6 -0,8 -1 мкА	- - -	19 33 48	19 23 48	- - -	- - -	- - -
148 ИВ1	TTL LS НС	37,5 11 80 пФ	-0,8 -0,4 -4	16 8 4	-3,2 -0,8 -1 мкА	- - -	30 55 49	30 40 49	- - -	- - -	- - -
150 КП1	TTL	40	-0,8	16	-1,6	-	A→D0 35	E→D0 30	-	-	-
151 КП7	TTL LS S ALS AS F НС	29 6 45 7,5 18,6 13,5 70 пФ	-0,8 -0,4 -1 -2,6 -15 -1 -6	16 8 20 24 48 20 6	-1,6 -0,4 -2 -0,1 -1 -0,6 -1 мкА	- - - - - - -	A→D0 38 43 18 24 15 14 63	DI→D0 27 32 12 15 11 11 49	- - - - - - -	- - - - - - -	- - - - - - -
152 КП5	НС	70 пФ	-6	6	-1 мкА	-	A→D0 43	DI→D0 33	-	-	-
153 КП2	TTL LS S ALS AS F НС	36 6,2 45 7,5 18,5 12 40 пФ	-0,8 -0,4 -1 -2,6 -15 -1 -6	16 8 20 24 48 20 6	-1,6 -0,4 -2 -0,1 -1 -0,6 -1 мкА	- - - - - - -	A→D0 34 38 18 21 12,5 12 38	DI→D0 23 26 9 15 8 8 35	- - - - - - -	- - - - - - -	- - - - - - -
154 ИД3	TTL НС	34 96 пФ	-0,8 -4	16 4	-1,6 -1 мкА	- -	A→F 36 45	E→F 30 45	- -	- -	- -
155 ИД4	TTL LS	25 6,1	-0,8 -0,4	16 8	-1,6 -0,4	- -	32 27	32 30	- -	- -	- -
156 ИД5	TTL LS ALS	25 6,1 5	0,25 0,1 0,1	16 8 8	-1,6 -0,4 -0,1	5,5 5,5 5,5	34 48 55	34 51 25	- - -	- - -	- - -



Продолжение табл. П2.1

SN74 и аналог		$I_{сс}$ , мА (тип)	$I_{он}$ , мА (max)	$I_{ол}$ , мА (max)	$I_{ил}$ , мА (max)	$V_{он}$ , В (max)	$t_{рлн}$ , нс (max)	$t_{рл}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_M$ , нс (min)
164 MP8	TTL	37	-0,4	8	-1,6	-	C → Q	R → Q	25	15	5
	LS	16	-0,4	8	-0,4	-	32	36	25	15	5
	ALS	10	-0,4	8	-0,1	-	11	12	60	0	0
	HC	135 пФ	-4	4	-1 мкА	-	44	51	25	25	5
165 MP9	TTL	42	-0,8	16	-3,2	-	C → Q	L → Q	20	45	0
	LS	18	-0,4	8	-0,4	-	31	40	25	45	0
	ALS	16	-0,4	8	-0,1	-	16	26	25	25	5
	HC	75 пФ	-4	4	-1 мкА	-	38	38	25	25	5
166 MP10	TTL	90	-0,8	16	-1,6	-	C → Q	R → Q	25	20	0
	LS	20	-0,4	8	-0,4	-	30	35	25	30	0
	ALS	16	-0,4	8	-0,1	-	25	30	60	0	0
	HC	50 пФ	-4	4	-1 мкА	-	13	10	25	36	5
167 -	TTL	54	-0,4	16	-3,2	-	C → Y	R → Y	25	25	20
168 ME16	S	100	-1	20	-4	-	C → Q	U → P4	40	20	1
	ALS	15	-0,4	8	-0,2	-	15	22	40	15	0
	AS	41	-2	20	-1	-	20	19	40	8	0
	F	38	-1	20	-1,2	-	13	13	75	18	0
169 ME17	LS	28	-1,2	24	-0,4	-	C → Q	U → P4	20	35	0
	S	100	-1	20	-4	-	25	35	40	20	1
	ALS	15	-0,4	8	-0,2	-	15	22	40	15	0
	AS	41	-2	20	-1	-	20	19	40	8	0
F	38	-1	20	-1,2	-	13	13	75	12,5	0	
170 MP32	TTL	127	0,03	16	-1,6	5,5	DI → DO	RD → DO	$t_{w,HC}$	15	15
	LS	25	0,1	8	-0,8	5,5	45	30	25	15	15
171 -	LS	14	-0,4	8	-0,4	-	C → Q	R → Q	20	25	5
172 PT3	TTL	112	-5,2	16	-1,6	-	RA → DO	C → DO	20	45	0
173 MP15	TTL	50	-5,2	16	-1,6	-	C → Q	R → Q	25	17	10
	LS	19	-2,6	24	-0,4	-	43	27	30	17	3
	HC	29 пФ	-6	6	-1 мкА	-	30	35	25	25	0
174 TM9	TTL	45	-0,8	16	-1,6	-	C → Q	R → Q	25	25	5
	LS	16	-0,4	8	-0,4	-	35	35	30	25	5
	S	90	-1	20	-2	-	25	30	75	5	3

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
174 ТМ9	ALS	11	-0,4	8	-0,1	-	C → Q	R → Q			
	AS	30	-2	20	-0,5	-	17	23	50	10	0
	F	30	-1	20	-0,6	-	10	14	100	6	1
	HC	27 пФ	-4	4	-1 мкА	-	11	15	80	5	0
							40	40	25	25	0
175 ТМ8	TTL	30	-0,8	16	-1,6	-	C → Q	R → Q			
	LS	11	-0,4	8	-0,4	-	35	35	25	25	5
	S	60	-1	20	-2	-	25	30	30	25	5
	ALS	14	-0,4	8	-0,1	-	17	22	75	5	3
	AS	22,5	-2	20	-0,5	-	17	23	50	10	0
	F	22,5	-1	20	-0,6	-	10	13	100	6	1
	HC	30 пФ	-4	4	-1 мкА	-	9,5	13	100	5	1
							36	38	25	25	0
176 -	TTL	30	-0,8	16	-4,8	-	C1 → Q	C2 → Q2			
							17	26	35	20	25
177 -	TTL	30	-0,8	16	-4,8	-	C1 → Q	C2 → Q2			
							17	75	35	20	25
178 -	TTL	46	-0,8	16	-1,6	-			25	35	5
179 -	TTL	46	-0,8	16	-1,6	-	C → Q	R → Q			
							26	36	25	35	5
180 ИП2	TTL	34	-0,8	16	-3,2	-	I → PE	I → PO			
	HC	60 пФ	-4	4	-1 мкА	-	68	68	-	-	-
							65	61	-	-	-
181 ИП3	TTL	91	-0,8	16	-8	-	Sum	Diff			
	LS	20,5	-0,4	8	-2	-	41	50	-	-	-
	S	120	-1	20	-10	-	38	41	-	-	-
	AS	135	-2	20	-12	-	18,5	23	-	-	-
							12	16	-	-	-
182 ИП4	TTL	45	-0,8	16	-16	-	C0 → C1	PO → P			
	S	69	-1	20	-16	-	22	22	-	-	-
	AS	23	-2	20	-4	-	10	10	-	-	-
							10	7,5	-	-	-
183 ИМ5	LS	10	-0,4	8	-1,2	-	15	33	-	-	-
184 ПР6	TTL	56	0,1	12	-1	5,5	E → Y	X → Y			
							35	40	-	-	-
185 ПР7	TTL	56	0,1	12	-1	5,5	E → Y	X → Y			
							35	40	-	-	-
190 ИЕ12	TTL	65	-0,8	16	-4,8	-	C → Q	L → Q			
	LS	20	-0,4	8	-1,2	-	36	50	20	20	0
	ALS	12	-0,4	8	-0,2	-	36	50	20	30	5
							18	30	25	20	5

Продолжение табл. П2.1

SN74 и аналог		$I_{CC},$ мА (тип)	$I_{OH},$ мА (max)	$I_{OL},$ мА (max)	$I_{IL},$ мА (max)	$V_{OH},$ В (max)	$t_{PH},$ нс (max)	$t_{PL},$ нс (max)	$f_c,$ МГц (min)	$t_{su},$ нс (min)	$t_H,$ нс (min)
190 ME12	HC	50 нФ	-4	4	-1 мкА	-	C → Q 48	L → Q 66	17	51	5
191 ME13	TTL	65	-0,8	16	-4,8	-	C → Q 36	L → Q 50	20	20	0
	LS	20	-0,4	8	-1,2	-	36	50	20	30	5
	ALS	12	-0,4	8	-0,2	-	18	30	30	20	5
	HC	50 нФ	-4	4	-1 мкА	-	48	66	17	51	5
192 ME6	TTL	65	-0,4	16	-1,6	-	CU → Q 47	L → Q 40	25	20	3
	LS	19	-0,4	8	-0,4	-	47	40	25	20	5
	ALS	12	-0,4	8	-0,2	-	19	30	25	20	8
	HC	50 нФ	-4	4	-1 мкА	-	63	65	17	28	5
193 ME7	TTL	65	-0,4	16	-1,6	-	CU → Q 47	L → Q 40	25	20	3
	LS	19	-0,4	8	-0,4	-	47	40	25	20	5
	ALS	12	-0,4	8	-0,2	-	19	30	30	20	8
	HC	50 нФ	-4	4	-1 мкА	-	63	65	17	28	5
194 MP11	TTL	39	-0,8	16	-1,6	-	C → Q 26	R → Q 30	25	30	0
	LS	15	-0,4	8	-0,4	-	26	30	25	30	0
	S	85	-1	20	-2	-	16,5	18,5	70	11	3
	AS	34	-2	20	-1	-	7	12	80	8	0
	HC	65 нФ	-4	4	-1 мкА	-	36	38	25	25	0
195 MP12	TTL	39	-0,8	16	-1,6	-	C → Q 26	R → Q 30	30	25	0
	LS	14	-0,4	8	-0,4	-	26	30	30	25	0
	S	70	-1	20	-2	-	16,5	18,5	70	11	3
	AS	34	-2	20	-1	-	10,5	11,5	70	8	0,5
	HC	65 нФ	-4	4	-1 мкА	-	36	38	25	25	0
196 ME14	TTL	48	-0,8	16	-4,8	-	C1 → Q 15	L → Q 36	50	15	20
	LS	16	-0,4	8	-2,4	-	20	45	30	15	10
	S	75	-1	20	-10	-	10	18	100	6	3
197 ME15	TTL	48	-0,8	16	-4,8	-	C1 → Q 15	L → Q 36	50	15	20
	LS	16	-0,4	8	-2,4	-	21	45	30	15	10
	S	75	-1	20	-8	-	10	18	100	6	3
198 MP13	TTL	90	-0,8	16	-1,6	-	C → Q 30	R → Q 35	25	20	0
199 -	TTL	90	-0,8	16	-1,6	-	C → Q 30	R → Q 35	25	20	0
221 AG4	TTL	46	-0,8	16	-3,2	-	S → Q 80	R → Q 40	$t_{w,HC}$ 50	15	-
	LS	19	-0,4	8	-0,8	-	80	65	50	15	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
229							$C_L \rightarrow DO$	$OE \rightarrow DO$			
-	ALS	95	-1,6	24	-0,2	-	33	17	30	10	5
230	ALS	11,5	-15	24	-0,1	-	$DI \rightarrow DO$	$OE \rightarrow DO$			
-	AS	33,3	-15	64	-1,0	-	5	10	-	-	-
							6,5	9,5	-	-	-
231	ALS	11,3	-15	24	-0,1	-	$DI \rightarrow DO$	$OE \rightarrow DO$			
-	AS	29,6	-15	64	-0,5	-	9	19	-	-	-
							6,5	9,5	-	-	-
232	ALS	75	-1,6	24	-0,2	-	$C_L \rightarrow DO$	$OE \rightarrow DO$			
-							46	21	30	10	5
233	ALS	88	-1,6	24	-0,2	-	$C_L \rightarrow DO$	$OE \rightarrow DO$			
-							48	17	30	10	5
237	HC	85 нФ	-4	4	-1 мкА	-	$A \rightarrow F$	$E \rightarrow F$	$t_{w,HC}$		
-	HCT	85 нФ	-4	4	-1 мкА	-	48	36	20	19	5
							45	42	-	-	-
238	HC	85 нФ	-4	4	-1 мкА	-	$A \rightarrow F$	$E \rightarrow F$			
-	HCT	85 нФ	-4	4	-1 мкА	-	45	39	-	-	-
							45	42	-	-	-
239	HC	25 нФ	-4	4	-1 мкА	-	$A \rightarrow F$	$E \rightarrow F$			
-							38	30	-	-	-
240	LS	24	-15	24	-0,2	$I_{CCZ}$	$DI \rightarrow DO$	$OE \rightarrow DO$			
АПЗ	S	93,3	-15	64	-2	50 мА	18	30	-	-	-
	ALS	10,3	-15	24	-0,1	150 мА	7	15	-	-	-
	AS	28,6	-15	64	-0,5	25 мА	9	18	-	-	-
	F	37	-15	64	-1	38 мА	6,5	9,5	-	-	-
	BCT	25	-15	64	-1	63 мА	8	10	-	-	-
	HC	35 нФ	-6	6	-1 мкА	10 мА	5,6	11,1	-	-	-
	HCT	40 нФ	-6	6	-1 мкА	-	25	38	-	-	-
	AC	39 нФ	-24	24	-1 мкА	-	32	44	-	-	-
	ACT	47 нФ	-24	24	-1 мкА	-	8,4	9,2	-	-	-
							10,6	12,5	-	-	-
241	LS	25,3	-15	24	-0,2	$I_{CCZ}$	$DI \rightarrow DO$	$OE \rightarrow DO$			
АП4	S	111,6	-15	64	-2	54 мА	18	30	-	-	-
	ALS	13,6	-15	24	-0,1	180 мА	9	15	-	-	-
	AS	39,3	-15	64	-1	30 мА	11	21	-	-	-
	F	53,3	-15	64	-1,6	56 мА	6,2	10,5	-	-	-
	BCT	27,2	-15	64	-1	90 мА	6,5	8	-	-	-
	HC	35 нФ	-6	6	-1 мкА	10 мА	5,4	11,7	-	-	-
	HCT	40 нФ	-6	6	-1 мкА	-	29	38	-	-	-
	AC	26 нФ	-24	24	-1 мкА	-	32	44	-	-	-
	ACT	27 нФ	-24	24	-1 мкА	-	8	9	-	-	-
							10	12,3	-	-	-



Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
242 ИП6	LS	26,6	-15	24	-0,2	-	DA→DB	OE→DA	-	-	-
	ALS	12	-15	24	-0,1	-	18	30	-	-	-
	AS	27	-15	64	-0,5	-	11	21	-	-	-
	F	39,3	-15	64	-1	-	6,5	10,5	-	-	-
	HC	34 пФ	-6	6	-1 мкА	-	7,5	10,5	-	-	-
	HCT	40 пФ	-6	6	-1 мкА	-	25	38	-	-	-
243 ИП7	LS	27,6	-15	24	-0,2	-	DA→DB	OE→DA	-	-	-
	ALS	18,6	-15	24	-0,1	-	18	30	-	-	-
	AS	36,6	-15	64	-1	-	11	22	-	-	-
	F	66,3	-15	64	-1,6	-	7,5	8,5	-	-	-
	HC	34 пФ	-6	6	-1 мкА	-	6,5	8,5	-	-	-
	HCT	40 пФ	-6	6	-1 мкА	-	25	38	-	-	-
244 АП5	LS	25,3	-15	24	-0,2	$I_{CCZ}$	DA→DB	OE→DA	-	-	-
	S	111,6	-15	64	-2	54 мА	18	30	-	-	-
	ALS	13,6	-15	24	-0,1	180 мА	9	15	-	-	-
	AS	38,6	-15	64	-1	27 мА	10	20	-	-	-
	F	53,3	-15	64	-1,6	54 мА	6,2	9	-	-	-
	BCT	26,7	-15	64	-1	90 мА	6,5	8	-	-	-
	HC	35 пФ	-6	6	-1 мкА	10 мА	5	11,5	-	-	-
	HCT	40 пФ	-6	6	-1 мкА	-	29	38	-	-	-
	AC	27 пФ	-24	24	-1 мкА	-	35	44	-	-	-
	ACT	27 пФ	-24	24	-1 мкА	-	7,3	8,5	-	-	-
245 АП6	LS	58	-15	24	-0,2	$I_{CCZ}$	DA→DB	OE→DA	-	-	-
	ALS	34,6	-15	24	-0,1	95 мА	12	40	-	-	-
	AS	78,6	-15	64	-0,75	58 мА	10	20	-	-	-
	F	83,3	-15	64	-1,2	123 мА	7,5	9,5	-	-	-
	BCT	34,3	-15	64	-1	110 мА	7	9	-	-	-
	HC	40 пФ	-6	6	-1 мкА	15 мА	7,2	12,1	-	-	-
	HCT	40 пФ	-6	6	-1 мкА	-	26	58	-	-	-
	AC	64 пФ	-24	24	-1 мкА	-	28	58	-	-	-
	ACT	66 пФ	-24	24	-1 мкА	-	6,3	8,1	-	-	-
247 ИП18	TTL	64	0,25	40	-4	15	X→Y	RBI→Y	-	-	-
	LS	7	0,25	24	-1,2	15	100	100	-	-	-
248 -	LS	25	-0,1	6	-1,2	-	X→Y	RBI→Y	-	-	-
							100	100	-	-	-
249 -	LS	8	0,25	8	-1,2	5,5	X→Y	RBI→Y	-	-	-
							100	100	-	-	-
250 -	AS	29	-15	48	-0,5	-	DI→DO	OE→DO	-	-	-
							8	13	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{cc}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
251 КП15	TTL	38	-5,2	16	-1,6	-	$D1 \rightarrow D0$ 28	$A \rightarrow D0$ 45	-	-	-
	LS	6,6	-2,6	8	-0,4	-	28	45	-	-	-
	S	55	-6,5	20	-2	-	19,5	12	-	-	-
	ALS	8,2	-2,6	24	-0,1	-	15	24	-	-	-
	AS	28	-15	48	-0,6	-	4	5	-	-	-
	F	15,5	-3	24	-0,6	-	10,5	14	-	-	-
	HC	70 пФ	-6	6	-1 мкА	-	49	51	-	-	-
253 КП12	LS	7,8	-2,6	8	-0,4	-	$D1 \rightarrow D0$ 25	$A \rightarrow D0$ 45	-	-	-
	S	55	-6,5	20	-2	-	9	18	-	-	-
	ALS	7	-2,6	24	-0,1	-	14	21	-	-	-
	AS	19,6	-15	48	-1	-	8	13,5	-	-	-
	F	14,5	-3	24	-0,6	-	8	13	-	-	-
	HC	45 пФ	-6	6	-1 мкА	-	35	38	-	-	-
	AC	31 пФ	-24	24	-1 мкА	-	6,9	8,2	-	-	-
	ACT	42 пФ	-24	24	-1 мкА	-	11,7	14,3	-	-	-
257 КП11	LS	11	-2,6	24	-0,4	-	$D1 \rightarrow D0$ 15	$A \rightarrow D0$ 30	-	-	-
	S	56	-6,5	20	-4	-	7,5	21	-	-	-
	ALS	6,6	-2,6	24	-0,1	-	12	22	-	-	-
	AS	16,9	-15	48	-1	-	6	11	-	-	-
	F	32,8	-3	24	-0,6	-	7	15	-	-	-
	HC	40 пФ	-6	6	-1 мкА	-	25	38	-	-	-
258 КП14	LS	9	-2,6	24	-0,4	-	$D1 \rightarrow D0$ 17	$A \rightarrow D0$ 30	-	-	-
	S	48	-6,5	20	-4	-	6	21	-	-	-
	ALS	5,8	-2,6	24	-0,1	-	8	25	-	-	-
	AS	13,3	-15	48	-1	-	5	10	-	-	-
	F	10,9	-3	24	-0,6	-	6	11	-	-	-
	HC	40 пФ	-6	6	-1 мкА	-	25	38	-	-	-
259 ИР30	TTL	60	-0,8	16	-3,2	-	$D \rightarrow Q$ 24	$WR \rightarrow Q$ 20	$t_{w,HC}$ 15	5	20
	LS	22	-0,4	8	-0,4	-	30	24	17	20	0
	ALS	14	-0,4	8	-0,1	-	19	20	15	15	0
	HC	33 пФ	-4	4	-1 мкА	-	33	43	20	19	5
260 ЛЕ7	S	21,5	-1	20	-2	-	5,5	6	-	-	-
261 ИТ8	LS	20	-0,4	8	-0,8	-	$Z \rightarrow Q$ 35	$Y \rightarrow Q$ 40	-	-	-
264 -	AS	27	-2	20	-4	-	5	6	-	-	-
265 -	TTL	25	-0,8	16	-1,6	-	18	18	-	-	-
266 -	LS	8	0,1	8	-0,8	5,5	30	30	-	-	-
	HC	35 пФ	5 мкА	4	-1 мкА	6	31	25	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{L}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)	
273 ИР35	TTL	62	-0,8	16	-3,2	-	C → Q	R → Q	30	25	5	
	LS	17	-0,4	8	-0,4	-	27	27	30	25	5	
	ALS	15	-2,6	24	-0,2	-	15	18	35	15	0	
	F	66,5	-1	20	-0,02	-	7,5	7	145	8	0	
	HC	35 пФ	-4	4	-1 мкА	-	40	40	21	25	0	
276	-	TTL	60	-0,8	16	-1,6	-	C → Q	R → Q	35	10	10
278	-	TTL	55	-0,8	16	-8,0	-	39	31	$t_{w,HC}$ 20	20	5
279 TP2	TTL	18	-0,8	16	-1,6	-	S → Q	R → Q	$t_{w,HC}$ 20	-	-	
	LS	3,8	-0,4	8	-0,2	-	22	27	20	-	-	
280 ИП5	LS	16	-0,4	8	-0,4	-	I → PE	I → PO	-	-	-	
	S	67	-1	20	-2	-	21	21	-	-	-	
	ALS	10	-2,6	24	-0,1	-	20	22	-	-	-	
	AS	25	-2	20	-0,5	-	12	12	-	-	-	
	F	26	-1	20	-2	-	11	11	-	-	-	
	HC	60 пФ	-4	4	-1 мкА	-	52	52	-	-	-	
282	-	AS	24	-2	20	-4,0	-	6	5	-	-	-
283 ИМ6	TTL	66	-0,8	16	-1,6	-	B → S	B → C4	-	-	-	
	LS	20	-0,4	8	-0,8	-	24	16	-	-	-	
	S	86,5	-1	20	-2	-	24	17	-	-	-	
	F	36	-1	20	-1,2	-	18	12	-	-	-	
	HC	90 пФ	-4	4	-1 мкА	-	10,5	8,5	-	-	-	
284	-	TTL	92	0,05	16	-1,0	5,5	E → P	B → P	-	-	-
285	-	TTL	92	0,05	16	-1,0	5,5	E → P	B → P	-	-	-
286	AS	32,5	-15	48	-0,5	-	I → ER	P → ER	-	-	-	
	F	27,3	-15	64	-0,6	-	16,5	9	-	-	-	
290	TTL	26	-0,8	16	-3,2	-	C1 → Q	S → Q	32	25	-	
	LS	9	-0,4	8	-3,2	-	18	40	32	25	-	
292 ПЦ1	LS	40	-1,2	24	-0,8	-	C → Q	R → Q	30	15	-	
293	TTL	26	-0,8	16	-3,2	-	C → Q	R → Q	32	25	-	
	LS	9	-0,4	8	-1,6	-	18	40	32	25	-	

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
294 -	LS	30	-1,2	24	-0,8	-	C → Q 120	R → Q 65	30	15	-
295 ИР16	LS	21	-2,6	24	-0,4	-	C → Q 30	OE → Q 30	30	30	5
298 КП13	TTL	39	-0,8	16	-1,6	-	C → Q 27	C → Q 32	-	25	5
	LS	13	-0,4	8	-0,4	-	27	32	-	25	5
	AS	21,5	-2	20	-0,75	-	9	11	100	13	1
	HC	33 нФ	-4	4	-1 мкА	-	31	31	27	21	0
299 ИР24	LS	33	-2,6	24	-0,8	-	C → Q 39	R → Q 40	20	35	10
	S	140	-6,5	20	-2	-	21	24	50	15	5
	ALS	16,6	-2,6	24	-0,2	-	19	22	30	20	0
	AS	95	-15	48	-	-	10	12	-	-	-
	F	68	-3	24	-1,2	-	12	15	70	8,5	2
	HC	100 нФ	-6	6	-1 мкА	-	48	53	25	44	0
320 -	LS	46	-0,4	8	-0,4	-	-	-	20	-	-
321 -	LS	51	-0,4	8	-0,4	-	-	-	20	-	-
322 ИР28	LS	35	-2,6	24	-1,2	-	C → Q 33	R → Q 33	20	20	10
323 ИР29	LS	33	-2,6	24	-0,8	-	C → Q 39	OE → Q 30	25	35	10
	ALS	16,6	-2,6	24	-0,2	-	19	15	30	20	0
	AS	95	-15	48	-	-	10	7	-	-	-
	F	68	-3	24	-1,2	-	12	11	70	8,5	2
347 -	LS	7	0,25	24	-1,2	7	X → Y 100	RBI → Y 100	-	-	-
348 ИВ2	LS	12,5	-2,6	24	-0,8	-	I → A 35	EI → EO 40	-	-	-
350 ИР42	F	25	-3	20	-1,2	-	DI → DO 7	A → DO 11	-	-	-
352 КП19	LS	6,2	-0,4	8	-0,4	-	A → DO 38	DI → DO 26	-	-	-
	ALS	6,5	-2,6	24	-0,1	-	24	18	-	-	-
	AS	11	-15	48	-1	-	13	6,5	-	-	-
	F	11,3	-1	20	-0,6	-	12,5	8	-	-	-
	HC	40 нФ	-6	6	-1 мкА	-	46	44	-	-	-
353 КП17	LS	7,8	-2,6	8	-0,4	-	A → DO 45	DI → DO 25	-	-	-
	ALS	7,5	-2,6	24	-0,1	-	24	16	-	-	-
	AS	17,3	-15	48	-1	-	12,5	7,5	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PHL}$ , нс (max)	$t_{PLH}$ , нс (max)	$f_C$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
353 КП17	F	12,5	-3	20	-0,6	-	A→DO	DI→DO	-	-	-
	HC	40 пФ	-6	6	-1 мкА	-	12,5	8	-	-	-
	AC	31 пФ	-24	24	-1 мкА	-	46	44	-	-	-
	ACT	-	-24	24	-1 мкА	-	7,6	6,8	-	-	-
354 -	LS	29	-2,6	24	-0,4	-	DI→DO	A→DO	$t_w, HC$		
	HC	100 пФ	-6	6	-1 мкА	-	36	45	-	15	15
							59	71	20	19	5
355 -	LS	29	0,1	24	-0,4	5,5	DI→DO	A→DO	-	15	15
356 -	LS	29	-2,6	24	-0,4	-	C→DO	A→DO	-	15	0
	HC	100 пФ	-6	6	-1 мкА	-	50	48	-	19	5
							64	71	25		
357 -	LS	29	0,1	24	-0,4	5,5	C→DO	A→DO	-	15	0
							51	60			
365 ЛП10	TTL	65	-5,2	32	-1,6	-	DI→DO	OE→DO	-	-	-
	LS	14	-2,6	24	-0,4	-	22	37	-	-	-
	HC	35 пФ	-6	6	-1 мкА	-	22	40	-	-	-
							24	48	-	-	-
366 ЛН6	TTL	59	-5,2	32	-1,6	-	DI→DO	OE→DO	-	-	-
	LS	12	-2,6	24	-0,4	-	17	37	-	-	-
	HC	35 пФ	-6	6	-1 мкА	-	18	45	-	-	-
							24	48	-	-	-
367 ЛП11	TTL	65	-5,2	32	-1,6	-	DI→DO	OE→DO	-	-	-
	LS	14	-2,6	24	-0,4	-	22	37	-	-	-
	HC	35 пФ	-6	6	-1 мкА	-	22	40	-	-	-
							24	48	-	-	-
368 ЛН7	TTL	59	-5,2	32	-1,6	-	DI→DO	OE→DO	-	-	-
	LS	12	-2,6	24	-0,4	-	17	37	-	-	-
	HC	35 пФ	-6	6	-1 мкА	-	18	45	-	-	-
							24	48	-	-	-
373 ИР22	LS	24	-2,6	24	-0,4	-	D→DO	L→DO	$t_w, HC$	5	20
	S	170	-6,5	20	-0,25	-	18	36	15	0	10
	ALS	14	-2,6	24	-0,1	-	12	18	7,3	0	7
	AS	58,3	-15	48	-0,5	-	16	23	10	10	7
	F	38	-3	24	-0,6	-	6	11,5	4,5	2	3
	HC	100 пФ	-6	6	-1 мкА	-	8	13	6	2	3
	HCТ	50 пФ	-6	6	-1 мкА	-	38	44	20	13	12
	AC	47 пФ	-24	24	-1 мкА	-	44	44	25	13	10
ACT	65 пФ	-24	24	-1 мкА	-	10,3	11,3	4	4	2	
							11,8	13	5	3,5	3,5
374 ИР23	LS	27	-2,6	24	-0,4	-	C→DO	OE→DO	-	-	-
	S	117	-6,5	20	-0,25	-	28	28	35	20	0
	ALS	16,6	-2,6	24	-0,2	-	17	18	75	5	2
							16	18	35	10	0

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
374 IP23	AS	81,6	-15	48	-2	-	C → DO	OE → DO			
	F	55	-3	24	-0,6	-	9	10	125	2	2
	HC	100 пФ	-6	6	-1 мкА	-	10	12,5	70	2	2
	HCT	85 пФ	-6	6	-1 мкА	-	45	38	24	25	5
	AC	75 пФ	-24	24	-1 мкА	-	45	38	24	25	5
ACT	107 пФ	-24	24	-1 мкА	-	10,2	11,2	75	3,5	4,5	
							13	13,2	55	3	5,5
375 -	LS	6,3	-0,4	8	-1,6	-	D → Q	L → Q	$t_{w, HC}$		
	HC	48 пФ	-4	4	-1 мкА	-	27	27	20	20	0
							30	33	20	25	5
376 -	TTL	52	-0,8	16	-1,6	-	R → Q	C → Q			
							30	35	30	10	20
377 IP27	LS	17	-0,4	8	-0,4	-	C → Q	C → Q			
	F	62,5	-1	20	-0,6	-	27	27	30	25	5
	HC	30 пФ	-4	4	-1 мкА	-	10	10,5	100	3	1
							40	40	20	25	5
378 IP18	LS	13	-0,4	8	-0,4	-	C → Q	C → Q			
	F	30	-1	20	-0,6	-	27	27	30	25	5
	HC	30 пФ	-4	4	-1 мкА	-	8,5	9,5	80	10	0
							40	40	20	25	5
379 IP19	LS	9	-0,4	8	-0,4	-	C → Q	OE → Q			
	F	28	-1	20	-0,6	-	27	27	30	25	5
	HC	30 пФ	-4	4	-1 мкА	-	7,5	9,5	100	6	1
							40	40	25	25	5
381 IK2	LS	35	-0,4	8	-1	-	CO → F	B → G			
	S	105	-1	20	-8	-	27	33	-	-	-
	F	59	-1	20	-2,4	-	17	20	-	-	-
							5,6	6,6	-	-	-
382 -	LS	35	-0,4	8	-1	-	CO → F	B → C4			
	F	54	-1	20	-3	-	27	42	-	-	-
							13,5	11,5	-	-	-
384 IP19	LS	91	-0,4	8	-3,2	-	C → P	R → P			
							23	25	25	38	2
385 IM7	LS	48	-0,4	8	-0,4	-	C → S	R → S			
							27	30	30	10	3
386 -	LS	6,1	-0,4	8	-0,8	-					
	HC	35 пФ	-4	4	-1 мкА	-	30	22	-	-	-
							25	25	-	-	-
390 ME20	TTL	42	-0,8	16	-3,2	-	C1 → Q	C2 → Q			
	LS	15	-0,4	8	-2,4	-	60	39	25	25	-
	HC	40 пФ	-4	4	-1 мкА	-	60	39	25	25	-
							72	46	25	5	-

Продолжение табл. П2.1

SN74 и аналог		$I_{сс}$ , мА (тип)	$I_{он}$ , мА (max)	$I_{ол}$ , мА (max)	$I_{л}$ , мА (max)	$V_{он}$ , В (max)	$t_{рлн}$ , нс (max)	$t_{рнл}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_{н}$ , нс (min)
393 ИЕ19	TTL	38	-0,8	16	-3,2	-	$C \rightarrow Q$	-	25	25	-
	LS	15	-0,4	8	-2,4	-	60	-	25	25	-
	НС	40 пФ	-4	4	-1 мкА	-	60 72	-	25	5	-
395 ИР25	LS	22	-2,6	24	-0,4	-	35	30	30	40	10
398 -	F	25	-1	20	-0,6	-	8,5	9	90	8,5	0
399 КП20	LS	7,3	-0,4	8	-0,4	-	27	32	25	25	0
	F	22	-1	20	-0,6	-	8,5	9	90	8,5	0
422 -	LS	6	-0,4	8	-0,4	-	$B \rightarrow Q$	$t_{wQ,HC}$	$t_{w,HC}$		
							56	200	40	-	-
423 -	LS	16	-0,4	8	-0,4	-	$B \rightarrow Q$	$t_{wQ,HC}$	$t_{w,HC}$		
							56	200	40	-	-
425 -	TTL	36	-5,2	16	-1,6	-	13	18	-	-	-
440 -	LS	62	0,1	24	-0,4	5,5	35	30	-	-	-
441 -	LS	62	0,1	24	-0,4	5,5	30	15	-	-	-
442 -	LS	62	-15	24	-0,4	-	14	20	-	-	-
444 -	LS	62	-15	24	-0,4	-	14	20	-	-	-
445 -	LS	7	0,25	80	-0,4	7	50	-	-	-	-
446 -	LS	39	-15	24	-0,4	-	13	12	-	-	-
449 -	LS	47	-15	24	-0,4	-	15	17	-	-	-
465 АП14	LS	19	-2,6	24	-0,2	-	15	18	-	-	-
	ALS	19	-15	24	-0,1	-	13	12	-	-	-
466 АП15	LS	14	-2,6	24	-0,2	-	12	15	-	-	-
	ALS	16	-15	24	-0,1	-	12	9	-	-	-
467 -	LS	19	-2,6	24	-0,2	-	15	18	-	-	-
	ALS	19	-15	24	-0,1	-	13	12	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
468	LS	14	-2,6	24	-0,2	-	12	15	-	-	-
-	ALS	16	-15	24	-0,1	-	12	9	-	-	-
490	TTL	45	-0,8	16	-3,2	-	C → Q		-	-	-
-	LS	15	-0,4	8	-1,6	-	54	-	25	25	-
-	HC	40 пФ	-4	4	-1 мкА	-	54	-	25	25	-
-	-	-	-	-	-	-	59	-	25	5	-
518	ALS	11	0,1	24	-0,6	5,5	33	15	-	-	-
-	F	24	0,1	20	-0,6	5,5	15	10	-	-	-
519	ALS	11	0,1	24	-0,1	5,5	33	15	-	-	-
-	F	24	0,1	20	-0,6	5,5	15	10	-	-	-
520	ALS	12	-2,6	24	-0,6	-	12	20	-	-	-
-	F	21	-1,0	20	-0,6	-	8,7	10,3	-	-	-
-	AC	42	-24	24	-1	-	12,6	11,3	-	-	-
-	ACT	40	-24	24	-1	-	14,3	13,9	-	-	-
521	ALS	12	-2,6	24	-0,1	-	12	20	-	-	-
-	F	21	-1,0	20	-0,6	-	11	11	-	-	-
-	AC	42	-24	24	-1	-	13	11,4	-	-	-
-	ACT	40	-24	24	-1	-	14,7	13,8	-	-	-
522	ALS	11	0,1	24	-0,6	5,5	25	23	-	-	-
526	ALS	16	-2,6	24	-0,2	-	15	12	-	-	-
527	ALS	15	-2,6	24	-0,2	-	15	12	-	-	-
528	ALS	13	-2,6	24	-0,2	-	15	12	-	-	-
533	ALS	17	-2,6	24	-0,1	-	D → DO	L → DO	$t_{w,HC}$		
IP40	AS	64	-15	48	-0,5	-	19	23	15	15	7
-	F	41	-3	24	-0,6	-	7,5	9	2	2	3
-	HC	50 пФ	-6	6	-1 мкА	-	10	13	6	2	3
-	HCT	50 пФ	-6	6	-1 мкА	-	38	44	20	13	12
-	AC	55 пФ	-24	24	-1 мкА	-	44	44	25	13	5
-	ACT	69 пФ	-24	24	-1 мкА	-	9,	11,3	4	3,5	2
-	-	-	-	-	-	-	11,3	13	5	3,5	3,5
534	ALS	19	-2,6	24	-0,2	-	D → DO	L → DO			
IP41	AS	84	-15	48	-0,5	-	12	16	35	10	0
-	F	55	-3	24	-0,6	-	8	9	125	7	2
-	HC	100 пФ	-6	6	-1 мкА	-	10	10	70	2	2
-	HCT	93 пФ	-6	6	-1 мкА	-	45	45	25	25	5
-	-	-	-	-	-	-	45	45	25	25	5
538	F	37	-3	24	-0,6	-	17	12	-	-	-



Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , МА (тип)	$I_{OH}$ , МА (max)	$I_{OL}$ , МА (max)	$I_{IL}$ , МА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , НС (max)	$t_{PHL}$ , НС (max)	$f_c$ , МГц (min)	$t_{su}$ , НС (min)	$t_H$ , НС (min)
539	F	40	-3	24	-0,6	-	19,5	13	-	-	-
540	LS АП12	24 13 45 35 пФ 35 пФ	-15 -15 -15 -6 -6	24 24 64 6 6	-0,2 -0,1 -0,6 -1 мкА -1 мкА	30 МА 11 МА 3 МА 80 мкА -	15 12 6,9 25 25	15 9 4 25 25	- - - - -	- - - - -	- - - - -
541	LS АП13	30 15 47 35 пФ 35 пФ	-15 -15 -15 -6 -6	24 24 64 6 6	-0,2 -0,1 -0,6 -1 мкА -1 мкА	32 МА 13 МА 3 МА 80 мкА 80 мкА	15 14 6 29 29	18 10 8,2 29 29	- - - - -	- - - - -	- - - - -
543	F BCT	83	-3/15 -3/15	DA/DB 24/64 24/64	-1,2 -	-	8,5 -	7,5 -	-	3,5 -	3,5 -
544	F BCT	85	-3/15 -3/15	DA/DB 24/64 24/64	-1,2 -	-	10,5 -	7,5 -	-	3 -	3 -
560	ALS	21	-2,6	24	-0,2	-	12	18	20	20	0
561	ALS	21	-2,6	24	-0,2	-	12	18	30	20	0
563	ALS F HC HCT	16 38 50 пФ 50 пФ	-2,6 -3 -6 -6	24 24 6 6	-0,1 -0,6 -1 мкА -1 мкА	- - - -	D → Q 18 10 44 44	L → Q 22 13 44 44	$t_w$ , НС 15 6 20 25	10 2 13 13	10 3 5 5
564	ALS F HC HCT	15 55 100 пФ 93 пФ	-2,6 -3 -6 -6	24 24 6 6	-0,2 -0,6 -1 мкА -1 мкА	- - - -	14 10 45 45	14 10 45 45	30 70 25 25	15 2 25 25	0 2 5 5
568	ALS F	20 45	-2,6 -3	24 24	-0,2 -1,2	- -	13 9,5	16 13	20 90	20 4,5	0 3,5
569	ALS F	20 45	-2,6 -3	24 24	-0,2 -1,2	- -	13 9,5	16 13	30 90	20 4,5	0 3,5
573	ALS AS F HC HCT	15 56 38 50 пФ 50 пФ	-2,6 -15 -3 -6 -6	24 48 24 6 6	-0,1 -0,5 -0,6 -1 мкА -1 мкА	- - - - -	D → DO 14 6 8 44 44	L → DO 20 11,5 13 44 44	$t_w$ , НС 15 4,5 6 20 25	10 2 2 13 13	7 3 3 5 5

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (mln)	$t_{su}$ , нс (mln)	$t_H$ , нс (mln)
574 ИР37	ALS	17	-2,6	24	-0,2	-	14	14	35	15	0
	AS	85	-15	48	-2	-	8	9	125	2	2
	F	55	-3	24	-0,6	-	10	10	70	2	2
	HC	100 пФ	-6	6	-1 мкА	-	45	45	24	25	5
	HCT	93 пФ	-6	6	-1 мкА	-	45	45	24	25	5
575 -	ALS	15	-2,6	24	-0,2	-	14	14	30	15	0
	AS	89	-15	48	-2,0	-	8	9	125	5,5	2
576 -	ALS	15	-2,6	24	-0,2	-	14	14	30	15	0
	AS	84	-15	48	-2,0	-	8	9	125	2	2
577 -	ALS	15	-2,6	24	-0,2	-	14	14	30	15	0
	AS	78	-15	48	-2,0	-	8	9	125	5,5	2
580 -	ALS	16	-2,6	24	-0,1	-	$D \rightarrow Q$	$L \rightarrow Q$	$t_{w,HC}$		
	AS	65	-15	48	-0,5	-	18 7,5	22 9	15 2	10 2	10 3
590 -	LS	44	-2,6	24	-0,8	-	$C_L \rightarrow DO$				
	HC	250 пФ	-6	6	-1 мкА	-	33 35	- -	20 16	20 25	0 12
591 -	LS	42	0,1	24	-0,8	5,5	$C_L \rightarrow DO$				
592 -	LS	40	-1	16	-0,4	-	$C \rightarrow PB$	$C_L \rightarrow DO$			
593 -	LS	53	-2,6	24	-0,8	-	$C \rightarrow DO$	$C \rightarrow PB$			
594 -	LS	42	-2,6	24	-0,4	-	$C \rightarrow Q$	$C_L \rightarrow Q$			
	HC	395 пФ	-6	6	-1 мкА	-	23 37	30 37	20 20	40 22	0 5
595 -	LS	42	-2,6	24	-0,4	-	$C \rightarrow Q$	$C_L \rightarrow DO$			
	HC	400 пФ	-6	6	-1 мкА	-	25 40	35 37	20 25	40 25	0 0
596 -	LS	36	0,1	24	-0,4	5,5	$C \rightarrow Q$	$C_L \rightarrow DO$			
597 -	LS	35	-1	16	-0,4	-	$C \rightarrow Q$	$C_L \rightarrow Q$			
598 -	LS	54	-2,6	24	-0,8	-	$C \rightarrow DO$	$C_L \rightarrow Q$			
599 -	LS	38	0,1	24	-0,4	5,5	$C \rightarrow Q$	$C_L \rightarrow DO$			

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
600 601 603	LS	50	-2,6	24	-0,4	-	REFR → → BUSY 45	REFR → → RAS 70	-	-	-
604 -	LS HC	55 100 нФ	-2,6 -6	24 6	-0,4 -1 мкА	-	45 43	35 43	$t_{W, HC}$ 20 25	20 19	0 5
606 -	LS	55	-2,6	24	-0,4	-	50	35	$t_{W, HC}$ 20	20	0
607 -	LS	40	0,25	24	-0,4	5,5	70	40	$t_{W, HC}$ 20	20	0
614 -	ALS	57	0,1	24	-0,2	5,5	51	64	$t_{W, HC}$ 16	10	0
615 -	ALS	48	0,1	24	-0,2	5,5	56	64	$t_{W, HC}$ 16	10	0
620 АП25	LS ALS AS F BCT HC HCT	62 31 74 84 53 40 нФ 40 нФ	-15 -15 -15 -3/15 -3/15 -6 -6	24 24 64 24/64 24/64 6 6	-0,4 -0,1 -0,75 -0,65 -0,6 -1 мкА -1 мкА	$I_{CCZ}$ - 33 мА 48 мА 70 мА 4 мА 80 мкА -	15 10 7 7,5 5,4 26 28	15 10 7 7,5 6,7 26 28	- - - - - - -	- - - - - - -	- - - - - - -
621 -	LS ALS AS F	62 35 116 105	0,1 0,1 0,1 0,1	24 24 64 24/64	-0,4 -0,1 -0,75 -0,65	5,5 5,5 5,5 5,5	25 33 24 13	25 33 21 12,5	- - - -	- - - -	- - - -
622 -	ALS AS F	20 63 68	0,1 0,1 0,1	24 64 24/64	-0,1 -0,75 -0,65	5,5 5,5 5,5	35 24,5 13,5	35 25 12,5	- - -	- - -	- - -
623 АП26	LS ALS AS F BCT HC HCT	62 39 116 110 55 40 нФ 40 нФ	-15 -15 -15 -3/15 -3/15 -6 -6	24 24 64 24/64 24/64 6 6	-0,4 -0,1 -0,75 -0,65 -0,6 -1 мкА -1 мкА	$I_{CCZ}$ - - - 4 мА - -	15 13 9 6,5 6 26 28	15 23 9 6,5 6 26 28	- - - - - - -	- - - - - - -	- - - - - - -
624 -	LS	20	-1,2	24	-0,8	-	-	-	20	-	-
625 626 627	LS	35	-1,2	24	-0,8	-	-	-	20	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
628	LS	20	-1,2	24	-0,8	-	-	-	20	-	-
629	LS	35	-1,2	24	-0,8	-	-	-	20	-	-
638	LS	62	DA/DB		24	-0,4	5,5	DA→DB	DB→DA	-	-
	ALS	26	-0,1/15	24	-0,1	5,5	15	25	-	-	
	AS	75	-0,1/15	64	-0,75	5,5	12	30	-	-	
639	LS	62	DA/DB		24	-0,4	5,5	DA→DB	DB→DA	-	-
	ALS	30	-0,1/15	24	-0,1	5,5	15	25	-	-	
	AS	95	-0,1/15	64	-0,75	5,5	12	30	-	-	
640 АП9	LS	62	DA/DB		24	-0,4	-	DA→DB	DB→DA	-	-
	ALS	27	-15	24	-0,1	-	15	15	-	-	
	AS	78	-15	64	-0,75	-	11	11	-	-	
	ВСТ	-	-3/15	24/64	-	-	7	7	-	-	
	HC	40 нФ	-6	6	-1 мкА	-	-	-	-	-	
	HCT	40 нФ	-6	6	-1 мкА	-	26	26	-	-	
	AC	45 нФ	-24	24	-1 мкА	-	25	25	-	-	
	ACT	45 нФ	-24	24	-1 мкА	-	9	9	-	-	
641	LS	62	0,1	24	-0,4	5,5	DA→DB	DB→DA	-	-	
	ALS	33	0,1	24	-0,1	5,5	25	25	-	-	
	AS	84	0,1	64	-0,75	5,5	25	25	-	-	
642	LS	62	0,1	24	-0,4	5,5	DA→DB	DB→DA	-	-	
	ALS	18	0,1	24	-0,1	5,5	25	25	-	-	
	AS	64	0,1	64	-0,75	5,5	30	30	-	-	
643 АП16	LS	62	-15	24	-0,4	-	DA→DB	DB→DA	-	-	
	ALS	33	-15	24	-0,1	-	15	15	-	-	
	AS	88	-15	64	-0,75	-	13	13	-	-	
	HC	40 нФ	-6	6	-1 мкА	-	8	10	-	-	
	HCT	40 нФ	-6	6	-1 мкА	-	28	28	-	-	
644	LS	62	0,1	24	-0,4	5,5	DA→DB	DB→DA	-	-	
	ALS	25	0,1	24	-0,1	5,5	25	25	-	-	
	AS	76	0,1	64	-0,75	5,5	30	30	-	-	
645	LS	62	-15	24	-0,4	-	DA→DB	DB→DA	-	-	
	ALS	36	-15	24	-0,1	-	15	15	-	-	
	AS	95	-15	64	-0,75	-	10	10	-	-	
	HC	40 нФ	-6	6	-1 мкА	-	9,5	9,5	-	-	
	HCT	40 нФ	-6	6	-1 мкА	-	26	26	-	-	



Продолжение табл. П2.1

SN74 и аналог		$I_{CC},$ мА (тип)	$I_{OH},$ мА (max)	$I_{OL},$ мА (max)	$I_{IL},$ мА (max)	$V_{OH},$ В (max)	$t_{PLH},$ нс (max)	$t_{PHL},$ нс (max)	$f_c,$ МГц (min)	$t_{SU},$ нс (min)	$t_H,$ нс (min)	
659 -	HC HCT	56 нФ	-6	6	-1 мкА	-	DA→DB	DA→PO	-	-	-	
		62 нФ	-6	6	-1 мкА	-	35 50	58 58	-	-	-	
664 -	HC HCT	56 нФ	-6	6	-1 мкА	-	DA→DB	DA→PO	-	-	-	
		56 нФ	-6	6	-1 мкА	-	38 38	58 58	-	-	-	
665 -	HC HCT	56 нФ	-6	6	-1 мкА	-	DA→DB	DA→PO	-	-	-	
		56 нФ	-6	6	-1 мкА	-	35 35	58 58	-	-	-	
666 -	ALS	40	-2,6	D/Q B/24	-0,1	-	DI→DO	L→DO	$t_{w,HC}$			
							18	29	10	10	5	
667 -	ALS	45	-2,6	D/Q B/24	-0,1	-	DI→DO	L→DO	$t_{w,HC}$			
							20	28	10	10	5	
668 669	LS	20	-0,4	8	-0,8	-	C→Q	-	25	Data	25	0
							27	-	-	25	0	
670 MP26	LS	30	-2,6	8	-1,2	-	D→DO	RD→DO	$t_{w,HC}$			
							45	50	25	15	15	
671 672	LS	35	-2,6	24	-0,4	-	C→DO	C <sub>L</sub> →DO	$t_{w,HC}$	Data		
							25	25	30	30	0	
673 -	LS	52	-2,6	24	-0,4	-				Data		
							45	45	20	20	0	
674 -	LS	25	-2,6	24	-0,4	-				Data		
							45	-	20	20	5	
677 -	ALS HC	21	-2,6	24	-0,1	-	P→Y	A→Y				
		40 нФ	-4	4	-1 мкА	-	38 156	35 37	-	-	-	
678 -	ALS HC	21	-2,6	24	-0,1	-	A/P→Y	C→Y	$t_{w,HC}$			
		40 нФ	-4	4	-1 мкА	-	35/43 156	48 37	40 19	45 125	5 5	
679 -	ALS HC	17	-2,6	24	-0,1	-	P→Y	A→Y				
		40 нФ	-4	4	-1 мкА	-	35 75	30 40	-	-	-	
680 -	ALS HC	18	-2,6	24	-0,1	-	A/P→Y	C→Y	$t_{w,HC}$			
		40 нФ	-4	4	-1 мкА	-	25/38 75	42 31	40 19	45 124	5 5	
682 -	LS HC	42	-0,4	24	-0,4	-						
		40 нФ	-4	4	-1 мкА	-	30 69	30 69	-	-	-	
684 -	LS HC	40	-0,4	24	-0,4	-						
		40 нФ	-4	4	-1 мкА	-	30 69	30 69	-	-	-	

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
685 -	LS	40	0,1	24	-0,4	5,5	45	35	-	-	-
686 -	LS	44	-0,4	24	-0,4	-	30	30	-	-	-
687 -	LS	44	0,1	24	-0,4	5,5	35	30	-	-	-
688 -	LS	40	-0,4	24	-0,4	-	18	30	-	-	-
	ALS	12	-2,6	24	-0,1	-	12	20	-	-	-
	НС	40 пФ	-4	4	-1 мкА	-	53	53	-	-	-
689 -	ALS	12	0,1	24	-0,1	5,5	25	23	-	-	-
690, 691 693, 696 697, 699	LS	48	-2,6	24	-0,4	-	$C_L \rightarrow DO$ 25	$C \rightarrow DO$ 25	20	Data 30	0
		746 -	ALS	13	-15	24	-0,2	-	12	9	-
747 -	ALS	18	-15	24	-0,2	-	14	15	-	-	-
756 -	ALS	13	0,1	24	-0,1	5,5	24	10	-	-	-
	AS	51	0,1	64	-0,5	5,5	19	6	-	-	-
757 -	AS	61	0,1	64	-1,0	5,5	18,5	6	-	-	-
758 -	ALS	10	0,1	24	-0,1	5,5	28	12	-	-	-
	AS	38	0,1	64	-0,5	5,5	19,5	6	-	-	-
759 -	AS	47	0,1	64	-1,0	5,5	20	6	-	-	-
760 -	ALS	15	0,1	24	-0,1	5,5	15	12	-	-	-
	AS	60	0,1	64	-1,0	5,5	18,5	6	-	-	-
762 -	AS	55	0,1	64	-1,0	5,5	19	6	-	-	-
763 -	ALS	14	0,1	24	-0,1	5,5	25	9	-	-	-
	AS	52	0,1	64	-1,0	5,5	19	6	-	-	-
804 ЛА20	ALS	7	-15	24	-0,1	-	7	8	-	-	-
	AS	16	-48	48	-0,5	-	4	4	-	-	-
	НС	40 пФ	-6	6	-1 мкА	-	25	25	-	-	-
805 ЛЕ8	ALS	4	-15	24	-0,1	-	7	8	-	-	-
	AS	20	-48	48	-0,5	-	4,3	4,3	-	-	-
	НС	40 пФ	-4	4	-1 мкА	-	45	45	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
808 ЛМ7	ALS AS HC	8 20 20 нФ	-15 -48 -6	24 48 6	-0,1 -0,5 -1 мкА	- - -	9 6 25	8 6 25	- - -	- - -	- - -
810 -	ALS	5	-0,4	8	-0,1	-	20	14	-	-	-
811 -	ALS	5	-0,1	8	-0,1	5,5	55	28	-	-	-
812 -	ALS	16	-3,0	24	-0,2	-	$P \rightarrow Q$ 14	$P \rightarrow Y$ 15	-	-	-
819 -	ALS	65	-3,0	24	-0,2	-	$C \rightarrow Y$ 16	$C \rightarrow PE$ 45	$t_{w,HC}$ 25	Data 8	5
821 822	AS	68	-24	48	-0,5	-	7,5	10,5	$t_{w,HC}$ 8	6	0
823 824	AS	61	-24	48	-0,5	-	7,5	11	$t_{w,HC}$ 8	6	0
825 826	AS	56	-24	48	-0,5	-	7,5	11	$t_{w,HC}$ 8	6	0
832 ЛЛ3	ALS AS HC	9,5 22 20 нФ	-15 -48 -6	24 48 6	-0,1 -0,5 -1 мкА	- - -	9 6,3 25	8 6,3 25	- - -	- - -	- - -
850 -	AS	52	-15	48	-1,0	-	$DI \rightarrow DO$ 11	$C \rightarrow DO$ 17,5	60	10	0
851 -	AS	52	-15	48	-1,0	-	$DI \rightarrow DO$ 11	$L \rightarrow DO$ 20	$t_{w,HC}$ 10	4,5	0
852 -	AS	136	-15	48	-1,0	-	$DA \rightarrow DB$ 11	$C \rightarrow DB$ 12,5	50	5,5	0
856 -	AS	118	-15	48	-1,0	-	$DA \rightarrow DB$ 9,5	$C \rightarrow DB$ 11	50	5,5	0
857 -	ALS AS	16 127	-2,6 -15	24 48	-0,2 -2,0	- -	$DI \rightarrow DO$ 25 12	- - -	- - -	- - -	- - -
866 -	AS	160	-2	20	-4	5,5	$P/Q \rightarrow \neq$ 17,5	$P/Q \rightarrow =$ 14	-	-	-
867 -	ALS AS	28 134	-0,4 -2	8 20	-0,2 -4,0	- -	16 11	16 15	35 50	10 4	3 0
869 -	ALS AS	28 125	-0,4 -2,0	8 20	-0,2 -4,0	- -	16 11	16 15	35 45	15 5	3 0



Продолжение табл. П2.1

SN74 и аналог		$I_{CC},$ мА (тип)	$I_{OH},$ мА (max)	$I_{OL},$ мА (max)	$I_{IL},$ мА (max)	$V_{OH},$ В (max)	$t_{PLH},$ нс (max)	$t_{PHL},$ нс (max)	$f_C,$ МГц (min)	$t_{SU},$ нс (min)	$t_H,$ нс (min)
870	ALS	80	-2,6	24	-0,2	-	19	$DI \rightarrow DO$ 26	$t_{w,HC}$ 12	15	0
-	AS	120	-15	48	-2,0	-	15	22	12	15	0
871	ALS	80	-2,6	24	-0,2	-	19	$DI \rightarrow DO$ 26	$t_{w,HC}$ 12	15	0
-	AS	120	-15	48	-2,0	-	16	23	12	15	0
873	ALS	16	-2,6	24	-0,2	-	$D \rightarrow DO$ 14	$L \rightarrow DO$ 22	$t_{w,HC}$ 15	10	7
ИР34	AS	68	-15	48	-0,5	-	6	11,5	4,5	2	3
874	ALS	19	-2,6	24	-0,2	-	14	14	30	15	0
ИР38	AS	92	-15	48	-2	-	8,5	10,5	125	2	1
876	ALS	18	-2,6	24	-0,2	-	14	14	30	15	0
-	AS	94	-15	48	-2,0	-	8,5	10,5	125	4	1
877	-	136	-15	48	-1,0	-	$DA \rightarrow DB$ 9	$C \rightarrow DB$ 11,5	50	5,5	0
878	ALS	18	-2,6	24	-0,2	-	14	16	30	15	4
-	AS	96	-15	48	-2,0	-	8,5	10,5	125	5,5	2
879	ALS	18	-2,6	24	-0,2	-	14	16	25	15	4
-	AS	94	-15	48	-2,0	-	8,5	10,5	125	5,5	2
880	ALS	19	-2,6	24	-0,2	-	$D \rightarrow Q$ 20	$L \rightarrow Q$ 24	$t_{w,HC}$ 15	10	10
-	AS	76	-15	48	-0,5	-	9,5	11,5	3,5	2	1
881	-	135	-3,0	48	-12	-	$B \rightarrow F$ 8	другие 16	-	-	-
882	-	44	-2,0	20	-7,5	-	$P/G \rightarrow C$ 12	-	-	-	-
885	-	130	-2,0	20	-4,0	-	$P/Q \rightarrow z$ 17,5	-	-	2	4
963	-	-	-2,6	$SO/Q$ 16/24	-0,1	-	14	-	25	-	-
964	ALS	-	-2,6	$SO/Q$ 16/24	-0,1	-	14	-	25	-	-
990	-	40	-2,6	$D/Q$ 8/24	-0,1	-	$D \rightarrow Q$ 24	$L \rightarrow Q$ 26	$t_{w,HC}$ 10	10	5
991	-	45	-2,6	$D/Q$ 8/24	-0,1	-	$D \rightarrow Q$ 20	$L \rightarrow Q$ 28	$t_{w,HC}$ 10	10	5
992	-	50	-2,6	$D/Q$ 8/24	-0,1	-	$D \rightarrow Q$ 16	$L \rightarrow Q$ 25	$t_{w,HC}$ 10 нс	10	5
993	-	52	-2,6	$D/Q$ 8/24	-0,1	-	$D \rightarrow Q$ 20	$L \rightarrow Q$ 28	$t_{w,HC}$ 10	10	5

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_C$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
994 -	ALS	52	-2,6	D/Q 8/24	-0,1	-	D → Q 18	L → Q 27	$t_{w,HC}$ 10 нс	10	5
995 -	ALS	55	-2,6	D/Q 8/24	-0,1	-	D → Q 20	L → Q 26	$t_{w,HC}$ 10	10	5
996 -	ALS	55	-2,6	D/Q 8/24	-0,1	-	28	28	35	5	-
1000 ЛА21	ALS AS	4,8 12	-2,6 -48	24 48	-0,1 -0,5	-	8 4	7 4	- -	- -	- -
1002 ЛЕ10	ALS	5,6	-2,6	24	-0,1	-	8	7	-	-	-
1003 ЛА23	ALS	4,8	0,1	24	-0,1	5,5	33	12	-	-	-
1004 ЛН8	ALS AS	7 16	-15 -48	24 48	-0,1 -0,5	-	7 4	6 4	- -	- -	- -
1005 ЛН10	ALS	7	0,1	24	-0,1	5,5	30	10	-	-	-
1008 ЛН8	ALS AS	5,7 13,5	-2,6 -48	24 48	-0,1 -0,5	-	9 6	9 6	- -	- -	- -
1010 ЛА24	ALS	3,6	-2,6	24	-0,1	-	8	8	-	-	-
1011 ЛН10	ALS	4,3	-2,6	24	-0,1	-	10	9	-	-	-
1020 ЛА22	ALS	2,4	-2,6	24	-0,1	-	8	7	-	-	-
1032 ЛН14	ALS AS	6,6 14,7	-2,6 -48	24 48	-0,1 -0,5	-	9 6,3	12 6,3	- -	- -	- -
1034 ЛН16	ALS AS	8 21	-15 -48	24 48	-0,1 -0,5	-	8 6	8 6	- -	- -	- -
1035 ЛН17	ALS	8	0,1	24	-0,1	5,5	30	12	-	-	-
1036 -	AS	14	-48	48	-0,5	-	4,3	4,3	-	-	-
1181 -	AS	74	-2,0	20	-3,0	-	B → F 14,5	другие 17,5	-	-	-
1240 -	ALS F	8,5 58	-15 -15	16 64	-0,1 -0,2	-	13 7,5	13 7,5	- -	- -	- -

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
1242 -	ALS F	10 50	-15 -15	16 64	-0,1 -0,2	- -	DA→DB 12 6,5	DB→DA 12 6,5	- -	- -	- -
1244 -	ALS F	10 57	-15 -15	16 64	-0,1 -0,2	- -	14 7,5	14 7,5	- -	- -	- -
1245 -	ALS F	23 100	-15 -3/15	DA/DB 16 24/64	-0,1 -0,2	- -	DA→DB 13 7	DB→DA 13 7	- -	- -	- -
1631 -	ALS	22	-33	33	-0,2	-	12	16	-	-	-
1640 -	ALS	18	-15	16	-0,1	-	DA→DB 15	DB→DA 15	-	-	-
1645 -	ALS	25	-15	16	-0,1	-	DA→DB 13	DB→DA 13	-	-	-
1804 -	ALS AS	7 16	-15 -48	24 48	-0,1 -0,5	- -	7 4	8 4	- -	- -	- -
1805 -	ALS AS	4 20	-15 -48	24 48	-0,1 -0,5	- -	7 4,3	8 4,3	- -	- -	- -
1808 -	ALS AS	8 20	-15 -48	24 48	-0,1 -0,5	- -	9 6	8 6	- -	- -	- -
1821 -	AS	68	-24	48	-0,5	-	7,5	10,5	$t_{W,HC}$ 8	6	0
1823 -	AS	61	-24	48	-0,5	-	7,5	11	$t_{W,HC}$ 8 нс	6	0
1832 -	ALS AS	9,5 22	-15 -48	24 48	-0,1 -0,5	- -	9 6,3	8 6,3	- -	- -	- -
2240 -	ALS	13	-15	15	-0,1	-	10	10	-	-	-
2242 -	ALS	14	-15	15	-0,1	-	DA→DB 11	DB→DA 11	-	-	-
2244 -	ALS	15	-15	15	-0,1	-	10	10	-	-	-
2540 -	ALS	13	-0,4	12	-0,1	-	12	11	-	-	-
2541 -	ALS	15	-0,4	12	-	-	15	12	-	-	-
2620 -	AS	74	-35	35	-0,75	-	8	6,5	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_{IL}$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{su}$ , нс (min)	$t_H$ , нс (min)
2623 -	AS	116	-35	35	-0,75	-	DA → DB 8,5	DB → DA 9	-	-	-
2640 -	AS	78	-35	35	-0,75	-	7,5	6,5	-	-	-
2645 -	AS	95	-35	35	-0,75	-	10	9,5	-	-	-
2827 -	BCT	28	-1	12	-0,2	$I_{CCZ}$ 4,5 мА	7	9	-	-	-
2828 -	BCT	28	-1	12	-0,2	$I_{CCZ}$ 3,5 мА	8	8	-	-	-
4002 ЛЕ9	HC	25 нФ	-4	4	-1 мкА	-	28	-	-	-	-
4017 -	HC	60 нФ	-4	4	-1 мкА	-	C → F 58	R → F 58	25	13	5
4020 -	HC	88 нФ	-4	4	-1 мкА	-	C → Q 38	R → Q 35	22	15	-
4024 -	HC	40 нФ	-4	4	-1 мкА	-	C → Q 30	R → Q 32	22	20	-
4040 -	HC	88 нФ	-4	4	-1 мкА	-	C → Q 38	R → Q 35	22	15	-
4060 4061	HC	88 нФ	-4	4	-1 мкА	-	C → Q3 123	R → Q 35	22	40	-
4075 -	HC	26 нФ	-4	4	-1 мкА	-	25	-	-	-	-
4078 -	HC	25 нФ	-4	4	-1 мкА	-	33	-	-	-	-
4514 4515	HC	60 нФ	-4	4	-1 мкА	-	58	-	$t_{w, HC}$ 20	25	5
4724 -	HC	33 нФ	-4	4	-1 мкА	-	D → Q 33	A → Q 50	$t_{w, HC}$ 20	19	5
7001 7002	HC	20 нФ	-4	4	-1 мкА	$I_{min}$ 0,4 В	33	-	-	-	-
7006 7008	HC	20 нФ	-4	4	-1 мкА	-	23	24	-	-	-
7032 -	HC	20 нФ	-4	4	-1 мкА	$I_{min}$ 0,4 В	33	-	-	-	-

Продолжение табл. П2.1

SN74 и аналог		$I_{CC}$ , мА (тип)	$I_{OH}$ , мА (max)	$I_{OL}$ , мА (max)	$I_L$ , мА (max)	$V_{OH}$ , В (max)	$t_{PLH}$ , нс (max)	$t_{PHL}$ , нс (max)	$f_c$ , МГц (min)	$t_{SU}$ , нс (min)	$t_H$ , нс (min)
7075 7076	HC	40 нФ	-4	4	-1 мкА	-	23	-	22	25	5
7266 ЛП13	HC	35 нФ	-4	4	-1 мкА	-	25	-	-	-	-
8003 -	ALS	0,81	-0,4	8	-0,1	-	11	8	-	-	-
8161 -	ALS	25	-0,4	8	-0,1	-	15	17	35	10	0
8163 -	ALS	25	-0,4	8	-0,2	-	15	17	35	10	0
8169 -	ALS	28	-0,4	8	-0,2	-	16	16	35	10	0
29806 -	ALS	14	-3	24	-1,0	-	$P \rightarrow Q$ 13	$P \rightarrow Y$ 14	-	-	-
29809 -	ALS	20	-3	24	-1,0	-	$P \rightarrow Q$ 13	$P \rightarrow Y$ 14	-	-	-
29818 -	ALS BCT	85 -	-3 -24	24 48	-0,2 -	- -	13 -	25 -	$t_{w,HC}$ 25	Data 8	5 -
29821 29822 29823 29824	ALS BCT	80 -	-24 -24	48 48	-0,2 -	- -	10 -	10 -	$t_{w,HC}$ 7	4 -	2 -
29825 29826	ALS BCT	70 -	-24 -24	48 48	-0,2 -	- -	10 -	10 -	$t_{w,HC}$ 7	4 -	2 -
29827 -	ALS BCT	25 28	-24 -24	48 48	-0,1 -0,2	$I_{CCZ}$ 25 мА 3,5 мА	8 7	10 9	- -	- -	- -
29828 -	ALS BCT	25 28	-24 -24	48 48	-0,1 -0,2	$I_{CCZ}$ 25 мА 3,5 мА	7 7	7,5 7	- -	- -	- -
29833 29834	ALS BCT	70 55	-24 -24	48 48	-0,2 -0,2	$I_{CCZ}$ 70 мА 30 мА	$DA \rightarrow DB$ 10 10	$DA \rightarrow P$ 19 15	$t_{w,HC}$ 10 10	15 12	0 0
29841 29842 29843 29844 29845 29846	ALS BCT	55 -	-24 -24	48 48	-0,2 -	- -	9,5 -	9,5 -	$t_{w,HC}$ 6	2,5 -	4,5 -

Окончание табл. П2.1

SN74 и аналог		$I_{CC},$ мА (тип)	$I_{OH},$ мА (max)	$I_{OL},$ мА (max)	$I_{IL},$ мА (max)	$V_{OH},$ В (max)	$t_{PLH},$ нс (max)	$t_{PHL},$ нс (max)	$f_C,$ МГц (min)	$t_{SU},$ нс (min)	$t_H,$ нс (min)
29853 -	ALS	70	-24	48	-0,2	$I_{CCZ}$	DA→DB	DA→P	$t_{w,HC}$		
	BCT	55	-24	48	-0,2	70 мА 30 мА	10 10	18 15	10 10	15 12	0 0
29854 -	ALS	70	-24	48	-0,2	$I_{CCZ}$	DA→DB	DA→P	$t_{w,HC}$		
	BCT	55	-24	48	-0,2	70 мА 30 мА	8 8	19 15	10 10	15 12	0 0
29861 -	ALS	40	-24	48	-0,1	$I_{CCZ}$	DA→DB				
	BCT	22	-24	48	-0,1	40 мА 4,5 мА	8 8	- -	- -	- -	- -
29862 -	ALS	40	-24	48	-0,1	-	DA→DB				
	BCT	-	-24	48	-	-	7,5	-	-	-	-
29863 -	ALS	40	-24	48	-0,1	$I_{CCZ}$	DA→DB				
	BCT	22	-24	48	-0,1	40 мА 4,5 мА	10 8	- -	- -	- -	- -
29864 -	ALS	40	-24	48	-0,1	-	DA→DB				
	BCT	-	-24	48	-	-	8	-	-	-	-

Таблица П2.2. Параметры ИС серий SN74HC/LS/ALS/AS

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (тип)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
00/ЛАЗ								
HC	4,1В/4	0,2В/4	0,1	-0,1	0,01/0,01	9/15	9/15	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	0,8/2,4	9/15	10/15	15/-
ALS	$V^*/-0,4$	0,5/8	20	-0,1	0,5/1,5	3/11	2/8	50/500
AS	$V^*/-2,0$	0,5/20	20	-0,5	2/10,8	1/4,5	1/4	50/50
01/ЛАВ								
LS	OC/10 В	0,5/8	20	-0,4	1,6*/4,4*	17/32	15/28	15/2000
ALS	OC	0,5/8	20	-0,1	0,43/1,62	23/54	8/28	50/2000
02/ЛЕ1								
HC	4,1В/4	0,2В/4	0,1	-0,1	0,01/0,01	9/15	9/15	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	1,6/2,4	10/15	10/15	15/-
ALS	$V^*/-0,4$	0,5/8	20	-0,1	0,86/2,16	3/12	3/7,5	50/500
AS	$V^*/-2,0$	0,5/20	20	-0,5	3,7/12,5	1/4,5	1/4,5	50/500
03/ЛАС								
HC	4,1В/4	0,2В/4	0,1	-0,1	0,01/0,01	9/15	9/15	15/-
LS	OC/10 В	0,5/8	20	-0,4	1,6*/4,4*	17/32	15/28	15/2000
ALS	OC	0,5/8	20	-0,1	0,43/1,6	20/50	3/13	50/2000
04/ЛН1								
HC	4,1В/4	0,2В/4	0,1	-0,1	0,01/0,01	9/15	9/15	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	1,2/3,6	9/15	10/15	15/-
ALS	$V^*/-0,4$	0,5/8	20	-0,1	0,65/2,9	3/11	2/8	50/500
AS	$V^*/-2,0$	0,5/20	20	-0,5	3/14	1/5	1/4	50/500
05/ЛН2								
LS	OC/10 В	0,5/8	20	-0,4	2,4*/6,6*	17/32	15/28	15/2000
ALS	OC	0,5/8	20	-0,1	0,65/2,9	23/54	4/14	50/500
07/ЛН9								
HC	4,1В/6	0,2В/6	0,1	-0,1	0,01/0,01	9/15	9/15	15/-
08/ЛН1								
HC	4,1В/4	0,2В/4	0,1	-0,1	0,01/0,01	9/15	9/15	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	2,4/4,4	8/15	10/20	15/-
ALS	$V^*/-0,4$	0,5/8	20	-0,1	1,3/2,2	4/14	3/10	50/500
AS	$V^*/-2,0$	0,5/20	20	-0,5	5,8/14,9	1/5,5	1/5,5	50/50
09/ЛН2								
LS	OC/10 В	0,5/8	20	-0,4	2,4/4,4	20/35	17/35	15/2000
ALS	OC	0,5/8	20	-0,1	1,35/2,2	23/54	5/15	50/2000
10/ЛН4								
HC	4,1В/4	0,2В/4	0,1	-0,1	0,01/0,01	11/18	11/18	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	0,6/1,8	9/15	10/15	15/-
ALS	$V^*/-0,4$	0,5/8	20	-0,1	0,32/1,2	2/11	2/10	50/500
AS	$V^*/-2,0$	0,5/20	20	-0,5	1,5/8,1	1/4,5	1/4,5	50/500
11/ЛН3								
HC	4,1В/4	0,2В/4	0,1	-0,1	0,01/0,01	11/18	11/18	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	1,8/3,3	8/15	10/20	15/-
ALS	$V^*/-0,4$	0,5/8	20	-0,1	1/1,6	2/13	2/10	50/500
AS	$V^*/-2,0$	0,5/20	20	-0,5	4,3/11,2	1/6	1/5,5	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (тип)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
12/ЛА10 LS ALS	OC/10 В OC	0,5/8 0,5/8	20 20	-0,4 -0,1	1,4*/3,3* 0,32/1,2	17/32 23/54	15/28 5/18	15/2000 50/2000
13/ТЛ1 LS	2,7/-0,4	0,5/8	20	-0,4	3/4	15/22	18/27	$V_P/V_{N'}$ В 1,8/0,95
14/ТЛ2 HC LS	4,18/-4 2,7/-0,4	0,26/4 0,5/8	0,1 20	-0,1 -0,4	0,01/0,01 8,6/12	19/28 15/22	19/28 15/22	$V_P/V_{N'}$ В 2,5/2,1 1,6/0,8
15/ТМ4 LS ALS	OC/10 В OC	0,5/8 0,5/8	20 20	-0,4 -0,1	1,8/3,3 1/1,66	20/35 20/45	17/35 6/20	15/2000 50/2000
18/- LS	2,7/-0,4	0,5/8	20	-0,05	3,3/5,7	13/20	13/55	$V_P/V_{N'}$ В 1,85/1,0
19/- LS	2,7/-0,4	0,5/8	20	-0,05	9,9/17	13/20	18/30	$V_P/V_{N'}$ В 1,85/1,0
20/ЛА1 HC LS ALS AS	4,18/-4 2,7/-0,4 $V^*/-0,4$ $V^*/-2,0$	0,26/4 0,5/8 0,5/8 0,5/20	0,1 20 20 20	-0,1 -0,4 -0,1 -0,5	0,01/0,01 0,4/1,2 0,22/0,81 1/5,4	11/18 9/15 3/11 1/5	11/18 10/15 3/10 1/4,5	15/- 15/- 50/500 50/500
21/ТМ6 HC LS ALS AS	4,18/-4 2,7/-0,4 $V^*/-0,4$ $V^*/-2,0$	0,26/4 0,5/8 0,5/8 0,5/20	0,1 20 20 20	-0,1 -0,4 -0,1 -0,5	0,01/0,01 1,2/2,2 0,85/1,4 2,9/7,4	11/18 8/15 4/15 1/6	11/18 10/20 2/10 1/6	15/- 15/- 50/500 50/500
22/ЛА7 LS ALS	OC/10 В OC	0,5/8 0,5/8	20 20	-0,4 -0,1	0,4/1,2 0,22/0,8	17/32 23/45	15/28 4/18	15/2000 50/2000
24/- LS	2,7/-0,4	0,5/8	20	-0,05	6,6/11	13/20	21/40	$V_P/V_{N'}$ В 1,85/1,0
26/ЛА11 LS	OC/15 В	0,5/8	20	-0,4	0,8/2,4	17/32	15/28	15/2000
27/ЛЕ4 HC LS ALS AS	4,18/-4 2,7/-0,4 $V^*/-0,4$ $V^*/-2,0$	0,26/4 0,5/8 0,5/8 0,5/20	0,1 20 20 20	-0,1 -0,4 -0,1 -0,5	0,01/0,01 2,0/3,4 0,97/2 4/10,6	9/15 10/15 4/15 1/5,5	9/15 10/15 3/8 1/4,5	15/- 15/- 50/500 50/500
28/ЛЕС LS ALS	2,7/-1,2 2,4/-2,6	0,5/24 0,5/24	20 20	-0,4 -0,1	2,1/11 1,7/5,6	12/24 2/8	12/24 2/7	45/667 50/500



Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
74/ТМ2							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,02/0,02	18/29	28/46	15/-
LS	2,7/-0,4	0,5/8	40	-0,8	8*/8*	13/25	25/33	15/-
ALS	$V^*/-0,4$	0,5/8	40	-0,4	2,4/2,4	5/16	34/50	50/500
AS	$V^*/-0,4$	0,5/20	40	-1,8	10,5/10,5	3,5/8	105/134	50/500
75/ТМ7								
HC	4,18/-4	0,26/4	0,1	-0,1	0,02/0,02	15/24	15/24	15/-
LS	2,7/-0,4	0,5/8	80	-1,6	12*/12*	15/27	14/25	15/-
76/ТВ3							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,02/0,02	16/26	35/62	15/-
LS	2,7/-0,4	0,5/8	80	-0,8	6*/6*	15/20	30/45	15/-
77/ТМ5								
HC	4,18/-4	0,26/4	0,1	-0,1	0,02/0,02	15/24	15/24	15/-
78/-							$f_C$ , МГц	
LS	2,7/-0,4	0,5/8	160	-1,6	4/4	15/20	30/45	15/-
83/ММ3								
LS	2,7/-0,4	0,5/8	40	-0,8	22/19	16/24	15/24	15/-
85/СТ1								
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	26/41	26/41	15/-
LS	2,7/-0,4	0,5/8	60	-1,2	11/11	25/36	20/30	15/-
86/ТМ5								
HC	4,18/-4	0,26/4	0,1	-0,1	0,01/0,01	15/24	15/24	15/-
LS	2,7/-0,4	0,5/8	40	-0,6	6/6	20/30	13/22	15/-
ALS	$V^*/-0,4$	0,5/8	20	-0,1	3,9/3,9	3/17	2/12	50/500
AS	$V^*/-2,0$	0,5/20	20	-0,5	11/20	2/7,5	2/6,5	50/500
90/МЕ2							$f_C$ , МГц	
LS	2,7/-0,4	0,5/8	120	-3,2	9/9	32*	32/-	15/-
91/-							$f_C$ , МГц	
LS	2,7/-0,4	0,5/8	20	-0,4	20*/20*	24/40	10/18	15/-
92/МЕ4							$f_C$ , МГц	
LS	2,7/-0,4	0,5/8	120	-3,2	9/9	32*	32/-	15/-
93/МЕС							$f_C$ , МГц	
LS	2,7/-0,4	0,5/8	120	-3,2	9/9	51*	32/-	15/-
95/МР1							$f_C$ , МГц	
LS	2,7/-0,4	0,5/8	40	-0,8	13/13	18/27	25/36	15/-
AS	$V^*/-2,0$	0,5/20	20	-1	21/26	2/10	100/-	50/500
96/-								
LS	2,5/-0,4	0,5/8	100	-2,0	12*/12*	25/40	25/40	15/-

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
107/ТБ6							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,02/0,02	18/29	34/58	15/-
LS	2,7/-0,4	0,5/8	80	-0,8	6*/6*	15/20	30/45	15/-
109/ТБ15							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,02/0,02	18/29	33/63	15/-
LS	2,7/-0,4	0,5/8	80	-1,6	4/4	15/20	30/45	15/-
ALS	$V^*/-0,4$	0,5/8	40	-0,4	2,4/2,4	5/16	34/50	50/500
AS	$V^*/-2,0$	0,5/20	40	-1,8	11,5/11,5	3,5/9	105/129	50/500
112/ТБ9							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,02/0,02	14/23	40/70	15/-
LS	2,7/-0,4	0,5/8	80	-0,8	6*/6*	15/20	30/45	15/-
ALS	$V^*/-0,4$	0,5/8	40	-0,4	2,5/2,5	3/15	30/50	50/500
113/ТБ10							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,02/0,02	14/23	40/71	15/-
LS	2,7/-0,4	0,5/8	80	-0,7	4/4	11/16	30/45	15/-
ALS	$V^*/-0,4$	0,5/8	40	-0,4	2,5/2,5	3/15	30/40	50/500
114/ТБ11							$f_c$ , МГц	
LS	2,7/-0,4	0,5/8	160	-1,6	4/4	11/16	30/45	15/-
ALS	$V^*/-0,4$	0,5/8	40	-0,4	2,5/2,5	3/15	30/40	50/500
122/-								
LS	2,7/-0,4	0,5/8	20	-0,4	20*/20*	23/44	34/56	15/2000
123/АТ3								
HC	4,18/-4	0,26/4	0,1	-0,1	0,01/0,01	-	-	
LS	2,7/-0,4	0,5/8	20	-0,4	20*/20*	23/44	34/56	15/2000
125/ЛТ8, 126/-								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	12/20	12/20	15/-
LS	2,4/-2,6	0,5/24	20	-0,4	16*/20*	9/15	7/18	15/-
131/-							$f_c$ , МГц	
ALS	$V^*/-0,4$	0,5/8	20	-0,1	5,0/5,0	8/25	50/-	50/500
AS	$V^*/-2,0$	0,5/20	20	-0,5	15/16	2/14,5	*100/-	50/500
132/ЛТ3								$V_P/V_N$ , В
HC	4,18/-4	0,26/4	0,1	-0,1	0,01/0,01	13/21	13/21	2,5/2,1
LS	2,7/-0,4	0,5/8	20	-0,4	6/8	15/22	15/22	1,6/0,8
133/-								
HC	4,18/-4	0,26/4	0,1	-0,1	0,01/0,01	4/8	17/27	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	0,35/0,6	10/15	25/38	15/-
ALS	$V^*/-0,4$	0,5/8	20	-0,1	0,24/0,56	3/11	5/25	50/500
136/-								
LS	OC/10 В	0,5/8	40	-0,6	6/6	18/30	18/30	15/2000
ALS	OC	0,5/8	20	-0,1	3,9/3,9	20/50	3/15	50/2000
AS	OC	0,5/20	20	-0,5	14/22	6,3/12	3,3/7,1	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCN}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
137/- HC ALS AS	4,18/-4 $V^*/-0,4$ $V^*/-2,0$	0,26/4 0,5/8 0,5/20	0,1 20 20	-0,1 -0,1 -1,0	0,04/0,04 5,0/5,0 15/15	14/23 5/20 2/12,5	14/23 6/20 2/12,5	15/- 50/500 50/500
138-ИД7 HC LS ALS AS	4,18/-4 2,7/-0,4 $V^*/-0,4$ $V^*/-2,0$	0,26/4 0,5/8 0,5/8 0,5/20	0,1 20 20 20	-0,1 -0,4 -0,1 -0,5	0,04/0,04 6/6 5/5 12/14	20/32 18/27 6/22 2/10	20/32 26/39 6/18 2/10	15/- 15/- 50/500 50/500
139-ИД14 HC LS ALS AS	4,18/-4 2,7/-0,4 $V^*/-0,4$ $V^*/-2,0$	0,26/4 0,5/8 0,5/8 0,5/20	0,1 20 20 20	-0,1 -0,4 -0,1 -0,5	0,04/0,04 7/7 8/8 13/13	16/26 18/29 3/14 5,5	16/26 25/38 3/15 6	15/- 15/- 50/500 50/50
145-ИД10 LS	OC/10 В	0,5/24	20	-0,4	13*/13*	50*	50*	45/667
147-ИВ3 HC LS	4,18/-4 2,7/0,4	0,26/4 0,5/8	0,1 40	-0,1 -0,8	0,04/0,04 20*/20*	16/26 21/33	16/26 15/23	15/- 15/2000
148-ИВ1 HC LS	4,18/-4 2,7/-0,4	0,26/4 0,5/8	0,1 40	-0,1 -0,8	0,04/0,04 20*/20*	14/23 21/33	14/23 15/23	15/- 15/2000
151-КП7 HC LS ALS AS	4,18/-4 2,7/-0,4 2,4/-2,6 2,4/-15	0,26/4 0,5/8 0,5/24 0,5/48	0,1 20 20 40	-0,1 -0,4 -0,1 -1	0,04/0,04 6/6 7,5/7,5 18,6/18,6	18/29 27/43 7/24 4,5/15	18/29 18/30 7/23 4,5/15	15/- 15/- 50/500 50/500
152-КП5 LS	2,7/-0,4	0,5/8	20	-0,4	6/6	14/23	20/32	15/-
153-КП2 HC LS ALS AS	4,18/-4 2,7/-0,4 2,4/-2,6 2,4/-15	0,26/4 0,5/8 0,5/24 0,5/48	0,1 20 20 40	-0,1 -0,4 -0,1 -1	0,04/0,04 6/6 7,5/7,5 16/21	4/23 19/25 5/21 3/12,5	4/23 25/38 5/21 3/11	15/- 15/- 50/500 50/500
154-ИД3 HC LS ALS	4,18/-4 2,7/-0,4 2,4/-2,6	0,32/4 0,5/8 0,5/24	0,1 20 20	-0,1 -0,4 -0,2	0,04/0,04 14*/14* 14/14	23/36 36* 3/12	23/36 33* 3/12	15/- 15/2000 50/500
155-ИД4 HC LS	4,18/-4 2,7/-0,4	0,26/4 0,5/8	0,1 20	-0,1 -0,4	0,04/0,04 6/6	19/30 17/26	19/30 19/30	15/- 15/2000
156-ИД5 LS ALS	OC/10 В OC	0,5/8 0,5/8	20 20	-0,4 -0,1	6/6 5/5	31/46 13/55	34/51 6/25	15/2000 50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCM}/I_{CSL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
157/КП16								
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	12/20	12/20	15/-
LS	2,7/-0,4	0,5/8	40	-0,8	10/10	15/23	18/27	15/-
ALS	$V^k$ /-0,4	0,5/8	20	-0,1	6/6	7/24	4/17	50/500
AS	$V^*$ /-2,0	0,5/20	40	-1	17,5/17,5	2/11	2/10	50/500
158/КП18								
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	11/18	11/18	15/-
LS	2,7/-0,4	0,5/8	40	-0,8	5/5	13/20	16/24	15/-
ALS	$V^k$ /-0,4	0,5/8	20	-0,1	5/5	5/18	5/18	50/500
AS	$V^*$ /-2,0	0,5/20	40	-1	15,6/15,6	2/9,5	2/10,5	50/500
160/ME9, 161/ME10, 162/ME11, 163/ME18							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	22/35	28/50	15/-
LS	2,7/-0,4	0,5/8	40	-0,8	18/19	13/25	25/35	15/-
ALS	$V^k$ /-0,4	0,5/8	20	-0,2	12/12	5/20	40/-	50/500
AS	$V^*$ /-2,0	0,5/20	60	-1,5	35/35	2/12,5	75/-	50/500
164/MP8							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	21/33	30/50	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	16/16	17/27	25/36	15/-
ALS	$V^k$ /-0,4	0,5/8	20	-0,1	14/14	6/16	50/75	50/500
165/MP9							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	21/33	30/44	15/-
ALS	$V^k$ /-0,4	0,5/8	20	-0,1	12/12	3/13	45/-	50/500
166/MP10							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	17/27	35/58	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	38*/38*	23/35	25/35	15/-
ALS	$V^k$ /-0,4	0,5/8	20	-0,1	14/14	2/12	45/-	50/500
168/ME16, 169/ME17							$f_c$ , МГц	
LS	2,7/-0,4	0,5/8	40	-0,8	20/20	22/30	25/32	15/-
ALS	$V^k$ /-0,4	0,5/8	20	-0,2	15/15	3/20	40/-	50/500
AS	$V^*$ /-2,0	0,5/20	40	-1	41/41	3/16,5	75/-	50/500
170/MP32								
LS	OC/10 В	0,5/8	40	-0,8	25/25	25/40	24/40	15/2000
173/MP15							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	19/30	33/52	50/-
LS	2,4/-0,4	0,5/24	20	-0,4	30*/30*	17/25	30/50	45/667
174/TM9							$f_c$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	20/32	30/60	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	11/11	13/25	30/40	15/-
ALS	$V^k$ /-0,4	0,5/8	20	-0,1	9/9	3/15	50/-	50/500
AS	$V^*$ /-2,0	0,5/20	20	-0,5	22,5/22,5	3,5/8	100/-	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
175/TM8							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	20/32	30/80	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	11/11	13/25	30/40	15/-
ALS	$V^* / -0,4$	0,5/8	20	-0,1	9/9	3/15	50/-	50/500
AS	$V^* / -2,0$	0,5/20	20	-0,5	22,5/22,5	4/7,5	100/-	50/500
181/MT3								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	-	-	
LS	2,7/-0,4	0,5/8	100	-2,0	21/21	19/29	15/23	15/-
AS	$V^* / -2,0$	0,5/20	120	-12	135/135	2/11	2/11	50/500
182/MT4								
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	-	-	
AS	$V^* / -2,0$	0,5/20	160	-4	16/23	3/10	3/9,5	50/500
183/MS5								
LS	2,7/-0,4	0,5/8	60	-1,2	14*/17*	9/15	12/18	15/-
190/ME12							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	-	-	
LS	2,7/-0,4	0,5/8	60	-1,1	20/20	16/24	20/25	15/-
ALS	$V^* / -0,4$	0,5/8	20	-0,2	12/12	8/31	25/-	50/500
191/ME13							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	-	-	
LS	2,7/-0,4	0,5/8	60	-1,1	20/20	16/24	20/25	15/-
ALS	$V^* / -0,4$	0,5/8	20	-0,2	12/12	8/31	30/-	50/500
192/ME6							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	-	-	
LS	2,7/-0,4	0,5/8	20	-0,4	19/19	17/38	25/32	15/-
ALS	$V^* / -0,4$	0,5/8	20	-0,2	12/12	4/16	25/-	50/500
193/ME7							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	-	-	
LS	2,7/-0,4	0,5/8	20	-0,4	19/19	17/38	25/32	15/-
ALS	$V^* / -0,4$	0,5/8	20	-0,2	12/12	4/16	30/-	50/500
194/MP11							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	13/21	33/55	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	15/15	14/22	25/36	15/-
AS	$V^* / -2,0$	0,5/20	40	-1	30/38	3/7	80/-	50/500
195/MP12							$f_C$ , МГц	
HC	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	14/23	38/77	15/-
LS	2,7/-0,4	0,5/24	20	-0,4	14/14	14/22	30/40	15/-
AS	$V^* / -2,0$	0,5/20	40	-1	32/36	3/8,5	70/-	50/500
196/ME14							$f_C$ , МГц	
LS	2,7/-0,4	0,5/8	80	-2,8	12/12	38/57	30/40	15/-

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCN}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
243/М17								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	14/23	14/23	50/-
LS	2/-15	0,5/24	40	-0,2	38*/50*	12/18	12/18	45/667
ALS	2/-15	0,5/24 <sup>1</sup>	20	-0,1	15/20	4/11	4/11	50/500
AS	2,4/-15	0,55/64	70	-1	28/47	3/7,5	3/6,5	50/500
244/А15								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	13/21	13/21	50/-
LS	2/-15	0,5/24	20	-0,2	27*/46*	12/18	12/18	45/667
ALS	2/-15	0,5/24 <sup>1</sup>	20	-0,1	9/15/17	3/10	3/10	50/500
AS	2,4/-15	0,55/64	20	-1	22/60/34	2/6,2	2/6,2	50/500
245/А16								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	12/20	12/20	50/-
LS	2/-15	0,5/24	20	-0,2	70*90*	8/12	8/12	45/667
ALS	2/-15	0,5/24 <sup>1</sup>	20	-0,1	30/36/38	3/10	3/10	50/500
AS	2/-15	0,55/64	70	-0,8	62/95/79	2/7,5	2/7	50/500
247/М18								
LS	0С/10 В	0,5/24	20	-1,2	7/7	100	100	15/665
248/-								
LS	0С/RI	0,5/3,2	20	-1,2	25/25	100	100	15/4000
250/-								
AS	2,4/-15	0,5/48	20	-0,5	26/31/30	4/13	4/10,5	50/500
251/КП15								
HC	4,18/-6	0,26/4	0,1	-0,1	0,04/0,04	18/29	18/29	15/-
LS	2,4/-2,6	0,5/8	20	-0,4	6/7	28/45	28/45	15/-
ALS	2,4/-2,6	0,5/24	20	-0,1	7/7/9,4	8/24	7/23	50/500
AS	2,4/-15	0,5/48	40	-0,6	28/28	5	5	50/500
253/КП12								
LS	2,4/-2,6	0,5/8	20	-0,4	7/8,5	30/45	21/32	15/-
ALS	2,4/-2,6	0,5/24	20	-0,1	6,5/6,5/7,5	5/21	5/21	50/500
AS	2,4/-15	0,5/48	40	-1	18/20/21	4/13,5	4/11,5	50/500
256/-								
LS	2,4/-0,4	0,5/8	40	-0,8	20/20	20/27	16/24	15/-
257/КП11								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	14/23	14/23	50/-
LS	2,4/-2,6	0,5/8	40	-0,8	10*/16*	16/21	19/25	45/667
ALS	2,4/-2,6	0,5/24	20	-0,1	3/8/9	7/18	6/22	50/500
AS	2,4/-15	0,5/48	40	-1	12/19/19,7	2/11	2/10	50/500
258/КП14								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	14/23	14/23	50/-
LS	2,4/-2,6	0,5/8	40	-0,8	7*/14*	15/21	18/25	45/667
ALS	2,4/-2,6	0,5/24	20	-0,1	2,5/7/8	8/20	5/25	50/500
AS	2,4/-15	0,5/48	40	-1	8,4/15/15,5	2/9,5	2/10	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
259/MP30 HC LS ALS	4,18/-4 2,4/-0,4 $V^*/-2,0$	0,26/4 0,5/8 0,5/8	-0,1 40 20	-0,1 -0,8 -0,1	0,04/0,04 20/20 14/14	18/29 22/35 4/22	18/29 15/24 2/12	15/- 15/- 50/500
260/ЛЕ7 LS	2,7/-0,4	0,5/8	20	-0,4	4*/5,5*	5/15	6/15	15/-
264/- AS	$V^*/-2,0$	0,5/20	160	-4	26/28	3/9,5	3/8,5	50/500
266/- HC LS	4,18/-4 0С/10 В	0,26/4 0,5/8	0,1 40	-0,1 -0,6	0,01/0,01 8/8	- 18/30	- 18/30	- 15/2000
273/MP35 HC LS ALS	4,18/-4 2,7/-0,4 2,4/-2,6	0,26/4 0,5/8 0,5/24	0,1 20 20	-0,1 -0,4 -0,2	0,04/0,04 17/17 11/19	$f_C$ , МГц 21/33 17/27 2/12	30/60 30/40 35/-	15/- 15/- 50/500
279/TP2 HC LS	4,18/-4 2,7/-0,4	0,26/4 0,5/8	0,1 20	-0,1 -0,4	0,02/0,02 3,8/3,8	13/21 12/22	13/21 13/21	15/- 15/-
280/MP15 HC LS ALS AS	4,18/-4 2,7/-0,4 2,4/-2,6 $V^*/-2,0$	0,26/4 0,5/8 0,5/24 0,5/20	0,1 20 20 20	-0,1 -0,4 -0,1 -0,5	0,04/0,04 27*/27* 10/10 25/25	34/53 33/50 3/20 3/12	34/53 29/45 4/22 3/11	15/- 15/- 50/500 50/500
282/- AS	$V^*/-2,0$	0,5/20	160	-4	22/26	3/14	3/12	50/500
283/MP6 HC LS	4,18/-4 2,7/-0,4	0,26/4 0,5/8	0,1 40	-0,1 -0,8	0,04/0,04 22/19	31/48 16/24	31/48 15/24	15/- 15/-
286/- AS	2,4/-15	0,5/48	50	-0,5	30/35	3/16,5	3/16,5	50/500
290/-, 293/- LS	2,7/-0,4	0,5/8	80	-3,2	9/9	16	$f_C$ , МГц 32/-	15/-
292/П11 HC LS	4,18/-4 2,7/-0,4	0,26/4 0,5/8	0,1 20	-0,1 -0,4	0,04/0,04	-	-	-
295/MP16 LS	2,4/-2,6	0,5/8	20	-0,4	14/14	24/30	$f_C$ , МГц 30/45	15/-
298/КТ13 HC LS AS	4,18/-4 2,7/-0,4 $V^*/-2,0$	0,26/4 0,5/8 0,5/20	0,1 20 40	-0,1 -0,4 -0,8	0,04/0,04 13/13 21/22	- 18/27 2/9	$f_C$ , МГц - 100/-	- 15/- 50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (тип)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
299/MP24, 323/MP29								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	-	$f_c$ , МГц	
LS	2,4/-2,6	0,5/24	40	-0,8	53*/53*	25/39	25/30	45/667
ALS	2,4/-2,6	0,5/24	20	-0,2	15/22/23	5/15	30/-	50/500
AS	2,4/-15	0,5/48			-/-/95	10	-	50/500
322/MP28								
LS	2,7/-2,6	0,5/24	60	-1,2	60/60	22/33	16/25	45/667
348/MB2								
LS	2,4/-2,6	0,5/8	40	-0,8	12/13	23/35	23/35	45/667
352/КП19								
LS	2,7/-0,4	0,5/8	20	-0,4	6,2/6,2	19/29	25/38	15/-
ALS	2,4/-2,6	0,5/24	20	-0,1	6,5/6,5	5/24	5/21	50/500
AS	2,4/-15	0,5/48	40	-1	15,5/17,5	4/11	4/13	50/500
353/КП17								
LS	2,7/-2,6	0,5/8	20	-0,4	7/8,5	20/45	21/32	15/-
ALS	2,4/-2,6	0,5/24	20	-0,1	7/7/8	5/24	5/21	50/500
AS	2,4/-15	0,5/48	40	-1	15/19/18	3/9	4/12	50/500
354/-								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	31/48	31/48	50/-
356/-								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	33/51	33/51	50/-
365/ЛП10								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	10/17	10/17	50/-
LS	2,4/-2,6	0,5/24	20	-0,4	13,5/13,5	10/16	9/22	45/667
366/ЛП6								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	10/17	10/17	50/-
LS	2,7/-2,6	0,5/24	20	-0,4	11,8/11,8	7/15	12/18	45/667
367/ЛП11, 368/ЛП7								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	10/17	10/17	50/-
LS	2,4/-2,6	0,5/24	20	-0,4	13,5/13,5	10/16	9/22	45/667
373/MP22								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	20/32	20/32	15/-
LS	2,4/-2,6	0,5/24	20	-0,4	24/24	12/18	12/18	45/667
ALS	2,4/-2,6	0,5/24	20	-0,1	9/16/17	6/22	7/23	50/500
AS	2,4/-15	0,5/48	20	-0,5	55/55/65	6,5/12	5/7,5	50/500
374/MP23								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	20/32	$f_c$ , МГц	15/-
LS	2,4/-2,6	0,5/24	20	-0,4	27/27	15/28	35/50	45/667
ALS	2,4/-2,6	0,5/24	20	-0,2	11/19/20	3/12	35/-	50/500
AS	2,4/-15	0,5/48	20	-2	77/84/84	3/8	125/-	50/500
375/-								
HC	4,18/-6	0,26/4	0,1	-0,1	0,01/0,01	12/20	12/20	15/-



Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
377/MP27								
HC	4,18/-6	0,26/4	0,1	-0,1	0,04/0,04	17/27	$f_C$ , МГц 35/58	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	18/18	17/27	30/40	15/2000
378/MP18								
LS	2,7/-0,4	0,5/8	20	-0,4	16/16	17/27	$f_C$ , МГц 30/40	
379/MP19								
LS	2,7/-0,4	0,5/8	20	-0,4	11/11	17/27	$f_C$ , МГц 30/40	15/-
386/-								
HC	4,18/-6	0,26/4	0,1	-0,1	0,01/0,01	15/24	15/24	15/-
LS	2,7/-0,4	0,5/8	20	-0,4	$10^*/10^*$	12/23	10/17	15/-
390/ME20								
HC	4,18/-6	0,26/4	0,1	-0,1	0,04/0,04	21/33	$f_C$ , МГц 38/76	15/-
LS	2,7/-0,4	0,5/8	80	-3,2	20/20	40/60	25/35	15/-
393/ME19								
HC	4,18/-6	0,26/4	0,1	-0,1	0,04/0,04	31/48	38/76	15/-
LS	2,7/-0,4	0,5/8	80	-3,2	20/20	40/60	25/35	15/-
395/MP25								
LS	2,4/-2,6	0,5/8	20	-0,4	29*/25*	35*	25*	15/-
398/-, 399/КП20								
LS	2,7/-0,4	0,5/8	20	-0,4	13*/13*	18/27	21/32	15/-
465/АП14								
LS	2,4/-2,6	0,5/24	20	-0,2	32*/22*	9/15	12/18	45/667
ALS	2,0/-15	0,5/24 <sup>1</sup>	20	-0,1	11/19/23	2/13	4/12	50/50
466/АП15, 468/-								
ALS	2,0/-15	0,5/24 <sup>1</sup>	20	-0,1	7/16/19	3/12	2/9	50/50
467/-								
ALS	2,0/-15	0,5/24 <sup>1</sup>	20	-0,1	11/19/23	2/13	4/12	50/50
490/-								
LS	2,7/-0,4	0,5/8	60	-2,4	19/19	12/20	$f_C$ , МГц 25/35	15/2000
518/-								
ALS	OC	0,5/24	200	-0,6	11/11	15/33	3/15	50/680
519/-								
ALS	OC	0,5/24	20	-0,1	11/11	15/33	3/15	50/680
520/-								
ALS	2,4/-2,6	0,5/24	200	-0,6	12/12	3/12	5/20	50/500
521/-								
ALS	2,4/-2,6	0,5/24	20	-0,1	12/12	3/12	5/20	50/500

Продолжение табл. П2.2

SNT4 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (тип)	$t_{PHH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
522/- ALS	OC	0,5/24	200	-0,6	11/11	10/25	5/23	50/680
526/- ALS	2,4/-2,6	0,5/24	20	-0,2	16/16	3/15	2/12	50/500
527/- ALS	2,4/-2,6	0,5/24	20	-0,2	15/15	3/15	2/12	50/500
528/- ALS	2,4/-2,6	0,5/24	20	-0,2	13/13	3/15	2/12	50/500
533/MP40								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	20/32	20/32	15/-
LS	2,4/-2,6	0,5/24	20	-0,4	40*/40*	-	-	-
ALS	2,4/-2,6	0,5/24	20	-0,1	10/17/18,5	5/23	4/18	50/500
AS	2,4/-15	0,5/48	20	-0,5	62/64/71	5/9	4,5/8	50/500
534/MP41							$f_c$ , МГц	
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	20/32	30/54	15/-
LS	2,4/-2,6	0,5/24	20	-0,4	40*/40*	-	-	-
ALS	2,4/-2,6	0,5/24	20	-0,2	11/19	3/12	35/-	50/500
AS	2,4/-15	0,5/48	20	-2	77/84	3/8	125/-	50/500
540/АП12								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	12/20	12/20	15/-
LS	2/-15	0,5/24	20	-0,2	25*/45*	9/15	12/15	45/667
ALS	2/-15	0,5/24	20	-0,1	5/13/11	2/12	2/9	50/500
541/АП13								
HC	4,18/-6	0,26/6	0,1	-0,1	0,04/0,04	12/20	12/20	15/-
LS	2/-15	0,5/24	20	-0,2	32*/52*	12/15	12/18	45/667
ALS	2/-15	0,5/24	20	-0,1	6/15/13,5	4/14	2/10	50/500
560/-							$f_c$ , МГц	
ALS	2,4/-2,6	0,5/24	40	-0,2	17/21/22	9/29	20/-	50/500
561/-							$f_c$ , МГц	
ALS	2,4/-2,6	0,5/24	40	-0,2	17/21/22	9/29	30/-	50/500
563/-								
HCT	4,18/-6	0,32/6	0,1	-0,1	0,04/0,04	22/35	22/35	15/-
ALS	2,4/-2,6	0,5/24	20	-0,1	10/16/17	6/22	6/21	50/500
564/-							$f_c$ , МГц	
HCT	4,18/-6	0,32/6	0,1	-0,1	0,04/0,04	24/38	24/41	15/-
ALS	2,4/-2,6	0,5/24	20	-0,2	10/15/16	3/14	30/-	50/500
568/-							$f_c$ , МГц	
LS	2,7/-0,4	0,5/24	20	-0,8	43*/43*	15/24	25/-	15/-
ALS	2,4/-2,6	0,5/24	20	-0,2	16/20/20	12/28	20/-	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (тип)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
622/- ALS AS	OC OC	0,5/24 <sup>1</sup> 0,5/64	20 70	-0,1 -0,8	11/20 24/63	8/35 5/25	5/19 1/8	50/500 50/500
623/АП26 HC ALS AS	4,18/-6 2/-15 2/-15	0,26/6 0,5/24 <sup>1</sup> 0,55/64	0,1 20 70	-0,1 -0,1 -0,8	0,04/0,04 32/39/42 57/116/71	9/15 2/13 1/9	9/15 3/11 1/8	15/- 50/500 50/500
632/- ALS AS	2,4/-2,6 2,4/-2,6	0,5/24 0,5/24	20 20	-0,4 -0,4	157/157 200/200	5/30 4/25	5/30 4/25	- /500 - /500
633/- ALS	OC	0,5/24	20	-0,4	150/150	10/40	10/40	- /500
634/- ALS AS	2,4/-2,6 2,4/-2,6	0,5/24 0,5/24	20 20	-0,4 -0,4	150/150 200/200	10/45 4/25	10/40 4/25	- /500 - /500
635/- ALS	OC	0,5/24	-	-	150/150	26	26	- /500
638/- ALS AS	2/-15 2,4/-15	0,5/24 <sup>1</sup> 0,55/64	20 70	-0,1 -0,8	18/26/16 24/75/37	8/25 5/20	8/30 2/7	50/680 50/500
639/- ALS AS	2/-15 2,4/-15	0,5/24 <sup>1</sup> 0,55/64	20 70	-0,1 -0,8	25/30/33 56/95/62	10/30 5/22	5/22 2/9	50/680 50/500
640/АП9 HC HCT LS ALS AS	4,18/-6 4,18/-6 2/-15 2/-15 2,4/-15	0,26/6 0,32/6 0,5/24 0,5/24 <sup>1</sup> 0,55/64	0,1 0,1 20 20 70	-0,1 -0,1 -0,4 -0,1 -0,8	0,04/0,04 0,04/0,04 70*/90*/95 19/27/28 37/78/51	12/20 - 6/10 2/11 2/7	12/20 - 8/15 2/10 2/6	50/- - 45/667 50/500 50/500
641/- LS ALS AS	OC/10 В OC OC	0,5/24 0,5/24 <sup>1</sup> 0,55/64	20 20 70	-0,4 -0,1 -0,8	70*/90* 25/33 50/84	17/25 5/25 5/21	16/25 3/18 1/7,5	45/667 50/680 50/500
642/- ALS AS	OC OC	0,5/24 <sup>1</sup> 0,55/64	20 70	-0,1 -0,8	8/18 25/64	10/30 5/24	5/22 1/7,5	50/680 50/500
643/АП16 HC HCT ALS AS	4,18/-6 4,18/-6 2/-15 2,4/-15	0,26/6 0,32/6 0,5/24 <sup>1</sup> 0,55/64	0,1 0,1 20 70	-0,1 -0,1 -0,1 -0,8	0,04/0,04 0,04/0,04 25/33/35 48/88/61	12/20 - 2/13 2/10	12/20 - 2/11 2/9	50/- - 50/500 50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$i_{IH}$ , мкА (max)	$i_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
644/- ALS AS	OC OC	0,5/24 <sup>1</sup> 0,55/64	20 70	-0,1 -0,8	16/25 38/76	10/30 5/24	5/22 1/7,5	50/680 50/500
645/- LS ALS AS	2/-15 2/-15 2,4/-15	0,5/24 0,5/24 <sup>1</sup> 0,55/64	20 20 70	-0,4 -0,1 -0,8	70/90*/95 30/36/38 62/95/79	8/15 3/10 2/9,5	11/15 3/10 2/9	45/667 50/500 50/500
646/АП20 HC ALS AS	4,18/-6 2/-15 2/-15	0,26/6 0,5/24 <sup>1</sup> 0,5/48	0,1 20 70	-0,1 -0,2 -0,8	0,04/0,04 47/55/55 120/130/130	- 15/35 2/11	$f_c$ , МГц - 40/- 90/-	- 50/500 50/500
647/- ALS	OC	0,5/24 <sup>1</sup>	20	-0,2	35/40	20/60	$f_c$ , МГц 30/-	50/680
648/- HC ALS AS	4,18/-6 2/-15 2/-15	0,26/6 0,5/24 <sup>1</sup> 0,5/48	0,1 20 70	-0,1 -0,2 -0,8	0,04/0,04 47/57/57 110/120/120	- 15/35 2/11	$f_c$ , МГц - 40/- 90/-	- 50/500 50/500
649/- ALS	OC	0,5/24 <sup>1</sup>	20	-0,2	40/45	20/55	$f_c$ , МГц 30/-	50/680
651/АП17 HC ALS AS	4,18/-6 2/-15 2/-15	0,26/6 0,5/24 <sup>1</sup> 0,5/48	0,1 20 70	-0,1 -0,2 -0,8	0,04/0,04 42/52/52 110/120/130	- 13/38 2/11	$f_c$ , МГц - 40/- 90/-	- 50/500 50/500
652/АП24 HC ALS AS	4,18/-6 2/-15 2/-15	0,26/6 0,5/24 <sup>1</sup> 0,5/48	0,1 20 70	-0,1 -0,2 -0,8	0,04/0,04 47/55/55 120/130/130	- 13/38 2/11	$f_c$ , МГц - 40/- 90/-	- 50/500 50/500
653/-, 654/- ALS	2/-15	0,5/24 <sup>1</sup>	20	-0,2	47/55/55	16/64	$f_c$ , МГц 35/-	50/680
666/- ALS	2,4/-2,6	0,5/24	20	-0,1	25/40/30	6/21	8/27	50/500
667/- ALS	2,4/-2,6	0,5/24	20	-0,1	25/45/30	9/28	7/22	50/500
670/MP26 HC LS	4,18/-6 2,4/-2,6	0,26/4 0,5/8	0,1 60	-0,1 -1,2	0,04/0,04 30/30	17/27 23/40	17/27 25/45	15/- 15/-
677/- ALS	2,4/-2,6	0,5/24	20	-0,1	21/21	5/35	5/30	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH} / I_{OH}$ , В/МА (min/cnd)	$V_{OL} / I_{OL}$ , В/МА (max/cnd)	$I_{IH}$ , мКА (max)	$I_{IL}$ , МА (max)	$I_{CCH} / I_{CCL}$ , МА (тип)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L / R_L$ , пФ/ОМ
678/- ALS	2,4/-2,6	0,5/24	20	-0,1	21/21	5/21	5/31	50/500
679/- ALS	2,4/-2,6	0,5/24	20	-0,1	17/17	5/22	5/30	50/500
680/- ALS	2,4/-2,6	0,5/24	20	-0,1	18/18	5/21	5/25	50/500
682/- LS	2,7/-0,4	0,5/24	20	-0,4	42/42	21/30	19/30	45/667
688/- HC ALS	4,18/-4 2,4/-2,6	0,26/4 0,5/24	0,1 20	-0,1 -0,1	0,01/0,01 12/12	22/35 3/12	22/35 5/20	15/- 50/500
689/- ALS	OC	0,5/24	20	-0,1	12/12	10/25	5/23	50/680
746/- ALS	2/-15	0,5/24	200	-0,6	3/13/11	3/12	2/9	50/500
747/- ALS	2/-15	0,5/24	200	-0,6	6/18/12,5	4/14	2/10	50/500
756/- ALS7 AS	OC OC	0,5/24 0,55/64	20 20	-0,1 -1,0	7/13 9/51	8/24 3/19	2/10 1/6	50/500 50/500
757/- ALS7 AS	OC OC	0,5/24 0,55/64	20 20	-0,1 -1,0	11/14 21/61	3/15 3/18,5	3/12 1/6	50/500 50/500
758/- ALS AS	OC OC	0,5/24 <sup>1</sup> 0,55/64	20 50	-0,1 -0,5	6/10 17/38	10/28 3/19,5	6/21 1/6	50/680 50/500
759/- AS	OC	0,55/64	50	-1,0	27/47	3/20	1/6	50/500
760/- ALS AS	OC OC	0,5/24 0,55/64	20 20	-0,1 -1,0	9/15 20/60	5/16 3/18,5	5/13 1/7	50/500 50/500
762/- ALS AS	OC OC	0,5/24 <sup>1</sup> 0,55/64	20 20	-0,1 -1,0	11/18 15/55	14 3/19	18 1/7	50/680 50/500
763/- ALS AS	OC OC	0,5/24 <sup>1</sup> 0,55/64	20 20	-0,1 -1,0	7/14 10/52	9/25 3/20	5/21 1/8	50/680 50/500
804/7A20 ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	0,9/7 3,5/16	1/7 1/4	1/8 1/4	50/500 50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
805/ЛЕ8 ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	2/8 6,5/200	2/7 1/4,3	2/8 1/4,3	50/500 50/500
808/ЛМ7 AS	2/-48	0,5/48	20	-0,5	8/20	1/6	1/6	50/500
810/- ALS AS	$V^*/-0,4$ $V^*/-2$	0,5/8 0,5/20	20 20	-0,1 -0,5	5/5 20/29	5/20 3/5,8	3/14 2,3/9	50/500 50/500
811/- ALS AS	OC OC	0,5/8 0,5/20	20 20	-0,1 -0,5	5/5 19,5/26	25/55 5,9/12	5/28 3,7/8,7	50/500 50/500
812/- ALS	2,4/-3	0,5/24	20	-0,2	16/16	3/15	4/15	50/500
819/- ALS	2,4/-3	0,5/24	20	-0,2	65/65	4/16	4/14	50/2000
821/-, 822/- AS	2/-24	0,5/48	20	-0,5	55/68/70	3,5/7,5	3,5/11	50/500
823/-, 824/- AS	2/-24	0,5/48	20	-0,5	49/61/64	3,5/7,5	3,5/11	50/500
825/-, 826/- AS	2/-24	0,5/48	20	-0,5	45/56/59	3,5/7,5	3,5/11	50/500
832/ЛЛ3 ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	6/9,5 11/22	2/9 1/6,3	1/8 1/6,3	50/500 50/500
850/- AS	2/-15	0,5/48	20	-1,0	50/50/52	3/14,5	$f_c$ , МГц 60/-	50/500
851/- AS	2/-15	0,5/48	20	-1,0	50/50/52	3/18	3/20	50/500
852/- AS	2/-15	0,5/48	70	-1,0	136/136	3/9	$f_c$ , МГц 50/-	50/500
856/- AS	2/-15	0,5/48	70	-1,0	118/118	3/9	$f_c$ , МГц 50/-	50/500
857/- ALS AS	2,4/-2,6 2,4/-15	0,5/24 0,5/48	20 20	-0,2 -2,0	11/16/18 97/127/92	4/25 2/12	4/25 2/12	50/500 50/500
866/- AS	$V^*/-2$	0,5/20	40	-4	160/160	1/17,5	1/15	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCN}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
867/- ALS AS	$V^*/-0,4$ $V^*/-2$	0,5/8 0,5/20	20 40	-0,2 -4	28/28 134/134	4/14 5/22	$f_c$ , МГц 35/- 50/-	50/500 50/500
869/- ALS AS	$V^*/-0,4$ $V^*/-2$	0,5/8 0,5/20	20 40	-0,2 -4	28/28 134/134	4/14 6/35	$f_c$ , МГц 35/- 45/-	50/500 50/500
870/-, 871/- ALS AS	2,4/-2,6 2,4/-15	0,5/24 0,5/48	50 50	-0,2 -2,0	80/80 120/120	5/26 5/23	5/26 5/23	50/500 50/500
873/MP34 ALS AS	2,4/-2,6 2,4/-15	0,5/24 0,5/48	20 20	-0,2 -0,5	11/16/20 68/67/80	8/22 6/13	8/21 4/7,5	50/500 50/500
874/MP38 ALS AS	2,4/-2,6 2,4/-15	0,5/24 0,5/48	20 10	-0,2 -2	14/19/20 82/92/100	4/14 3/8,5	$f_c$ , МГц 30/- 125/-	50/500 50/500
876/- ALS AS	2,4/-2,6 2,4/-15	0,5/24 0,5/48	20 10	-0,2 -2	14/18/20 88/94/100	4/14 3/8,5	$f_c$ , МГц 30/- 125/-	50/500 50/500
877/- AS	2/-15	0,5/48	70	-1,0	136/136	2/9	$f_c$ , МГц 50/-	50/500
878/- ALS AS	2,4/-2,6 2,4/-15	0,5/24 0,5/48	20 20	-0,2 -2,0	14/18/20 82/96/100	4/14 3/8,5	$f_c$ , МГц 30/- 125/-	50/500 50/500
879/- ALS AS	2,4/-2,6 2,4/-15	0,5/24 0,5/48	20 20	-0,2 -2,0	14/18/20 88/94/100	4/14 3/8,5	$f_c$ , МГц 25/- 125/-	50/500 50/500
880/- ALS AS	2,4/-2,6 2,4/-15	0,5/24 0,5/48	20 20	-0,2 -0,5	14/19/20 73/76/86	8/24 6/11,5	8/21 4/8	50/500 50/500
881/- AS	2,4/-3	0,5/48	120	-12	135/135	2/11	2/11	50/500
882/- AS	$V^*/-2$	0,5/20	300	-7,5	44/44	2/9	3/14	50/500
885/- AS	$V^*/-2$	0,5/20	40	-4	130/130	13/17	10/15	50/500
962/- ALS	2,4/-2,6	0,5/24	20	-0,2	28/40/30	5/26	$f_c$ , МГц 25/30	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCM}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (тип...max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
963/-, ALS	964/- 2,4/-2,6	0,5/24	20	-0,1	-	10	$f_c$ , МГц 25/30	50/500
990/- ALS	2,4/-2,6	0,5/24	20	-0,1	27/40	6/26	8/26	50/-
991/- ALS	2,4/-2,6	0,5/24	20	-0,1	25/45	9/28	7/23	50/-
992/- ALS	2,4/-2,6	0,5/24	20	-0,1	30/50/35	6/20	8/25	50/-
993/- ALS	2,4/-2,6	0,5/24	20	-0,1	30/52/40	9/28	7/22	50/-
994/- ALS	2,4/-2,6	0,5/24	20	-0,1	30/52	6/21	8/27	50/-
995/- ALS	2,4/-2,6	0,5/24	20	-0,1	30/55	9/28	7/22	50/-
996/- ALS	2,4/-2,6	0,5/24 <sup>1</sup>	20	-0,1	35/55/42	5/28	$f_c$ , МГц 35/-	50/-
1000/ЛА21 ALS AS	2,4/-2,6 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	0,86/4,8 2,2/12	2/8 1/4	2/7 1/4	50/500 50/500
1002/ЛЕ10 ALS	2,4/-2,6	0,5/24	20	-0,1	1,7/5,6	2/8	2/7	50/500
1003/ЛА23 ALS	OC	0,5/24	20	-0,1	0,86/4,8	10/33	2/12	50/500
1004/ЛН8 ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	0,84/7 3,5/16	1/7 1/4	1/6 1/4	50/500 50/500
1005/ЛН10 ALS	OC	0,5/24	20	-0,1	0,9/7	5/30	2/10	50/680
1008/ЛН8 ALS AS	2,4/-2,6 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	1,8/5,7 5,6/13,5	2/9 1/6	3/9 1/6	50/500 50/500
1010/ЛА24 ALS	2,4/-2,6	0,5/24	20	-0,1	0,65/0,36	2/8	2/8	50/500
1011/ЛМ10 ALS	2,4/-2,6	0,5/24	20	-0,1	1,4/4,3	2/10	3/9	50/500
1020/ЛА22 ALS	2,4/-2,6	0,5/24	20	-0,1	0,5/2,4	2/8	2/7	50/500



Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/МА (min/cnd)	$V_{OL}/I_{OL}$ , В/МА (max/cnd)	$I_{IH}$ , мКА (max)	$I_{IL}$ , МА (max)	$I_{CCH}/I_{CCL}$ , МА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/ОМ
1032/ЛЛ4 ALS AS	2,4/-2,6 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	2,5/6,6 7,7/14,7	2/9 1/6,3	3/12 1/6,3	50/500 50/500
1034/ЛЛ16 ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	3/8 9/21	1/8 1/6	1/8 1/6	50/500 50/500
1035/ЛЛ17 ALS	OC	0,5/24	20	-0,1	3/8	5/30	2/12	50/680
1036/- AS	2/-48	0,5/48	20	-0,5	4,3/14	1/4,3	1/4,3	50/500
1181/- AS	V*/-2	0,5/20	120	-3	74/74	5/12	5/12	50/500
1240/- ALS	2/-15	0,5/16 <sup>2</sup>	20	-0,1	5/8,5/8,1	2/13	2/13	50/500
1242/- ALS	2/-15	0,5/16 <sup>2</sup>	20	-0,1	8/10/9	2/12	2/10	50/500
1244/- ALS	2/-15	0,5/16 <sup>2</sup>	20	-0,1	6/10/11	3/14	3/14	50/500
1245/- ALS	2/-15	0,5/16 <sup>2</sup>	20	-0,1	21/23/25	2/13	2/13	50/500
1631/- ALS	2,4/-33	0,5/33	20	-0,2	22/22/31	2/12	4/16	50/75
1640/- ALS	2/-15	0,5/16 <sup>2</sup>	20	-0,1	18/18	5/15	2/10	50/500
1645/- ALS	2/-15	0,5/16 <sup>2</sup>	20	-0,1	25/25	2/13	2/13	50/500
1804/- ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	0,9/7 3,5/16	2/7 1/4	2/8 1/4	50/500 50/500
1805/- ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	2/8 6,5/20	2/7 1/4,3	2/8 1/4,3	50/500 50/500
1808/- ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	4,5/8 8/20	2/9 1/6	1/8 1/6	50/500 50/500
1821/- AS	2/-24	0,5/48	20	-0,5	55/68	3,5/7,5	3,5/11	50/500
1823/- AS	2/-24	0,5/48	20	-0,5	49/61	3,5/7,5	3,5/11	50/500

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH},$ В/мА (min/cnd)	$V_{OL}/I_{OL},$ В/мА (max/cnd)	$I_{IH},$ мкА (max)	$I_{IL},$ мА (max)	$I_{CCM}/I_{CCL},$ мА (typ)	$t_{PLH},$ нс (min/max)	$t_{PHL},$ нс (min/max)	$C_L/R_L,$ пФ/Ом
1832/- ALS AS	2/-15 2/-48	0,5/24 0,5/48	20 20	-0,1 -0,5	6/9,5 11/22	2/9 1/6,3	1/8 1/6,3	50/500 50/500
2232/-, 2233/- ALS	2,4/-2,6	0,5/24	20	-0,1	175/175	30*	$f_C,$ МГц 40/-	50/500
2238/-, 2239/- ALS	2,4/-2,6	0,5/24	40	-0,2	190/190	18	$f_C,$ МГц 35/-	50/500
2240/- ALS	$V^*/-0,4$	0,8/12	20	-0,1	6/13/12	2/10	2/10	50/500
2242/- ALS	$V^*/-0,4$	0,8/12	20	-0,1	10/14/13	2/11	2/10	50/500
2540/- ALS	$V^*/-0,4$	0,8/12	20	-0,1	5/13/11	2/12	2/11	50/500
2541/- ALS	$V^*/-0,4$	0,8/12	20	-0,1	6/15/13,5	2/15	2/12	50/500
2620/- AS	$V^*/-2,0$	0,7/12	70	-0,8	62/74/48	1/8	1/6,5	50/500
2623/- AS	$V^*/-2,0$	0,7/12	70	-0,8	57/116/72	1/8,5	1/7,5	50/500
2640/- AS	$V^*/-2,0$	0,7/12	70	-0,8	37/78/51	1/7,5	1/6,5	50/500
2645/- AS	$V^*/-2,0$	0,7/12	70	-0,8	58/95/73	1/10	1/9,5	50/500
4002/ЛЕС НС	4,18/-4	0,26/4	0,1	-0,1	0,01/0,01	11/18	11/18	15/-
4017/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	21/33	$f_C,$ МГц 30/47	15/-
4020/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	15/24	$f_C,$ МГц 33/64	15/-
4022/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	21/33	$f_C,$ МГц 30/48	15/-
4024/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	15/24	$f_C,$ МГц 35/70	15/-
4028/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	25/39	25/39	15/-

Продолжение табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
4040/- НС	4,18/-4	0,26/4	0,1	-0,1*	0,04/0,04	15/24	$f_C$ , МГц 33/64	15/-
4049/- НС	4,18/-6	0,26/6	0,1	-0,1	0,01/0,01	11/18	11/18	15/-
4050/- НС	4,18/-6	0,26/6	0,1	-0,1	0,01/0,01	11/18	11/18	15/-
4060/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	47/72	$f_C$ , МГц 33/60	15/-
4066/- НС	$R_{ON}$ , Ом 100	$I_{OFF}$ , мкА 0,1	0,1	-0,1	0,01/0,01	5/10	4/8	50/-
4072/- НС	4,18/-4	0,26/4	0,1	-0,1	0,01/0,01	11/18	11/18	15/-
4075/- НС	4,18/-4	0,26/4	0,1	-0,1	0,01/0,01	10/17	10/17	15/-
4078/- НС	4,18/-4	0,26/4	0,1	-0,1	0,01/0,01	16/26	16/26	15/-
4094/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	31/48	$f_C$ , МГц 22/40	15/-
4511/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	46/71	46/71	15/-
4514/-, 4515/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	29/45	29/45	15/-
4543/- НС	4,18/-4	0,26/4	0,1	-0,1	0,04/0,04	44/68	44/68	15/-
8003/- ALS	$V^*$ /-0,4	0,5/8	20	-0,1	0,22/0,81	3/11	2/8	50/500
8161/-, 8163/- ALS	$V^*$ /-0,4	0,5/8	20	-0,2	25/25	3/13	$f_C$ , МГц 35/-	50/500
8169/- ALS	$V^*$ /-0,4	0,5/8	20	-0,2	28/28	3/12	$f_C$ , МГц 35/-	50/500
29806/- ALS	2,4/-3	0,5/24	0,25	-1,0	14/14	3/13	2/11	50/-
29809/- ALS	2,4/-3	0,5/24	0,25	-1,0	10/10	3/13	2/11	50/-

Окончание табл. П2.2

SN74 и аналог	$V_{OH}/I_{OH}$ , В/мА (min/cnd)	$V_{OL}/I_{OL}$ , В/мА (max/cnd)	$I_{IH}$ , мкА (max)	$I_{IL}$ , мА (max)	$I_{CCH}/I_{CCL}$ , мА (typ)	$t_{PLH}$ , нс (min/max)	$t_{PHL}$ , нс (min/max)	$C_L/R_L$ , пФ/Ом
29821/-, ALS	29822/-, 2/-24	29823/-, 0,5/48	29824/- 20	-0,2	80/80	2/10	2/10	50/-
29825/-, ALS	29826/- 2/-24	0,5/48	20	-0,2	70/70	2/10	2/10	50/-
29827/- ALS	2/-24	0,5/48	20	-0,1	25/25	4,8	5,2	50/-
29828/- ALS	2/-24	0,5/48	20	-0,1	25/25	4,0	3,0	50/-
29833/-, ALS	29834/- 2/-24	0,5/48	20	-0,8	70/70	4/6	4/6	50/-
29841/-, ALS	29842/-, 2/-24	29843/-, 0,5/48	29844/-, 20	29845/-, -0,2	29846/- 55/55	2/9,5	2/9,5	50/-
29853/-, ALS	29854/- 2/-24	0,5/48	20	-0,8	70/70	4/7	4/7	50/-
29861/-, ALS	29863/- 2/-24	0,5/48	20	-0,1	40/40	4,8	5,2	50/-
29862/-, ALS	29864/- 2/-24	0,5/48	20	-0,1	40/40	4,0	4,9	50/-

Таблица П2.3. Параметры ИС серий CD4000 и MC14000

CD4000 MC14000	$I_{OH}/V_{OH}$ , мА/В (тип/снд)	$I_{OL}/V_{OL}$ , мА/В (тип/снд)	$V_{DD}$ , В	$t_P$ , нс (тип/макс)	$f_C$ , МГц (мин/тип)	$t_{PZ}$ , нс (мин/макс)	$C_L/R_L$ , пФ/кОм
4000B <sup>1</sup> 176Л14	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	125/250 60/120 45/90			50/200
4001B <sup>1</sup> 1561ЛЕ5 4002B 1561ЛЕ6	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	125/250 60/120 45/90			50/200
4006B <sup>1</sup> 564MP1 176MP10	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	200/- 100/- 80/-	-/5 -/12 -/16		50/200
4007UB <sup>1</sup> 176Л11	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	55/110 30/60 25/50			50/200
4008B <sup>1</sup> 561ММ1	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$B_1 \rightarrow S_1$ 400/800 160/320 115/230		$B_1 \rightarrow C4$ 200/400 90/180 65/130	50/200
4011B <sup>1</sup> 561ЛА7 4012B 561ЛА8	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	125/250 80/120 45/90			50/200
4013B <sup>1</sup> 561ТМ2	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow Q$ 150/300 65/130 45/90	3,5/7 8/16 12/24	$R \rightarrow Q$ 200/400 85/170 60/120	50/200
4014B <sup>1</sup> -	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow Q$ 160/320 80/160 60/120	3/6 6/12 8,5/17		50/200
4015B <sup>1</sup> 561МР2	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow Q$ 160/320 80/160 60/120	3/6 6/12 8,5/17	$R \rightarrow Q$ 200/400 100/200 80/160	50/200
4016B <sup>1</sup> 176КТ1	$R_{ON}$ , Ом 250/660 200/400 250/660	$V_{SS}$ , В -5 -7,5 0	5 7,5 10	40/100 20/50		$I_{AN}$ , мА (макс) ±10	50/200
4017B <sup>1</sup> 561МЕ8	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow F$ 325/650 135/270 85/170	2,5/5 5/10 5,5/11	$R \rightarrow F$ 265/530 115/230 85/170	50/200

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , МА/В (тип/снд)	$I_{OL}/V_{OL}$ , МА/В (тип/снд)	$V_{DD}$ , В	$t_p$ , нс (тип/макс)	$f_c$ , МГц (мин/тип)	$t_{PZ}$ , нс (мин/макс)	$C_L/R_L$ , пФ/кОм
4018B <sup>1</sup> 561IE19	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow \bar{Q}$ 200/400 90/180 65/130	3/6 7/14 8,5/17	$R \rightarrow \bar{Q}$ 275/550 125/250 90/180	50/200
4019B <sup>1</sup> 561IC2	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	150/300 60/120 50/100			50/200
4020B <sup>1</sup> 561IE16	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$Q_r \rightarrow Q_{r+1}$ 100/200 40/80 30/60	3,5/7 8/16 12/24	$R \rightarrow Q_r$ 140/280 60/120 50/100	50/200
4021B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	160/320 80/160 60/120	3/6 6/12 8,5/17		50/200
4022B <sup>1</sup> 561IE9	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow F$ 325/650 135/270 85/170	2,5/5 5/10 5,5/11	$R \rightarrow F$ 265/530 115/230 85/170	50/200
4023B <sup>1</sup> 1561IA9	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	125/250 60/120 45/90			50/200
4024B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$Q_r \rightarrow Q_{r+1}$ 100/200 40/80 30/60	3,5/7 8/16 12/24	$R \rightarrow Q_r$ 140/280 60/120 50/100	50/200
4025B <sup>1</sup> 1561IE10	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	125/250 60/120 45/90			50/200
4026B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow A/G$ 350/750 125/250 90/180	2,5/5 5,5/11 8/16	$R \rightarrow A/G$ 300/600 125/250 90/180	50/200
4027B <sup>1</sup> 1561TB1	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow Q$ 150/300 65/130 45/90	3,5/7 8/16 12/24	$R \rightarrow Q$ 200/400 85/170 60/120	50/200
4028B <sup>1</sup> 561IC1	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	175/350 80/160 60/120			50/200

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , мА/В (typ/cnd)	$I_{OL}/V_{OL}$ , мА/В (typ/cnd)	$V_{DD}$ , В	$t_P$ , нс (typ/max)	$f_C$ , МГц (min/typ)	$t_{PZ}$ , нс (min/max)	$C_L/R_L$ , пФ/кОм
4029B <sup>1</sup> 561HE14	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Q 250/500 120/240 90/180	2/4 4/8 5,5/11	L → Q 235/470 100/200 80/160	50/200
4030B <sup>1</sup> 561П12	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	140/280 65/130 50/100			50/200
4031B <sup>1</sup> 176MP4	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Q 250/500 110/220 90/180	2/4 5/10 6/12		50/200
4032B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → S 325/650 175/350 150/300	2,5/4,5 5/10 7,5/15	B → S 260/520 120/240 90/180	50/200
4033B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → A/G 350/750 125/250 90/180	2,5/5 5,5/11 8/16	R → A/G 300/600 125/250 90/180	50/200
4034B <sup>1</sup> 561HP6	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	DA ↔ DB 350/700 120/240 85/170	2/4 5/10 7/14	200/400 80/160 60/120	50/200
4035B <sup>1</sup> 561HP9	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Q 250/500 100/200 75/150	2/4 6/12 8/16	R → Q 230/460 100/200 80/160	50/200
4038B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → S 325/650 175/350 150/300	2,5/4,5 5/10 7,5/15	B → S 260/520 120/240 90/180	50/200
4040B <sup>1</sup> 1561HE20	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$Q_r \rightarrow Q_{r+1}$ 100/200 40/80 30/60	3,5/7 8/16 12/24	R → Q <sub>r</sub> 140/280 60/120 50/100	50/200
4041UB <sup>1</sup>	-12,8/2,5 -3,2/4,6 -10/9,5 -38/13,5	3,2/0,4 10/0,5 38/1,5	5 5 10 15	60/120 35/70 25/50			50/200
4042B <sup>1</sup> 561TM3	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	L → Q̄ 250/500 115/230 90/180		D → Q̄ 150/300 75/150 50/100	50/200

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , мА/В (тип/снд)	$I_{OL}/V_{OL}$ , мА/В (тип/снд)	$V_{DD}$ , В	$t_P$ , нс (тип/макс)	$f_C$ , МГц (мин/тип)	$t_{PZ}$ , нс (мин/макс)	$C_L/R_L$ , пФ/кОм
4043B <sup>1</sup> 561TP2 4044B	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4	5 5 10 15	150/300 70/140 50/100		115/230 55/110 40/80	50/200
4045B <sup>1</sup>	-7,0/4,6 -18/9,5 -47/13,5	7,0/0,4 18/0,5 47/1,5	5 10 15	МКС 2,2/5,5 0,9/2,7 0,65/2	5/10 12/25 15/30		50/200
4046B <sup>1</sup> 564TT1	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	14 → 13 450/- 200/- 130/-	0,5/0,8 1,0/1,4 1,4/2,4	225/450 100/200 65/130	-
4048B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	300/600 150/300 120/240		80/160 35/70 25/50	50/200
4049B <sup>1</sup> 561TH2	-6,4/2,5 -1,6/4,6 -3,6/9,5 -12/13,5	6,4/0,4 16/0,5 48/1,5	5 5 10 15	60/120 32/65 25/50			50/200
4050B <sup>1</sup> 1561ПЧ4	-6,4/2,5 -1,6/4,6 -3,6/9,5 -12/13,5	6,4/0,4 16/0,5 48/1,5	5 5 10 15	70/140 40/80 30/60			50/200
4051B <sup>1</sup> 1561КП2 4052B 1561КП1	$R_{ON}$ , Ом 470/1050 180/400 125/280	$V_{EE}$ , В 0 0 0	5 5 10 15	30/60 15/30 11/20		$I_{AN}$ , мА (max) ±10	50/200
4053B <sup>1</sup>	$R_{ON}$ , Ом 470/1050 180/400 125/280	$V_{EE}$ , В 0 0 0	5 5 10 15	30/60 15/30 11/20		$I_{AN}$ , мА (max) ±10	50/200
4054B <sup>1</sup> 564YM1	-0,9/4,5 -0,9/9,5 -3,0/13,5	2,6/0,4 2,6/0,5 6,8/1,5	5 5 10 15	400/800 340/680 250/500	$V_{EE}$ , В -5 0 0		50/200
4055B <sup>1</sup> 564MД4 4056B 564MД5	-0,9/4,5 -0,9/9,5 -3,0/13,5	2,6/0,4 2,6/0,5 6,8/1,5	5 5 10 15	650/1300 575/1150 375/750	$V_{EE}$ , В -5 0 0		50/200
4060B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow Q_3$ 370/740 150/300 100/200	3,5/7 8/16 12/24	$Q_r \rightarrow Q_{r+1}$ 100/200 50/100 40/80	50/200



Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , МА/В (typ/cnd)	$I_{OL}/V_{OL}$ , МА/В (typ/cnd)	$V_{DD}$ , В	$t_p$ , нс (typ/max)	$f_c$ , МГц (min/typ)	$t_{PZ}$ , нс (min/max)	$C_L/R_L$ , пФ/кОм
4063B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	625/1250 250/500 175/350			50/200
4066B <sup>1</sup> 1561KT3	$R_{ON}$ , Ом 470/1050 180/400 125/240		5 10 15	20/40 10/20 7/15		$I_{AN}$ , мА (max) ±10	50/10
4067B <sup>1</sup>	$R_{ON}$ , Ом 470/1050 180/400 125/240	$V_{EE}$ , В 0 0 0	5 10 15	30/60 15/30 11/20		$I_{AN}$ , мА (max) ±10	50/200
4068B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	150/300 75/150 55/110			50/200
4069B <sup>1</sup> 15617H4	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	55/110 30/60 25/50			50/200
4070B <sup>1</sup> 15617П14	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	140/280 65/130 50/100			50/200
4071B <sup>1</sup> 4072B	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	175/350 70/140 50/110			50/200
4073B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	125/250 60/125 45/90			50/200
4075B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	175/350 70/140 50/110			50/200
4076B <sup>2</sup> 15614P14	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	C → Q 300/600 125/250 90/180	1,8/3,6 4,5/9 6/12	R → Q 300/600 125/250 90/180	50/-
4077B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	140/280 65/130 50/100			50/200

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , МА/В (тип/снд)	$I_{OL}/V_{OL}$ , МА/В (тип/снд)	$V_{DD}$ , В	$t_P$ , нс (тип/макс)	$f_C$ , МГц (мин/тип)	$t_{PZ}$ , нс (мин/макс)	$C_L/R_L$ , пФ/кОм
4078B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	150/300 75/150 55/110			50/200
4081B <sup>1</sup> 1561ЛМ2 4082B	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	125/250 60/125 45/90			50/200
4085B <sup>1</sup> 4086B	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	310/620 125/250 90/180			50/200
4089B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow \bar{Z}$ 110/220 55/110 45/90	1,2/2,4 2,5/5 3,5/7	$C \rightarrow Y$ 150/300 75/150 60/120	50/200
4093B <sup>1</sup> 1561ТЛ1	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	190/380 90/180 65/130	$V_P$ , В 2,2/2,9 4,6/5,9 6,8/8,8	$V_N$ , В 0,9/1,9 2,5/3,9 4,0/5,8	50/200
4094B <sup>1</sup> 1561ПР1	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow DO$ 420/840 195/390 135/270	1,2/2,5 2,5/5 3/6	225/450 95/190 70/140	50/200
4095B <sup>1</sup> 4096B	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$C \rightarrow Q$ 250/500 100/200 75/150	3,5/7 8/16 12/24	$R \rightarrow D$ 150/300 75/150 50/100	50/200
4097B <sup>1</sup>	$R_{OH}$ , Ом 470/1050 180/400 125/240	$V_{EE}$ , В 0 0 0	5 10 15	30/60 15/30 11/20		$I_{AN}$ , мА (макс) ±10	50/200
4098B <sup>1</sup> 1561АГ1	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	250/500 125/250 100/200			50/200
4099B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$A \rightarrow Q$ 225/450 100/200 75/150		$R \rightarrow Q$ 175/350 80/160 65/130	50/200
4106B <sup>1</sup> 40106B	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	140/280 70/140 60/120	$V_P$ , В 2,2/2,9 4,6/5,9 6,8/8,8	$V_N$ , В 0,9/1,9 2,5/3,9 4/5,8	50/200

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , мА/В (тип/снд)	$I_{OL}/V_{OL}$ , мА/В (тип/снд)	$V_{DD}$ , В	$t_p$ , нс (тип/макс)	$f_c$ , МГц (мин/тип)	$t_{PZ}$ , нс (мин/макс)	$C_L/R_L$ , пФ/кОм
41608 <sup>2</sup> 4161B 1561WE21	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$C \rightarrow Q$ 350/700 150/300 100/200	1/2 2,5/5,0 4/8	$\bar{R} \rightarrow Q$ 350/700 150/300 100/200	50/-
41628 <sup>2</sup> 4163B	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$C \rightarrow Q$ 350/700 150/300 100/200	1/2 2,5/5,0 4/8	50/-	50/-
41748 <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$C \rightarrow Q$ 210/400 85/160 65/120	2/7 5/12 6,5/15,5	$\bar{R} \rightarrow Q$ 250/500 100/200 75/150	50/-
41758 <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$C \rightarrow Q$ 220/400 90/160 70/120	2/4,5 5/11 6,5/14	$\bar{R} \rightarrow Q$ 325/500 130/200 100/150	50/-
41948 <sup>2</sup> 1561WP15	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$C \rightarrow Q$ 275/550 110/220 85/170	1,8/3,6 4,5/9 6/12	$\bar{R} \rightarrow Q$ 350/700 140/280 110/220	50/-
45010B <sup>2</sup>	-1,7/2,5 -0,36/4,6 -0,9/9,5 -3,5/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	130/260 70/140 50/100		50/-	50/-
45028 <sup>2</sup> 5617H1	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	6,6/0,4 17/0,5 66/1,5	5 5 10 15	135/270 55/110 40/80		260/520 105/210 80/180	50/-
45038 <sup>2</sup> 5617H3	-6,1/2,5 -1,4/4,6 -3,7/9,5 -14/13,5	2,3/0,4 6,2/0,5 25/1,5	5 5 10 15	75/150 35/70 25/50		100/200 35/70 25/50	50/-
45048 <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	160/370 100/240 120/240		50/-	50/-
45060B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	295/580 110/225 75/180		170/425 70/175 50/125	50/-
45088 <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -8,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$L \rightarrow Q$ 130/260 70/140 50/100		90/180 50/100 35/70	50/200

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , мА/В (тип/снд)	$I_{OL}/V_{OL}$ , мА/В (тип/снд)	$V_{DD}$ , В	$t_p$ , нс (тип/макс)	$f_c$ , МГц (мин/тип)	$t_{PZ}$ , нс (мин/макс)	$C_L/R_L$ , пФ/кОм
4510B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Q 200/400 100/200 75/150	2/4 4/8 5,5/11	R → Q 210/420 105/210 80/160	50/200
4511B <sup>1</sup>	-20/3,75 -25/3,55 -25/8,75 -25/13,8	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	660/1320 260/520 180/360			50/200
4512B <sup>1</sup> 1561КП3	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	A → F 200/400 85/170 60/120		60/120 30/60 20/40	50/200
4514B <sup>1</sup> 4515B	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	L → F 485/970 185/370 135/270		E → F 250/500 110/220 85/170	50/200
4516B <sup>1</sup> 561ИЕ11	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Q 200/400 100/200 75/150	2/4 4/8 5,5/11	R → Q 210/420 105/210 80/160	50/200
4517B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Q <sub>15</sub> 200/400 110/220 90/180	3/6 6/12 8/15	75/150 40/80 30/60	50/200
4518B <sup>1</sup>	-3,2/2,5 -1/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Q 330/650 130/225 90/170	1,5/3 3/6 4/8	R → Q 280/560 115/230 80/160	50/200
4519B <sup>2</sup> 1561КП4	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	250/500 115/225 90/165			50/-
4520B <sup>1</sup> 1561ИЕ10	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Q 330/650 130/225 90/170	1,5/3 3/6 4/8	R → Q 280/560 115/230 80/160	50/200
4527B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	C → Y 150/300 75/150 60/120	1,2/2,4 2,5/5 3,5/7	R → Y 380/760 175/350 130/260	50/200
4528B <sup>2</sup>	-1,7/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	S → Q 325/650 120/240 90/180		$\bar{R}$ → Q 325/600 90/225 60/170	50/-

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , mA/B (typ/cnd)	$I_{OL}/V_{OL}$ , mA/B (typ/cnd)	$V_{DD}$ , В	$t_p$ , нс (typ/max)	$f_C$ , МГц (min/typ)	$t_{pZ}$ , нс (min/max)	$C_L/R_L$ , пФ/кОм
4529B <sup>2</sup>	$R_{ON}$ , Ом 200/480 180/480 180/270	$V_{SS}$ , В -5 0 0	5 10 15	20/40 10/20 8/15		200/400 80/160 50/120	50/-
4530B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	375/960 160/400 110/300			50/-
4531B <sup>2</sup> 561CA1	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$I \rightarrow PE$ 440/1320 175/525 120/360		$OE \rightarrow PE$ 250/750 100/300 70/210	50/-
4532B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$I \rightarrow A$ 220/440 110/220 85/160		$EI \rightarrow A$ 170/340 85/170 65/125	50/200
4538B <sup>1</sup>	-3,2/2,5 -1,0/4,6 -2,6/9,5 -6,8/13,5	1,0/0,4 2,6/0,5 6,8/1,5	5 5 10 15	$S \rightarrow Q$ 300/- 150/- 100/-		$R \rightarrow Q$ 250/- 125/- 95/-	50/200
4539B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$A \rightarrow DO$ 225/450 110/220 85/170		$DI \rightarrow DO$ 210/420 90/180 70/140	50/-
4548B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	200/400 100/200 80/160		$\bar{R} \rightarrow Q$ 185/370 90/180 75/150	50/-
4551B <sup>2</sup>	$R_{ON}$ , Ом 250/1050 120/500 80/280	$V_{EE}$ , В 0 0 0	5 10 15	35/90 15/40 12/30		360/900 160/375 120/300	50/-
4554B <sup>2</sup> 561ИП5	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$80 \rightarrow S2$ 680/1700 280/750 210/570		$40 \rightarrow C2$ 270/675 115/290 85/215	50/-
4555B <sup>2</sup> 1561ИД6 4556B 1561ИД7	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$A \rightarrow F$ 220/440 95/190 70/140		$\bar{E} \rightarrow F$ 200/400 85/170 65/130	50/-
4557B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	$C \rightarrow Q$ 300/1000 200/400 150/300	1,7/2,5 5/8 6,7/10,5	$R \rightarrow Q$ 475/550 190/380 140/280	50/-

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , МА/В (тип/снд)	$I_{OL}/V_{OL}$ , МА/В (тип/снд)	$V_{DD}$ , В	$t_p$ , нс (тип/макс)	$f_c$ , МГц (мин/тип)	$t_{PZ}$ , нс (мин/макс)	$C_L/R_L$ , пФ/кОм
4560B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	B → S 750/2100 330/900 220/675		B → C4 650/1800 230/600 170/450	50/-
4561B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	400/1000 160/400 120/300			50/-
4562B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	C → Q 600/1200 250/500 170/340	1,1/1,9 3/5,6 4/8		50/-
4568B <sup>2</sup>	-1,7/2,5 -0,36/4,6 -0,90/9,5 -3,5/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	450/900 190/380 130/260	-/1,8 -/8,5 -/12		50/-
4572UB <sup>2</sup>	-1,7/2,5 -0,36/4,6 -0,90/9,5 -3,5/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	115/200 55/110 40/85			50/-
4580B <sup>2</sup> 561WP12	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	C → DO MCC 1,5/4,5 0,5/1,5 0,35/1,13		355/900 140/350 85/250	50/-
4581B <sup>2</sup> 564W13	-1,7/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	B <sub>i</sub> → F <sub>i</sub> 705/1410 250/500 180/360			50/-
4582B <sup>2</sup> 564W14	-1,7/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	345/690 140/280 110/220			50/-
4583B <sup>2</sup>	-1,7/2,5 -0,36/4,6 -0,90/9,5 -3,5/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	650/1300 230/460 150/300	V <sub>P</sub> , В 3,3 5,7 8,2	V <sub>N</sub> , В 1,7 4,3 6,8	50/- R1=R2= =5 кОм
4584B <sup>2</sup>	-4,2/2,5 -0,88/4,6 -2,25/9,5 -8,8/13,5	0,88/0,4 2,25/0,5 8,8/1,5	5 5 10 15	120/250 50/100 40/80	V <sub>P</sub> , В 1,8/2,7 3,3/5,3 5,2/8,0	V <sub>N</sub> , В 1,6/2,1 3/4,6 4,6/6,9	50/-

Продолжение табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , мА/В (typ/cnd)	$I_{OL}/V_{OL}$ , мА/В (typ/cnd)	$V_{DD}$ , В	$t_P$ , нс (typ/max)	$f_C$ , МГц (min/typ)	$t_{PZ}$ , нс (min/max)	$C_L/R_L$ , пФ/кОм
45858 <sup>2</sup> 561W12	-4,2/2,5		5				50/-
	-0,88/4,6	0,88/0,4	5	430/860			
	-2,25/9,5	2,25/0,5	10	180/360			
	-8,8/13,5	8,8/1,5	15	130/260			
45988 <sup>2</sup>	-2,0/4,6	3,2/0,4	5	200/400		160/320	50/-
	-6,0/9,5	6,0/0,5	10	100/200		125/250	
	-12/13,5	12/1,5	15	80/160		100/200	
45998 <sup>2</sup>	-4,2/2,5		5				50/-
	-0,88/4,6	0,88/0,4	5	200/400		200/400	
	-2,25/9,5	2,25/0,5	10	75/150		80/160	
	-8,8/13,5	8,8/1,5	15	50/100		60/120	
401008 <sup>1</sup>	-3,2/2,5		5	$C \rightarrow Q$			50/200
	-1,0/4,6	1,0/0,4	5	360/720	1/2		
	-2,6/9,5	2,6/0,5	10	165/330	2,5/5		
	-6,8/13,5	6,8/1,5	15	115/230	3/6		
401018 <sup>1</sup> 564W16	-3,2/2,5		5	$I \rightarrow PO$		$EE \rightarrow PO$	50/200
	-1,0/4,6	1,0/0,4	5	350/700		140/280	
	-2,6/9,5	2,6/0,5	10	150/300		70/140	
	-6,8/13,5	6,8/1,5	15	100/200		50/100	
401028 <sup>1</sup> 401038	-3,2/2,5		5	$C \rightarrow P8$		$LA \rightarrow P8$	50/200
	-1,0/4,6	1,0/0,4	5	300/600	0,7/1,4	650/1300	
	-2,6/9,5	2,6/0,5	10	130/260	1,8/3,6	300/600	
	-6,8/13,5	6,8/1,5	15	95/190	2,4/4,8	200/400	
401048 <sup>1</sup>	-3,2/2,5		5	$C \rightarrow Q$			50/200
	-1,0/4,6	1,0/0,4	5	220/440	3/6	80/160	
	-2,6/9,5	2,6/0,5	10	100/200	6/12	35/70	
	-6,8/13,5	6,8/1,5	15	70/140	8/15	25/50	
401058 <sup>1</sup>	-3,2/2,5		5	МКС			50/200
	-1,0/4,6	1,0/0,4	5	2/4	-1,5	140/280	
	-2,6/9,5	2,6/0,5	10	1/2	-3	60/120	
	-6,8/13,5	6,8/1,5	15	0,7/1,4	-4	40/80	
401068 <sup>1</sup> 41068	-3,2/2,5		5		$V_P$ , В	$V_N$ , В	50/200
	-1,0/4,6	1,0/0,4	5	140/280	2,2/2,9	0,9/1,9	
	-2,6/9,5	2,6/0,5	10	70/140	4,6/5,9	2,5/3,9	
	-6,8/13,5	6,8/1,5	15	60/120	6,8/8,8	4/5,8	
401078 <sup>1</sup> 564W10		32/0,4	5				50/0,12
		68/1,0	5	100/200			
		74/0,5	10	60/120			
		100/0,5	15	50/100			
401088 <sup>1</sup>	-3,2/2,5		5				50/200
	-1,0/4,6	1,0/0,4	5	360/720	1,5/3	130/260	
	-2,6/9,5	2,6/0,5	10	140/280	3,5/7	60/120	
	-6,8/13,5	6,8/1,5	15	100/200	4,5/9	50/100	

Окончание табл. П2.3

CD4000 MC14000	$I_{OH}/V_{OH}$ , мА/В (тип/снд)	$I_{OL}/V_{OL}$ , мА/В (тип/снд)	$V_{DD}$ , В	$t_p$ , нс (тип/макс)	$f_c$ , МГц (мин/тип)	$t_{PZ}$ , нс (мин/макс)	$C_L/R_L$ , пФ/кОм
40109B 564ПV6	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5		300/600 220/440 180/360 850/1600 850/1600 290/580	$V_{CC}/V_{DD}$ , В/В 5/10 5/15 10/15 10/5 15/5 15/10	370/740 300/600 250/500 850/1600 850/1600 350/700	50/200
40110B <sup>1</sup>	-25/3, 64 -25/3, 64 -25/8, 85 -25/13, 9	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	750/- 285/- 200/-	-2, 5 -5 -8		50/200
40160B <sup>1</sup> 40161B 40162B 40163B	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	C → Q 200/400 80/160 60/120	2/3 5, 5/8, 5 8/12	E → P4 125/250 55/110 40/80	50/200
40174B <sup>1</sup>	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	C → Q 150/300 70/140 50/100	3, 5/7 6/12 8/16	R → Q 100/200 50/100 40/80	50/200
40181B <sup>1</sup>	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	A → F 500/1000 200/400 140/280		C0 → F 320/640 135/270 100/200	50/200
40182B <sup>1</sup>	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	C <sub>0</sub> → P <sub>m</sub> 240/480 120/240 90/180		G → P <sub>m</sub> 200/400 100/200 75/150	50/200
40192B <sup>1</sup> 40193B	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	C → Q 250/500 120/240 90/180	2/4 4/8 5, 5/11	L → Q 200/400 100/200 70/140	50/200
40194B <sup>1</sup>	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	C → Q 220/440 100/200 70/140	3/6 6/12 8/15		50/200
40208B <sup>1</sup>	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	C → Q 360/720 140/280 100/200	1, 5/3 3, 5/7 4, 5/9	130/260 60/120 50/100	50/200
40257B <sup>1</sup>	-3, 2/2, 5 -1, 0/4, 6 -2, 6/9, 5 -6, 8/13, 5	1, 0/0, 4 2, 6/0, 5 6, 8/1, 5	5 5 10 15	D1 → D0 150/300 70/140 50/100		95/190 50/100 40/80	50/200



## Принятые сокращения

ДВ — диаграмма Вейча.

ДНФ — дизъюнктивная нормальная форма.

ИС — интегральная схема.

КС — комбинационная схема.

ЛС — логическая схема.

ЛЭ — логический элемент.

МДНФ — минимальная дизъюнктивная нормальная форма.

МДНФС — МДНФ, свободная от состязаний.

МКНФ — минимальная конъюнктивная нормальная форма.

МКНФС — МКНФ, свободная от состязаний.

МНФ — минимальная нормальная форма.

МНФС — МНФ, свободная от состязаний.

МФП — мультиплексная функция переходов.

МЭ — мажоритарный элемент.

РЭ — разностный элемент.

СДНФ — совершенная дизъюнктивная нормальная форма.

СКНФ — совершенная конъюнктивная нормальная форма.

СНФ — совершенная нормальная форма.

ФАПЧ — фазовая автоматическая подстройка частоты.

ФНЧ — фильтр нижних частот.

ЦФЧД — цифровой фазочастотный детектор.

ЭП — элемент памяти.

## Список литературы

1. **Boole George.** The mathematical analysis of logic. — Cambridge, England, 1847 republished, 1948, Oxford, Basil Blackwell).
2. **Boole G.** An Investigation of the Laws of Thought. — Dover Publications, Inc., 1958 first published by McMillan in 1854).
3. **Шеннон К.** Символический анализ релейных и переключа-тельных схем. В кн.: Шеннон К. Работы по теории информации и кибернетике. — М.: Иностранная литература, 1963. С. 9 – 45.
4. **Шеннон К.** Синтез двухполюсных переключа-тельных схем. В кн.: Шеннон К. Работы по теории информации и кибернетике. — М.: Иностранная литература, 1963. С. 59 – 105.
5. **Миллер Р.** Теория переключа-тельных схем: Пер. с англ./ Под ред. П. П. Пархоменко — М.: Наука, 1970. Т. I. — 416 с.; 1971. Т. II. — 304 с.
6. **Поспелов Д. А.** Арифметические основы вычислительных машин дискретного действия. Учебное пособие для втузов. — М.: Высш. школа, 1970. — 308 с.
7. **Глушков В. М.** Синтез цифровых автоматов. — М.: Физматгиз, 1962. — 476 с.
8. **Фридман А., Менон П.** Теория и проектирование переключа-тельных схем: Пер. с англ./ Под ред. В. А. Тафта — М.: Мир, 1978. — 580 с.
9. **Фистер М.** Логическое проектирование цифровых вычисли-тельных машин: Пер. с англ./ Под ред. В. М. Глушкова. — Киев: Техніка, 1964. — 382 с.
10. **Пухальский Г. И.** Логическое проектирование цифровых устройств радиотехнических систем. — Л.: Изд-во ЛГУ, 1976. — 231 с.
11. **Пухальский Г. И., Новосельцева Т. Я.** Проектирование дискретных устройств на интегральных микросхемах: Справочник. — М.: Радио и связь, 1990. — 304 с.
12. **ГОСТ 2.743 – 82.** Обозначения условные графические в схемах. Элементы цифровой техники.
13. **Питерсон У., Уэлдон Э.** Коды, исправляющие ошибки: Пер. с англ./ Под ред. Р. Л. Добрушина и С. П. Самойленко. — М.: Мир, 1976. — 594 с.

14. **Ипатов В. П.** Троичные последовательности с идеальными периодическими автокорреляционными свойствами // Радиотехника и электроника. — 1979. — № 10. — С. 2053 - 2057.
15. **Ипатов В. П.** Периодические дискретные сигналы с оптимальными корреляционными свойствами. — М.: Радио и связь, 1992. — 152 с.
16. **Гилл А.** Линейные последовательностные машины: Пер. с англ./ Под ред. Я. З. Цыпкина. — М.: Наука, 1974. — 288 с.
17. **Таланцев А. Д.** Об анализе и синтезе некоторых электрических схем при помощи специальных логических операторов // Автоматика и телемеханика. — 1959. — Т.20. — № 7. — С. 898 - 907.
18. **Гилл А.** Введение в теорию конечных автоматов: Пер. с англ./ Под ред. П. П. Пархоменко. — М.: Наука, 1966. — 272 с.
19. **Бауэр В.** Введение в теорию конечных автоматов: Пер. с нем./ Под ред. Ю. И. Журавлева. — М.: Радио и связь, 1987. — 392 с.
20. **Ангер С.** Асинхронные последовательностные схемы: Пер. с англ./ Под ред. П. П. Пархоменко. — М.: Наука, 1977. — 400 с.
21. **Лазарев В. Г., Пийль Е. И.** Синтез управляющих автоматов. — М.: Энергия, 1970. — 400 с.
22. **Пухальский Г. И.** Синтез асинхронных импульсных автоматов. Ч. I // Техническая кибернетика. — 1975. — № 6. — С. 107 - 113.
23. **Пухальский Г. И.** Синтез асинхронных импульсных автоматов. Ч. II // Техническая кибернетика. — 1976. — № 2. — С. 123 - 129.
24. **Коуги П. М.** Архитектура конвейерных ЭВМ: Пер. с англ. — М.: Радио и связь, 1985. — 360 с.
25. **Титце У., Шенк К.** Полупроводниковая схемотехника: Справочное руководство//Пер. с нем. — М.: Мир, 1983. — 512 с.
26. **Kühn E.** Handbuch TTL- und CMOS-Schaltkreise. — Berlin: VEB Verlaag Technik, 1985. — 408 S.
27. **Pocket Guide, Band 1; Übersicht für Entwickler und Projektierer Digitale Logik-Familien.** Texas Instruments Deutschland GmbH, Freising, 1989, 628 S.
28. **Микросхемы интегральные серии КМ132... КМ155.** — СПб.: Издательство РНИИ "Электронстандарт", 1992. — 356 с.
29. **Микросхемы интегральные серии К521... КФ548.** — СПб.: Издательство РНИИ "Электронстандарт", 1993. — 232 с.
30. **Микросхемы интегральные серии КБ551... КМ555.** — СПб.: Издательство РНИИ "Электронстандарт", 1993. — 312 с.
31. **Микросхемы интегральные серии К1500... КР1531.** — СПб.: Издательство РНИИ "Электронстандарт", 1993. — 132 с.
32. **Микросхемы интегральные серии КР1533.** — СПб.: Издательство РНИИ "Электронстандарт", 1993. — 140 с.
33. **Петровский И. И., Прибыльский А. В., Троян А. А., Чувелев В. С.** Логические ИС КР1533, КР1554. Справочник. В двух частях. Часть 1. ТОО "БИНОМ", 1993.

34. Петровский И. И., Прибыльский А. В., Троян А. А., Чувелев В. С. Логические ИС КР1533, КР1554. Справочник. В двух частях. Часть 2. ТОО "БИНОМ", 1993.

35. Интегральные микросхемы: Справочник/Б. В. Тарабрин, Л. Ф. Лукин, Ю. Н. Смирнов и др.; Под ред. Б. В. Тарабрина. М.: Радио и связь, 1984. — 528 с.

36. The TTL-Data Book, Vol. 2; Advanced Low Power Schottky and Advanced Schottky. Texas Instruments, 1989, 1268 p.

37. The TTL-Data Book; Low Power Schottky TTL ICs. 4<sup>th</sup> Edition. SGS Group of Companies, 1987, 600 p.

38. Streng K. K. Daten Digitaler integrierter Schaltkreise (TTL-Schaltkreise). — Berlin: Militärverlag der DDR, 1985. — 224 S.

39. The High Speed CMOS Data Book; M54/74HC Logic Family. 1<sup>st</sup> Edition. SGS-Ates Group of Companies, 1984, 576 p.

40. The COS/MOS B-Series Devices Data Book. 3<sup>rd</sup> Edition. SGS Group of Companies, 1986, 704 p.

41. The CMOS Data Manual, Vol. 1; Standard Logic. Motorola Inc., 1984, 502 p.

42. Микросхемы интегральные серии КР556... КР573. — СПб.: Издательство РНИИ "Электронстандарт", 1993. — 256 с.

43. Микросхемы интегральные серии КС1543... КР1561. — СПб.: Издательство РНИИ "Электронстандарт", 1993. — 100 с.

44. Streng K. K. Daten Digitaler integrierter Schaltkreise CMOS-Schaltkreise). — Berlin: Militärverlag der DDR, 1987. — 192 S.

45. Шило В. Л. Популярныe цифровые микросхемы: Справочник. — Челябинск: Металлургия, Челябинское отд., 1989. — 352 с.

46. Мик Дж., Брик Дж. Проектирование микропроцессорных устройств с разрядно-модульной организацией: В 2-х книгах/Пер. с англ. — М.: Мир, 1984. — Кн. 1. — 253 с.

## Предметный указатель

- Абстрактный импульсный сигнал 70  
 - потенциальный сигнал 70  
 Автогенератор двухфазный 177  
 - управляемый 83, 175  
 Автоматы автономные 182  
 - без выхода 99  
 - линейные 273  
 - недоопределенные 99  
 - полностью определенные 99  
 - цифровые 85, 95  
 Активный уровень сигнала 64  
 Асинхронные импульсно-потенциальные счетчики 257  
 -  $dJ-dK/R-S$ -триггеры 192  
 - счетчики 250  
 Асинхронные импульсные автоматы 95  
 - счетчики 250  
 - триггеры 135, 152  
 - со счетным входом 88, 135  
 - типа  $dT$  136  
 -  $dJ-dK$  147, 192  
 Асинхронные потенциальные автоматы 95  
 - со сложными переходами 102  
 - с простыми переходами 101  
 - счетчики 130  
 - реверсивные 132  
 - триггеры 107, 152  
 - типа  $D-L$  33, 171  
 - "прозрачные" 114  
 -  $D-L-R$  с приоритетом входа  $L$  116  
 -  $D-L-R$  с приоритетом входа  $R$  114  
 -  $D_N-L_N$  118  
 -  $R-S$  32, 86, 108  
 - с приоритетом входа  $R$  122  
 - с приоритетом входа  $S$  121  
 -  $R-S-L$  117  
 - Эрла 112  
 Базис 40  
 Буфер 317  
 Время удержания 189  
 - установки 189  
 Генераторы последовательностей максимальной длины 244  
 - псевдослучайных последовательностей 244  
 Граф переходов автомата 128  
 - логической схемы 80  
 Двоично-десятичный код  
 5-4-2-1 15  
 8-4-2-1 15  
 Делитель частоты 250  
 Демультимплексор 421  
 -  $1 \rightarrow 2^n$  421  
 Дерево Уоллеса 569  
 Детектор подавления импульсов 404  
 - состояния 37  
 Дешифраторы неполные 37  
 - полные с прямыми выходами 37, 417  
 Диаграммы Вейча 48  
 - совместимых состояний 149

- Дизъюнктивная нормальная форма 45  
 --- минимальная 45  
 ----, свободная от состязаний 93  
 --- совершенная 38  
 Дизъюнкция 7  
 Динамическая модель логической схемы 73, 76  
 --- логического элемента 73  
 ---- с виртуальной задержкой 75  
 ---- с переменной задержкой 74  
 Дифференцирование логическое 149  
 - физическое 149  
 Дополнение числа до  $2^n$  513  
 Драйвер 317  
 - двунаправленный 364  
 - шинный 317  
 Ждущий мультивибратор 393  
 - неперезапускаемый 394  
 - перезапускаемый 394  
 Закон двойного отрицания 9  
 - двойственности 21  
 Законы ассоциативные 9  
 - двойственности 9  
 - дистрибутивные 9  
 - идемпотентные 8  
 - коммутативные 8  
 - отрицания 9  
 - поглощения 9  
 Карты Карно 54  
 Каскадирование одноразрядных синхронных двоичных счетчиков 218  
 ---- реверсивных 228  
 Квантизатор бинарный 164  
 - временных интервалов 171  
 Код дополнительный отрицательного числа 513  
 - - положительного числа 513  
 - - с избытком 3 521  
 - обратный 512  
 - прямой 511  
 - - с избытком 3 521  
 - с избытком 3 519  
 Кодирование внутренних состояний 104  
 --- соседнее 104  
 Кодовое кольцо 234  
 Комбинационная схема 43, 56  
 - - линейная 68  
 - - , свободная от состязаний 90  
 Компаратор адресный 490  
 - цифровой 202, 480  
 Константа единица 17  
 - нуль 17  
 Конъюнктивная нормальная форма 47  
 --- минимальная 47  
 ----, свободная от состязаний 94  
 --- совершенная 39  
 Конъюнкция 7  
 Линейный синхронный автомат 273, 755  
 Логическая схема 43, 76  
 Логическое уравнение 25  
 Логический элемент 43  
 Мажоритарные элементы 60, 554  
 Матричные множители 559  
 Метод перебора 8  
 Минимизация числа внутренних состояний 149  
 Многорежимный буферный регистр 345  
 Множество совместимых внутренних состояний 149  
 Модифицированный алгоритм Бута 565  
 Модуль пересчета счетчика 129  
 Мультиплексоры 23, 432  
 - функциональные 23  
 Нормальная форма 38  
 - - минимальная в базисе ИЛИ-НЕ 47  
 ---- ИЛИ-НЕ, свободная от состязаний 94  
 ---- И-НЕ 46  
 ---- И-НЕ, свободная от состязаний 93  
 - - совершенная в базисе ИЛИ-НЕ 41  
 - - совершенная в базисе И-НЕ 41  
 Нормированные синхронные множители частоты 748  
 Общие правила минимизации 45  
 Оператор переходов  $d$  70

- $\nabla$  70
- Операции склеивания 9
  - обобщенного 9
- Операция сложения целых чисел по модулю  $q$  67
  - сумма по модулю два 11
  - умножения целых чисел по модулю  $q$  67
- Основная модель синхронного автомата 179
- Отношение эквивалентности 7
- Отрицание 7
- Паразитная задержка 73
- Перенос параллельный 528
  - последовательный 528
- Переходы внутренних состояний 77, 99
- Петли 80
- Плавающий потенциал 323
- Позиционные системы счисления 12
- Поле Галуа  $GF(q)$  67
  - $F$  66
- Полная система переходов 107
- Полусумматоры 526
- Порядок выполнения операций 10
  - комбинационной схемы с обратными связями 83
  - переключательной функции 59
- Последовательностные схемы 85
- Постоянное запоминающее устройство 452
- Приемопередатчик 364
- Принцип двойственности 8, 19
  - подстановки 7
- Разложение Рида 24
  - Рида — Маллера 41
- Разностный элемент 72, 82
- Регистр памяти 204
  - синхронный 353
- Рефлексивность 7
- Сдвигающий регистр 204
  - с синхронной параллельной загрузкой данных 208
  - реверсивный 209
- Сигнал импульсный 69
  - переноса счетчика 212
  - потенциальный 69
- Симметричность 7
- Синхронно-асинхронные триггеры 162, 210
  - "прозрачные" 199
  - типа  $D/D-L$  198
  - $D/L$  199
  - $D_0-D_1/R$  208
  - $D-L/R$  186
  - $D/R$  163, 186
  - $D/R-S$  163, 186
  - $D-T-L/R$  194
  - $D-T-L-R/D-L-R$  195
  - $D-T-L-R/R$  195
  - $J-K/R$  163
  - $J-K/S$  163
  - $J-K/R-S$  163, 197
  - $R-S/R-S$  196
  - $S/dR$  199
  - $T/R-S$  197
  - $T/D-L$  197
  - $T/D-L-R$  с приоритетом входа  $L$  198
  - $T/D-L-R$  с приоритетом входа  $R$  198
- Синхронные триггеры 153, 182
  - группы I 189
  - группы II 189
  - группы III 190
  - группы IV 190
  - типа  $D$  153, 179
  - $D-L$  32, 184
  - $D-T-L$  33, 193
  - $D-T-L-R$  194
  - $J-K$  38, 157, 187
  - $R-S$  38, 184
  - $T$  38, 187
- Синхронные счетчики
  - вычитающие 211
  - двоично-десятичные 219
  - реверсивные 228
  - двоичные 216
  - вычитающие 228
  - реверсивные 225
  - с параллельным переносом 233
  - с последовательным переносом 228, 233
  - с параллельно-последовательным переносом 219
  - с параллельным переносом 218, 225

- с последовательным переносом 218
- Джонсона 238
- кольцевые 239, 729
- линейные 243
- на сдвигающих регистрах 234
- реверсивные 211
- с переключаемым модулем пересчета 248
- с программируемым модулем пересчета 248
- суммирующие 211
- Синхронный автомат 95
- Скобочные формы представления функций 59
- Соседние внутренние состояния 77
  - изменения состояний входа 99
  - клетки диаграммы Вейча 49
  - кодирование внутренних состояний 104
  - минтермы 44
  - состояния входа 77
- Состояния автомата внутренние 98
  - неустойчивые 101
  - переходные 102
  - совместимые 149
  - соседние 99
  - устойчивые 100
  - входа 98
    - соседние 99
    - выхода 98
    - полные 99
- Состояние логического элемента неустойчивое 75
  - устойчивое 75
  - логической схемы внутреннее 77
    - входа 77
    - выхода 77
    - неустойчивое 78
    - переходное 82
    - полное 79
    - устойчивое 78
  - элемента памяти неустойчивое 100
    - устойчивое 100
- Состязания логических элементов 76
  - критические 76
  - некритические 76
  - элементов памяти 104
  - критические 104
  - некритические 104
- Статическая модель комбинационной схемы 73
  - логического элемента 73
  - логической схемы 78
- Сумматор кодов с избытком 3 520
  - комбинационный параллельный 523
    - параллельный 200
    - последовательный 200
- Суперпозиция 18
- Схема временной привязки 404
  - пороговая 553
  - сравнения чисел 494
  - удвоения частоты 72, 256
- Счетный вход триггера 187
- Счетчик 129
  - по  $mod M$  129
  - с квазисинхронной загрузкой 703
  - с конвейерным переносом 703
- Таблица истинности 18
  - переходов 79
  - асинхронного потенциального автомата 125
  - первоначальная 128
- Теорема разложения Шеннона 21
- Термы 34
  - дизъюнктивные 43
  - конъюнктивные 41
  - максимальные 36
  - минимальные 35
  - первичные 34
- Тождества двойственные 19
  - самодвойственные 19
- Транзитивность 7
- Триггеры защелки 337
  - Шмитта 302
- Унитарная система счисления 15
- Унитарный код 15
- Фиксаторы 337
- Функционально полная система функций 40
- Функция вырожденная 17
  - возбуждения триггеров 32
  - ЭП типа  $D$  100
  - выхода автомата 98
  - генерации переноса 526
  - инверсная 18
  - линейная 24, 66
  - мультиплексная 23
  - инверсная 23



- не полностью определенная 18
  - переключаемая 16
  - переходов автогенератора 174
    - автомата 88
    - логической схемы 77
    - триггеров 31
    - ЭП типа *D* 100
    - типа *D-T-L* 33
  - полностью неопределенная 19
  - полностью определенная 18
  - распространения переноса 526
- Цифровой фазочастотный детектор 165
- Цифровые таймеры 739
- Частичные произведения 563
- Шифраторы 472
  - приоритетные 473
- Элемент задержки 97, 120
  - памяти типа *D* 120
  - *D-R* 121
  - *D-R-S* 121
- 0-клетки 50
- 1-клетки 50
- m-кубы 50

Библиотека БГУИР

# О г л а в л е н и е

Предисловие .....	3
-------------------	---

## ЧАСТЬ 1. ОСНОВЫ ТЕОРИИ ПЕРЕКЛЮЧАТЕЛЬНЫХ ФУНКЦИЙ И ЦИФРОВЫХ АВТОМАТОВ

### Глава 1. Основы теории переключательных функций

1.1. Аксиомы, основные теоремы и тождества алгебры логики .....	7
1.2. Позиционные системы счисления .....	12
1.3. Переключательные функции .....	16
1.4. Принцип и закон двойственности .....	19
1.5. Теоремы разложения .....	21
1.6. Решение систем логических уравнений .....	25
1.7. Первичные термы, минтермы и макстермы .....	34
1.8. Совершенные нормальные формы представления функций .....	37
1.9. Конъюнктивные и дизъюнктивные термы .....	41
1.10. Минимизация переключательных функций .....	43
1.11. Диаграммы Вейча .....	48
1.12. Минимизация неполностью определенных функций, совместная минимизация нескольких функций .....	54
1.13. Скобочные формы функций .....	58
1.14. Закон двойственности для логических схем .....	64
1.15. Линейные функции .....	66

### Глава 2. Анализ и синтез логических схем

2.1. Потенциальные и импульсные сигналы .....	69
2.2. Модели логических элементов .....	73
2.3. Модели логических схем .....	76
2.4. Анализ логических схем .....	79
2.5. Синтез комбинационных схем, свободных от состязаний .....	89

### Глава 3. Синтез асинхронных потенциальных автоматов

3.1. Основная модель цифровых автоматов .....	95
3.2. Асинхронные потенциальные автоматы .....	100

3.3. Асинхронные потенциальные триггеры и элементы памяти .....	107
3.4. Задание асинхронных потенциальных автоматов таблицами и графами переходов .....	124
3.5. Синтез асинхронных потенциальных счетчиков .....	129
3.6. Синтез асинхронных импульсных триггеров .....	135
3.7. Синтез синхронных триггеров .....	153
3.8. Примеры синтеза асинхронных потенциальных автоматов .....	164
3.9. Генераторы сигналов .....	173

#### **Глава 4. Синтез синхронных автоматов**

4.1. Основная модель синхронного автомата .....	179
4.2. Синхронные триггеры .....	182
4.3. Примеры синтеза синхронных автоматов .....	199
4.4. Сдвигающие регистры .....	204
4.5. Синхронные счетчики .....	211
4.6. Асинхронные счетчики .....	250

### **ЧАСТЬ 2. ИНТЕГРАЛЬНЫЕ СХЕМЫ**

#### **Глава 5. Логические элементы и триггеры**

5.1. Интегральные схемы ТТЛ серий .....	263
5.2. Интегральные схемы КМОП серий .....	286
5.3. Триггеры Шмитта .....	302
5.4. Логические элементы с открытым коллекторным выходом .....	307
5.5. Логические элементы с тремя состояниями выхода .....	322
5.6. Преобразователи уровней напряжения и тока .....	333
5.7. Асинхронные потенциальные триггеры и регистры памяти .....	337
5.8. Синхронные триггеры и регистры памяти .....	348
5.9. Шинные приемопередатчики .....	364
5.10. Мультивибраторы .....	393
5.11. Генераторы .....	404
5.12. Рекомендации по выбору серий ИС .....	409

#### **Глава 6. Коммутаторы и арифметические устройства**

6.1. Дешифраторы .....	417
6.2. Демультимплексоры .....	421
6.3. Мультиплексоры .....	432
6.4. Синтез комбинационных схем и цифровых автоматов на мультиплексорах .....	452
6.5. Аналоговые ключи и мультиплексоры-демультимплексоры .....	461
6.6. Шифраторы .....	472
6.7. Цифровые компараторы .....	480
6.8. Схемы сравнения двоичных чисел .....	493
6.9. Прямой, обратный и дополнительный коды .....	511

6.10. Сумматоры .....	523
6.11. Арифметическо-логические устройства .....	540
6.12. Пороговые схемы и мажоритарные элементы .....	553
6.13. Умножители двоичных чисел .....	557
6.14. Конвейерные устройства .....	576
6.15. Синтез линейных комбинационных схем .....	583

## Глава 7. Сдвигающие регистры и счетчики

7.1. Сдвигающие регистры без параллельной записи данных .....	589
7.2. Сдвигающие регистры с параллельной записью данных .....	599
7.3. Реверсивные сдвигающие регистры .....	616
7.4. Асинхронные счетчики .....	624
7.5. Синхронные двоичные счетчики .....	634
7.6. Синхронные двоично-десятичные счетчики .....	662
7.7. Синхронные реверсивные счетчики .....	670
7.8. Счетчики с расщепленным тактовым сигналом .....	714
7.9. Счетчики на сдвигающих регистрах .....	722
7.10. Кольцевые счетчики .....	729
7.11. Делители частоты .....	739
7.12. Линейные генераторы .....	755

## Приложение 1. Перечень отечественных и зарубежных ИС

.....	759
Таблица П1.1. Отечественные ИС типа <i>SN54/SN74</i> .....	764
Таблица П1.2. Отечественные ИС типа <i>CD4000/MC14000</i> .....	770
Таблица П1.3. Отечественные ИС различных серий .....	772
Таблица П1.4. Зарубежные ИС серий <i>SN54/SN74</i> .....	774
Таблица П1.5. Зарубежные ИС серий <i>CD4000/MC14000</i> ....	793

## Приложение 2. Параметры интегральных схем

.....	797
Таблица П2.1. Параметры ИС серий <i>SN74</i> .....	800
Таблица П2.2. Параметры ИС серий <i>SN74HC/LS/ALS/AS</i> .....	837
Таблица П2.3. Параметры ИС серий <i>CD4000</i> и <i>MC14000</i> ...	862

## Принятые сокращения

## Список литературы

## Предметный указатель

УЧЕБНОЕ ИЗДАНИЕ

Пухальский Геннадий Иванович,  
Новосельцева Татьяна Яковлевна

ЦИФРОВЫЕ УСТРОЙСТВА

Редактор *Е. Г. Орловский*. Переплет художника *М. Л. Черненко*.  
Художественный редактор *Л. А. Томчук*. Технический редактор *Т. М. Жилич*.  
Корректор *Т. Н. Гринчук*.

ИБ № 352

ЛР № 010292 от 04.03.93

Сдано в набор 08.01.96. Подписано в печать 27.09.96. Формат издания 60 × 90<sup>1</sup>/<sub>16</sub>.  
Бумага офсетная. Гарнитура Computer Modern. Печать офсетная. Усл. печ. л. 55,5.  
Усл. кр.-отт. 55,5. Уч.-изд. л. 56,84.

Отпечатано с оригинала-макета, изготовленного в ГП «Издательство «Политехника»».  
191011, Санкт-Петербург, Инженерная ул., д. 6.

## **Издательство «Политехника» выпустило в свет следующие книги:**

**Подлипенский В. С., Сабинин Ю. А., Юрчук Л. Ю.**  
**«Элементы и устройства автоматики». Учебник для вузов.**

В книге излагаются принципы построения и функционирования элементов и устройств, основанных на различных физических явлениях, используемых в современных автоматических системах. Наряду с рассмотрением конструктивных особенностей физических основ работы элементов и устройств автоматики большое внимание уделено их поведению в системах управления.

Книга предназначена для студентов электротехнических специальностей вузов, а также специалистов в области автоматики и управления.

**Новгородцев А. Б.** «30 лекций по теории электрических цепей». Учебник для вузов.

В книге рассмотрены методы анализа и свойства линейных резистивных цепей, частотный анализ и свойства цепей при синусоидальных и несинусоидальных воздействиях, переходные и импульсные процессы в линейных цепях, аналитические свойства функций цепей, цепи с распределенными параметрами, нелинейные электрические цепи. Изложение теоретического материала сопровождается примерами их приложения к конкретным задачам расчета цепей. Подробно рассмотрены вопросы активных цепей и систем с дискретным временем.

Для студентов электротехнических, системотехнических и радиотехнических специальностей вузов, а также инженеров и научных работников, занимающихся расчетом и проектированием электронных и радиотехнических устройств.