

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Кафедра систем управления

А.Р. Решетиллов

ЭЛЕКТРОНИКА И МИКРОСХЕМОТЕХНИКА

Конспект лекций по дисциплине
«Основы систем автоматизированного управления»
для студентов специальности
I-53 01 07 «Информационные технологии и управление в
технических системах»

МИНСК 2006

Оглавление

1	КЛЮЧИ.....	5
1.1	Контактные ключи.....	5
1.2	Диодные ключи.....	8
1.3	Транзисторные ключи.....	15
1.3.1	Ключи на биполярных транзисторах.....	16
1.3.2	Характеристики биполярных транзисторов в ключевых режимах.....	20
1.3.3	Ключи на униполярных транзисторах.....	26
1.3.4	Транзисторы типа MOSFET.....	30
1.3.5	Транзисторы IGBT.....	32
1.4	Интеллектуальные ключи.....	33
1.5	Ключи на тиристорах.....	34
1.6	Переходные процессы в ключах на биполярных транзисторах.....	36
1.7	Переходные процессы в ключах на униполярных транзисторах.....	40
1.8	Потери в ключах в импульсном режиме.....	42
1.9	Способы повышения быстродействия ключей на биполярных транзисторах.....	44
1.10	Выходные ключевые каскады.....	48
1.11	Сквозные токи.....	52
1.12	Рекуперация.....	54
1.13	Предмощные каскады.....	54
1.14	Тиристорные схемы управления.....	57
1.15	Тиристорная схема управления двигателем постоянного тока от сети переменного тока.....	66
1.16	Тиристорная схема управления двигателем постоянного тока от сети постоянного тока.....	67
2	ЛОГИЧЕСКИЕ СХЕМЫ.....	69
2.1	Основные определения.....	69
2.2	Диодные логические схемы.....	71
2.3	ТТЛ логические схемы.....	73
2.4	Особенности 530, 531, 533, 555 серий.....	79
2.5	Станковая логика. 511 серия.....	81
2.6	Логика на униполярных транзисторах.....	83
2.7	Логика с оптическими связями.....	85
2.8	Эмиттерно–связная логика (ЭСЛ).....	86
2.9	Интегральная инжекционная логика.....	89
2.10	Логика ПТШ (полевые транзисторы Шоттки).....	92
2.11	Согласование логических схем.....	93
2.12	Программируемые логические интегральные схемы (ПЛИС).....	96
2.13	Обобщенная модель ПЛИС.....	101
2.14	Микросхема ПЛМ (К556 РТ 1).....	103
3	ТРИГГЕРЫ.....	108
3.1	Триггеры на биполярных транзисторах.....	108
3.2	Счетный триггер.....	119

3.3	Триггеры на униполярных транзисторах	120
3.4	Триггеры на логических элементах	121
3.5	Синхронный RS-триггер	124
3.6	Счетный триггер на логических элементах	124
3.7	D-триггер на логических элементах	126
3.8	JK-триггер на логических элементах	127
3.9	Интегральный шестиэлементный D-триггер ТМ2	128
3.10	JK-триггер ТВ-1	131
3.11	Прозрачные триггеры-защелки	133
3.12	Гонки	134
3.13	Триггеры на приборах с отрицательным сопротивлением. Триггеры на туннельных диодах.....	135
3.14	Триггеры на тиристорах	138
3.15	Триггеры на двухбазовых диодах	140
3.16	Триггеры на операционных усилителях.....	142
4	Генераторы импульсов	144
4.1	Мультивибраторы на биполярных транзисторах	144
4.1.1	Мультивибраторы в ждущем режиме	144
4.1.2	Мультивибраторы на биполярных транзисторах в автоколебательном режиме	148
4.2	Ждущий мультивибратор на униполярных транзисторах.....	150
4.3	Генератор импульсов на двух логических элементах с двумя конденсаторами в автоколебательном режиме	151
4.4	Генератор импульсов на четырех логических элементах с одним конденсатором	153
4.5	Генератор импульсов на двух логических элементах с одним конденсатором	156
4.6	Генераторы импульсов на логических элементах в ждущем режиме	157
4.7	Генератор импульсов на туннельном диоде в ждущем режиме	159
4.8	Генератор импульсов на туннельном диоде в автоколебательном режиме.....	162
4.9	Генератор импульсов на тиристоре в ждущем режиме	163
4.10	Генератор импульсов на тиристоре в автоколебательном режиме	165
4.11	Таймеры	166
4.12	Генератор импульсов в ждущем режиме на таймере.....	168
4.13	Генератор импульсов в автоколебательном режиме на таймере	170
4.14	Блокинг–генераторы в ждущем режиме.....	171
4.15	Блокинг-генератор в автоколебательном режиме	177
4.16	Магнитно-транзисторный преобразователь двухплечевой	178
4.17	Схема с дополнительным трансформатором	181
4.18	Мостовая и полумостовая схемы магнитно-транзисторных преобразователей.....	181
4.19	Генераторы импульсов на ОУ в автоколебательном режиме	182
4.20	Генератор импульсов на ОУ в ждущем режиме.....	184
4.21	Кварцевая стабилизация импульсных генераторов.....	187

4.22	Генератор импульсов, стабилизированный кварцем	192
5	Генераторы синусоидальных колебаний	194
5.1	Общие определения	194
5.2	Генератор синусоидальных колебаний с LC контуром и трансформаторной ОС	197
5.3	Схемы с индуктивной, емкостной трехточками	199
5.4	RC цепи для генераторов синусоидальных колебаний	200
5.5	Генераторы синусоидальных колебаний с R и C–параллелями	202
5.6	Генераторы синусоидальных колебаний с кварцевой стабилизацией	202
5.7	Генераторы синусоидальных колебаний на ОУ	205
6	Цифроаналоговые и аналого-цифровые преобразователи	208
6.1	Цифроаналоговые преобразователи	208
6.1.1	ЦАП с весовыми резисторами	211
6.1.2	ЦАП с матрицей R–2R	212
6.1.3	ЦАП с сигма–дельта модуляцией	215
6.1.4	ЦАП с прямым преобразованием	216
6.2	Аналого-цифровые преобразователи	217
6.2.1	Следящие АЦП	217
6.2.2	Развертывающие АЦП	217
6.2.3	АЦП с регистром последовательного приближения	218
6.2.4	АЦП с двойным интегрированием	219
6.2.5	АЦП параллельного преобразования	222
6.2.6	АЦП с сигма-дельта ($\Sigma\Delta$) модуляцией	223
6.2.7	Микросхема КР1108 ПП-1	225

1 КЛЮЧИ

Выделяют контактные, диодные, транзисторные, тиристорные, пневматические и гидравлические ключи.

1.1 Контактные ключи

Контактные ключи применяются в тех случаях, когда необходим минимальный дрейф, т.е. медленное и самопроизвольное изменение выходного напряжения при нулевом напряжении источника питания.

В сущности, дрейф – это термоЭДС, образующаяся между замкнутыми позолоченными (не позолоченными) контактами вследствие наличия микропримесей. Например, в медицине они применяются для измерения разности потенциалов между точками поверхности кожи.

Контактные ключи имеют минимальное сопротивление в замкнутом состоянии, максимальное сопротивление в разомкнутом состоянии, обеспечивают хорошую гальваническую развязку, так как между контактами и обмоткой управления находится изоляция.

Недостатки: низкочастотный диапазон, малая надёжность, быстрый износ.

Достоинство: хорошая радиационная устойчивость.

Ниже, на рисунке 1.1, приведена схема двухполупериодного контактного преобразователя.

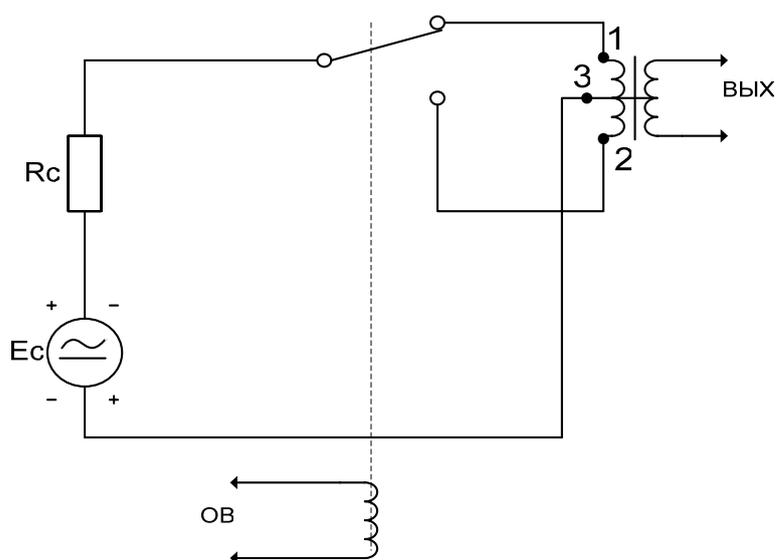


Рисунок 1.1 – Схема двухполупериодного контактного преобразователя

Переключатель вибрирует под воздействием обмотки возбуждения ОВ. Типовая частота вибрации составляет 50Гц, хотя известны интегральные

преобразователи с частотой до 500 кГц. Таким образом, сигнал преобразуется, т.е. модулируется в более высокочастотный, как показано на рисунках 1.2 а, б, в.

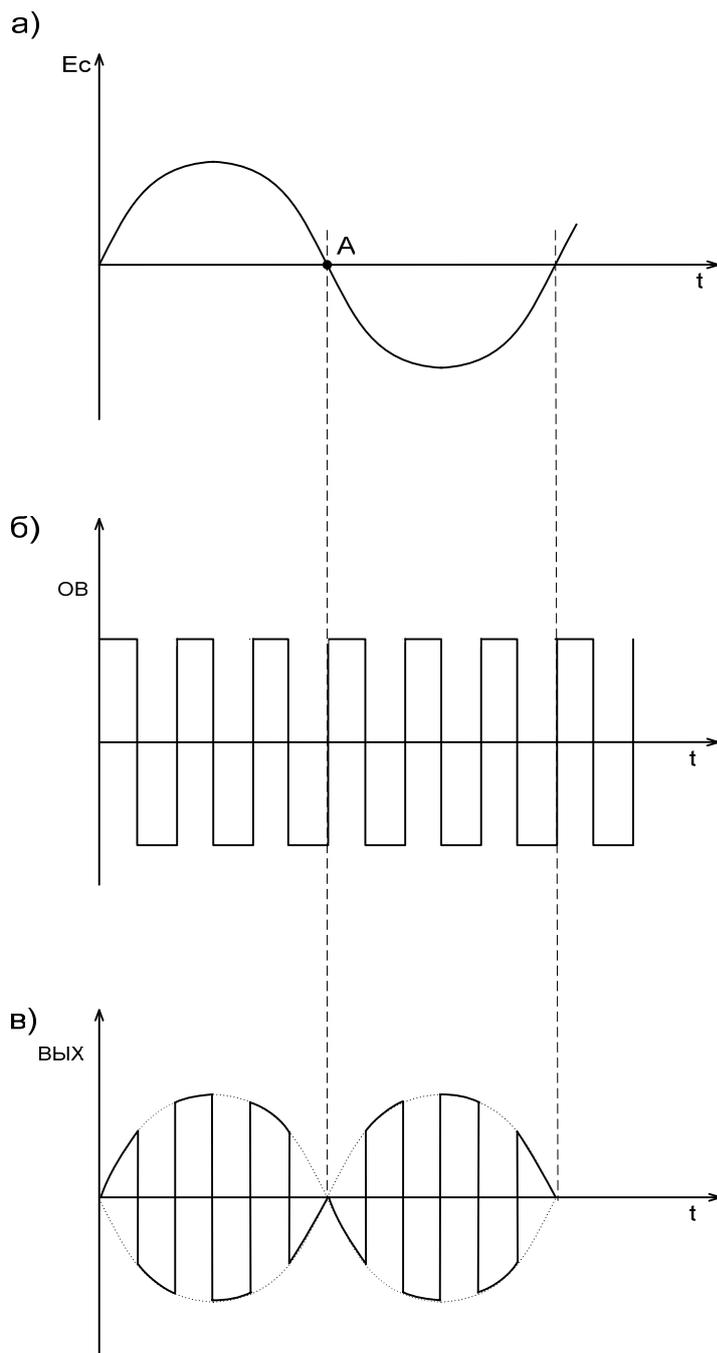


Рисунок 1.2,а, б, в – Преобразование сигнала E_c

Частота сигнала обмотки возбуждения должна быть не менее чем на порядок больше в сравнении с наивысшей частотой в спектре преобразуемого сигнала.

Общее свойство: преобразователь удовлетворяет принципу двойственности, т.е. если справа на обмотку подать промодулированный сигнал, а вместо источника сигнала включить нагрузку, то на этой нагрузке выделится первичный модулирующий сигнал.

Из графика, изображенного на рисунке 1.2, в, следует, что при переходе синусоиды рисунка 1.2, а в отрицательную область на последнем меняется фаза на 180° .

Если взять двухфазный двигатель переменного тока, на одну из обмоток подать сигнал, изображенный на рисунке 1.2, б, а на другую – на рисунке 1.2, в, то в момент точки А двигатель изменит направление вращения, т.е. по ротору будет работать как демодулятор.

Схемы однополупериодных преобразователей изображены на рисунке 1.3, а, б.

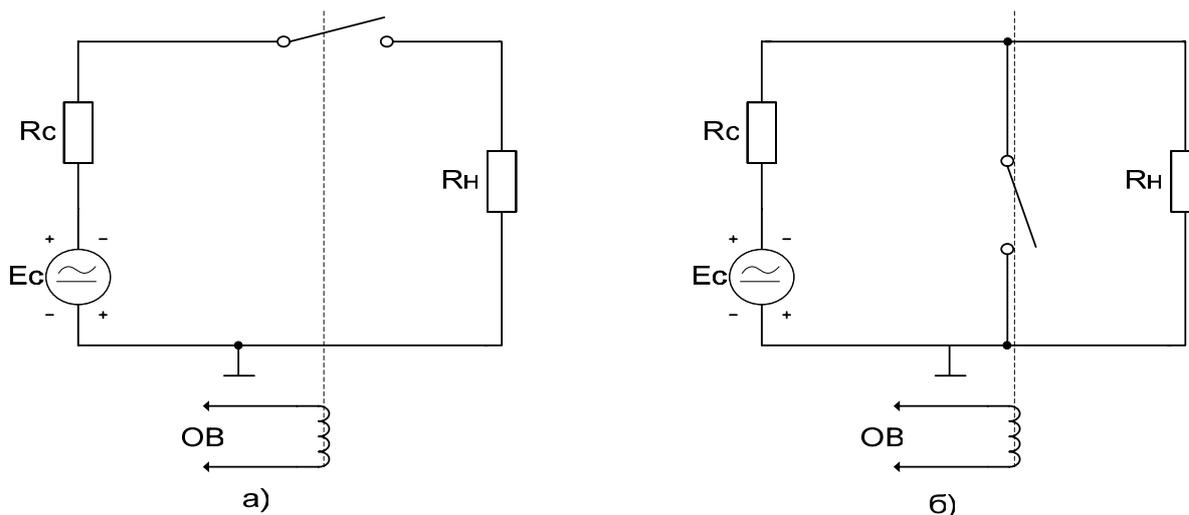


Рисунок 1.3, а, б – Однополупериодные контактные преобразователи

Предпочитают вторую схему с замыканием на землю. Сигнал появляется, когда контакт разомкнут. В этой схеме выше помехоустойчивость, потому что помехи и наводки закорачиваются при замкнутом контакте.

Достоинство двухполупериодной схемы – высокая помехоустойчивость, т.к. вторичная обмотка настраивается в резонанс и вместе с трансформатором фильтрует помехи, в то время как в однополупериодной схеме помехоустойчивость ниже. Коэффициент передачи схем:

$$K = \frac{U'_{\text{ВЫХ}}}{E_c} \approx \frac{4}{\pi} \cdot \frac{R'_H}{R'_H + R_c} \quad \text{– для двухполупериодной схемы;}$$

$$K = \frac{U_{\text{ВЫХ}}}{E_c} \approx \frac{2}{\pi} \cdot \frac{R_H}{R_H + R_c} \quad \text{– для однополупериодной схемы.}$$

Коэффициент $\frac{4}{\pi}$ образуется из разложения последовательности прямоугольных импульсов в ряд Фурье с выделением первой гармоники. Коэффициент $\frac{2}{\pi}$ соответствует однополупериодной схеме.

R'_H – приведенное сопротивление вторичной обмотки по отношению к первичной через коэффициент трансформации.

1.2 Диодные ключи

Выделяют неуправляемые и управляемые диодные ключи.

Основные характеристики:

- 1 Дрейф самый большой в сравнении любыми другими ключами.
- 2 Неуправляемые диодные ключи выявляют КПД до 95%, управляемые – до 5%(это недостаток).

Достоинство диодных ключей – несложность схем, высокочастотность.

Как самые быстродействующие элементы, свето-фотодиоды и диодные лазеры широко применяются в электронно-световых и свето-электронных преобразованиях.

На рисунке 1.4, а, б изображены последовательное и параллельное расположение диодных неуправляемых ключей.

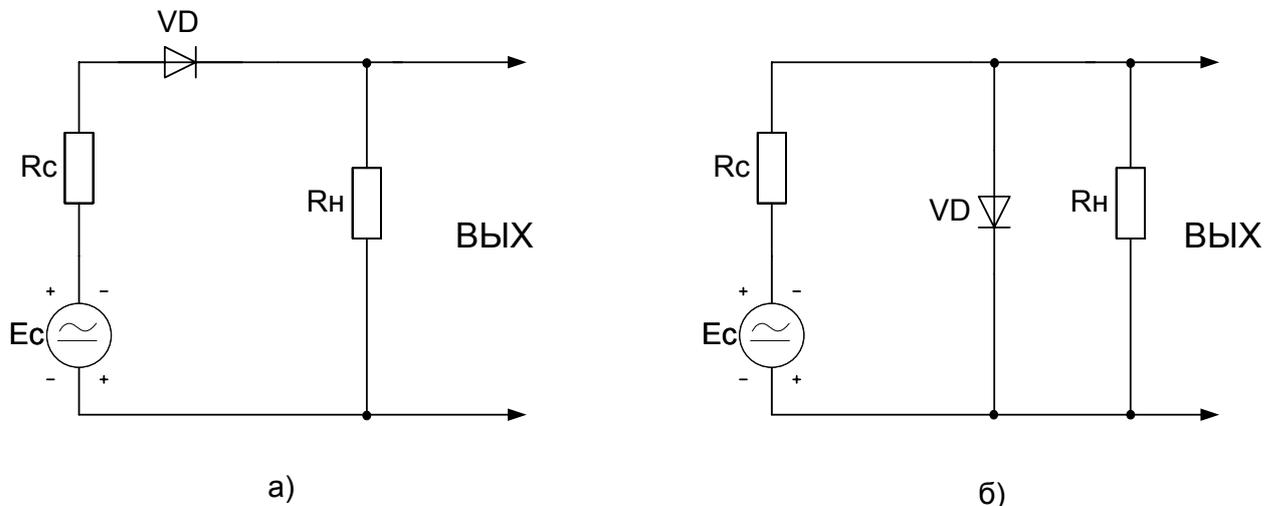


Рисунок 1.4, а, б – Неуправляемые диодные ключи в схемах

При возрастании E_c в положительной области ток протекает по цепи : $+ E_c \cdots R_c \cdots VD \cdots R_H \cdots -E_c$, поэтому напряжение на выходе увеличивается, как показано на рисунке 1.5, а. Обратное направление E_c закрывает диод VD , тока в нагрузке R_H почти нет, следовательно, наклон характеристики незначительный. Положительная полярность E_c в схеме рисунка 1.4, б образует ток и падение напряжения на VD в прямом направлении, диод открыт, а наклон характеристики

на рисунке 1.5, б незначительный. Обратное направление E_c закрывает диод VD, в нагрузке R_H протекает ток, на рисунке 1.5, б характеристика пропорциональна этому току.

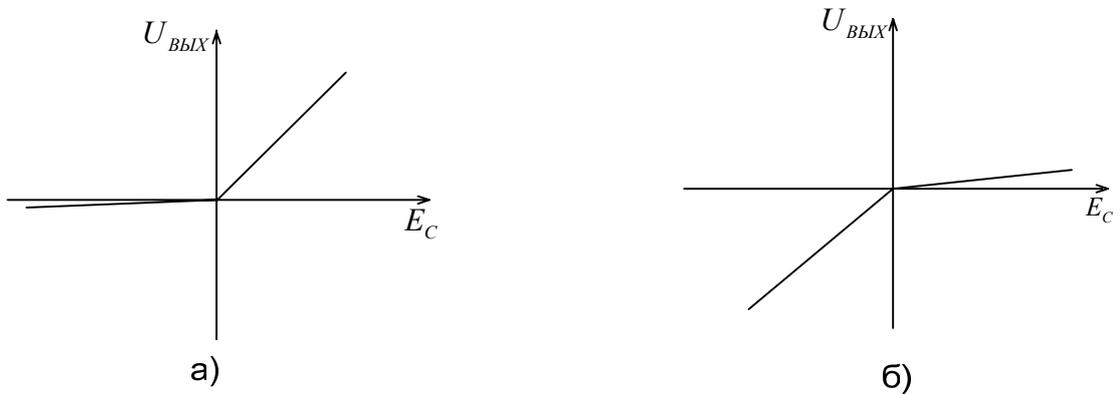


Рисунок 1.5, а, б – Графики напряжений в схемах рисунков 1.4, а и 1.4, б

На рисунке 1.6, а, б приведены выпрямительные схемы на неуправляемых диодных ключах:

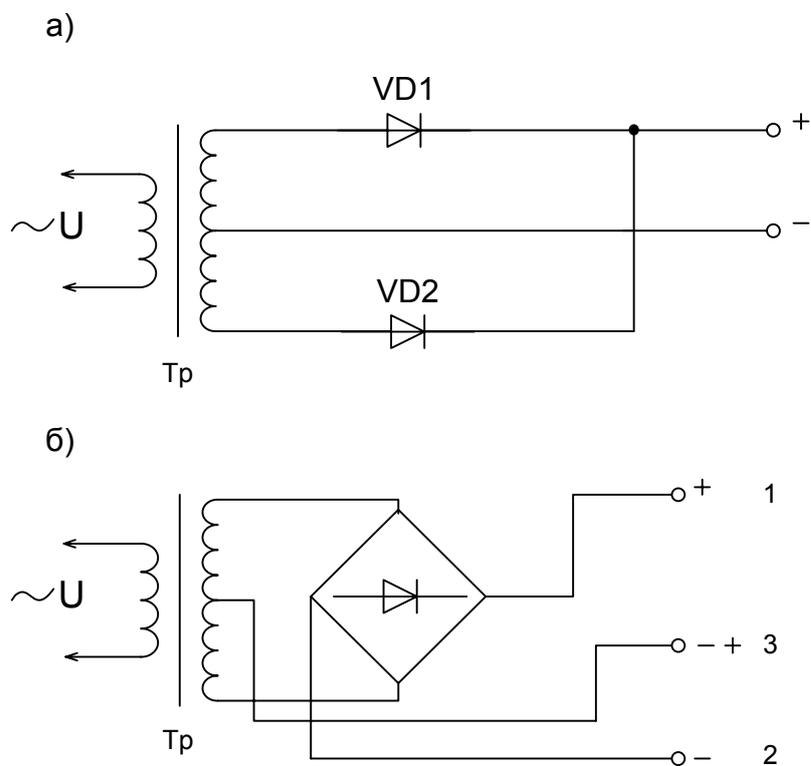
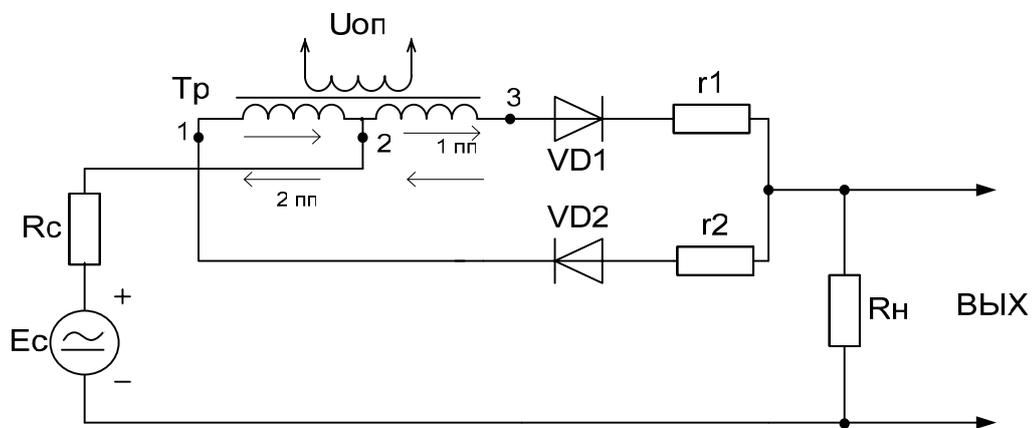


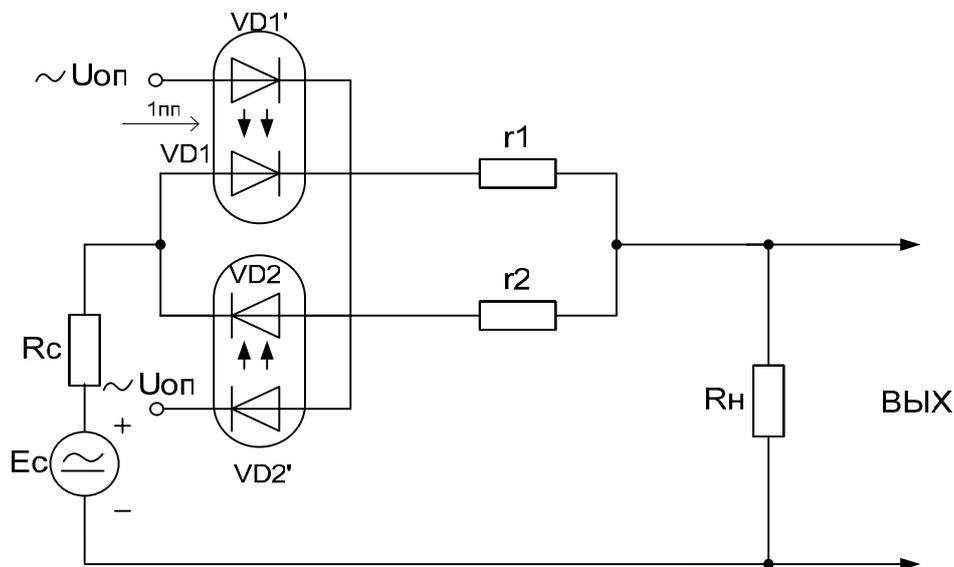
Рисунок 1.6, а, б – Схемы двухполупериодных выпрямителей

Первая схема содержит два диодных ключа $VD1$, $VD2$, но вторичная обмотка трансформатора имеет вывод от средней точки. Во второй схеме четыре диодных ключа, и если она не имеет вывода от средней точки трансформатора, то напряжение на выходах 1...2 такое же, как в схеме на рисунке 1.6, а. Средняя точка позволяет получить симметричное напряжение 1...3 и 2...3, в сущности, разделить напряжение 1...2 пополам.

На рисунке 1.7, а, б изображены две схемы преобразователей с управляемыми диодными ключами. В первой управляющее напряжение подается на диодные ключи через разделительный трансформатор, вторичная обмотка которого имеет среднюю точку 2. Во второй схеме фотодиоды $VD1$, $VD2$ открываются и закрываются оптическим лучом или его отсутствием от светодиодов $VD1'$ и $VD2'$ в составе оптопар.



а)



б)

Рисунок 1.7, а, б – Однополупериодные схемы преобразователей с управляемыми диодными ключами

Примем вначале, что $E_C = 0$ и подадим $U_{оп}$.

Обозначим первый полупериод схемы рисунка 1.7, а стрелкой 1пп.

Ток протекает от точки 3 через $VD1 \dots r1 \dots r2 \dots VD2$, на точку 1 и, если схема сбалансирована, напряжения между точками 1-2 и 2-3 одинаковы, то ответвления сигнала в нагрузку быть не должно, т.к. здесь мостовая схема. В реальности ответвление есть, вследствие неидеального баланса. Во второй полупериод напряжение приложено от точки 1 к $VD2 \dots r2 \dots r1 \dots VD1 \dots$ точке 3, диоды закрыты, следовательно, цепь передачи в нагрузку разомкнута, что подобно отключенным контактам схемы рисунка 1.3, а.

Теперь приложим E_C , когда диоды открыты, при этом образуется цепь $+E_C \dots R_C \dots$ точка 2 \dots точка 3 $\dots VD1 \dots r1 \dots R_H \dots -E_C$. На нагрузке R_H выделяется выходное напряжение в виде импульса.

В схеме рисунка 1.7, б ток протекает через светодиоды $U_{оп} \dots VD1' \dots VD2' \dots U_{оп}$, излучающие свет, воспринимаемый фотодиодами $VD1, VD2$, которые резко уменьшают свое сопротивление, таким образом, световой луч обеспечивает гальваническую развязку – не передает опорное напряжение. Диодные оптопары рассчитаны на 100-400В, имеют хорошую высокочастотность до сотен МГц.

Во втором полупериоде оба диода закрыты – цепи для сигнала нет, в целом схема эквивалентна разомкнутому контактному ключу, напряжение на выходе равно нулю, импульс отсутствует.

Коэффициент передачи тот же, что и у предыдущей контактной однополупериодной схемы.

Расчётные соотношения $r1$ и $r2$:

- 1 $r1 = r2 \approx (20 \div 50) \cdot R_{VD_{откр}}$. Это соотношение принимается для того, чтобы изменение температурного сопротивления диодов было малозаметным по сравнению с термостабильными сопротивлениями $r1, r2$. $R_{VD_{откр}}$ – сопротивление открытого диода VD .
- 2 $f_{оп} \geq 10 \cdot f_C$, где f_C – наибольшая частота в спектре E_C
- 3 $U_{оп} \geq 10 \cdot E_C$
- 4 $I_{оп} \geq 10 \cdot I_C$
- 5 $U_{VD_{доп}} \approx (1.5 \div 2) \cdot (U_{оп} + E_C)$
- 6 $I_{VD_{доп}} \approx (1.5 \div 2) \cdot (I_{оп} + I_C)$

Так как к диодным ключам необходимо подводить опорное напряжение, то КПД схем на уровне 5%.

На рисунке 1.8 приведена схема кольцевого двухполупериодного преобразователя с управляемыми диодными ключами.

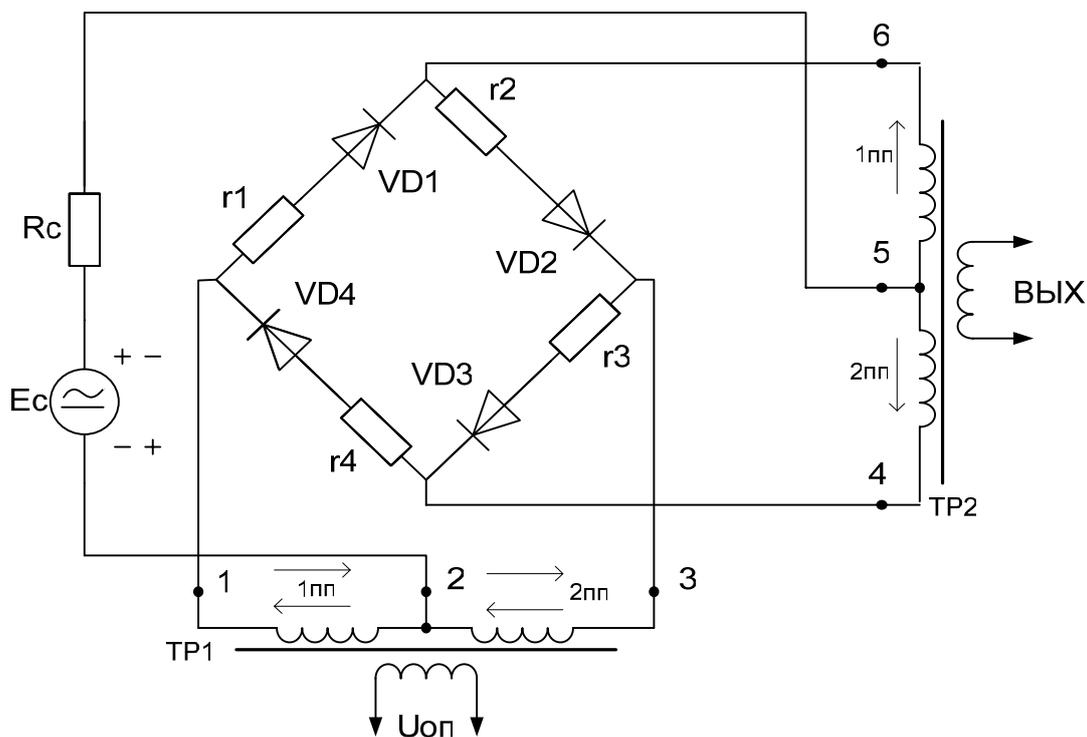


Рисунок 1.8 – Двухполупериодный преобразователь

Работа схемы: примем $E_c = 0$.

В первый полупериод $U_{оп}$ 1пп ток протекает по цепи: точка 1... r_1 ...VD1... r_2 ...VD2...точка 3, при этом диоды VD3, VD4 закрыты, так как опорное напряжение направлено против их стрелок.

Во второй полупериод $U_{оп}$: точка 3... r_3 ...VD3... r_4 ...VD4...точка 1, диоды VD1, VD2 закрыты, таким образом, образуется эквивалент двух механических контактов, поочередно замыкающихся и размыкающихся, как на схеме рисунка 1.1.

Приложим E_c .

В первый полупериод $U_{оп}$ образуется цепь: $+E_c$... R_c ...точка 5...точка 6... r_2 ...VD2...точка 3...точка 2... $-E_c$. В первичной обмотке TP2 протекает ток первого полупериода 1пп.

Во второй полупериод $U_{оп}$ ток от E_c протекает по цепи $+E_c$... R_c ...точка 5...точка 4... r_4 ...VD4...точка 1...точка 2... $-E_c$. В первичной обмотке TP2 протекает ток второго полупериода 2пп.

Так как частота $U_{оп}$ на порядок превышает наивысшую частоту в спектре E_c , производится двухполупериодное преобразование или амплитудная модуляция относительно низкочастотного сигнала (постоянного E_c) в высокочастотный сигнал.

Обе схемы (предыдущие и эта) удовлетворяют принципу двойственности, т.е. если на выход подать промодулированный сигнал, а вместо R_c , E_c

присоединить R_H , то схема работает как демодулятор. Расчетные соотношения те же, что и для предыдущей схемы. Вариант с оптронами разработать самостоятельно. Коэффициент передачи аналогичен двухполупериодной контактной схеме.

Если на зажимы выхода подать такое же по частоте напряжение, что и опорное, то получаем промежуточный этап осциллограмм, изображенных на рисунке 1.9 а, б, в.

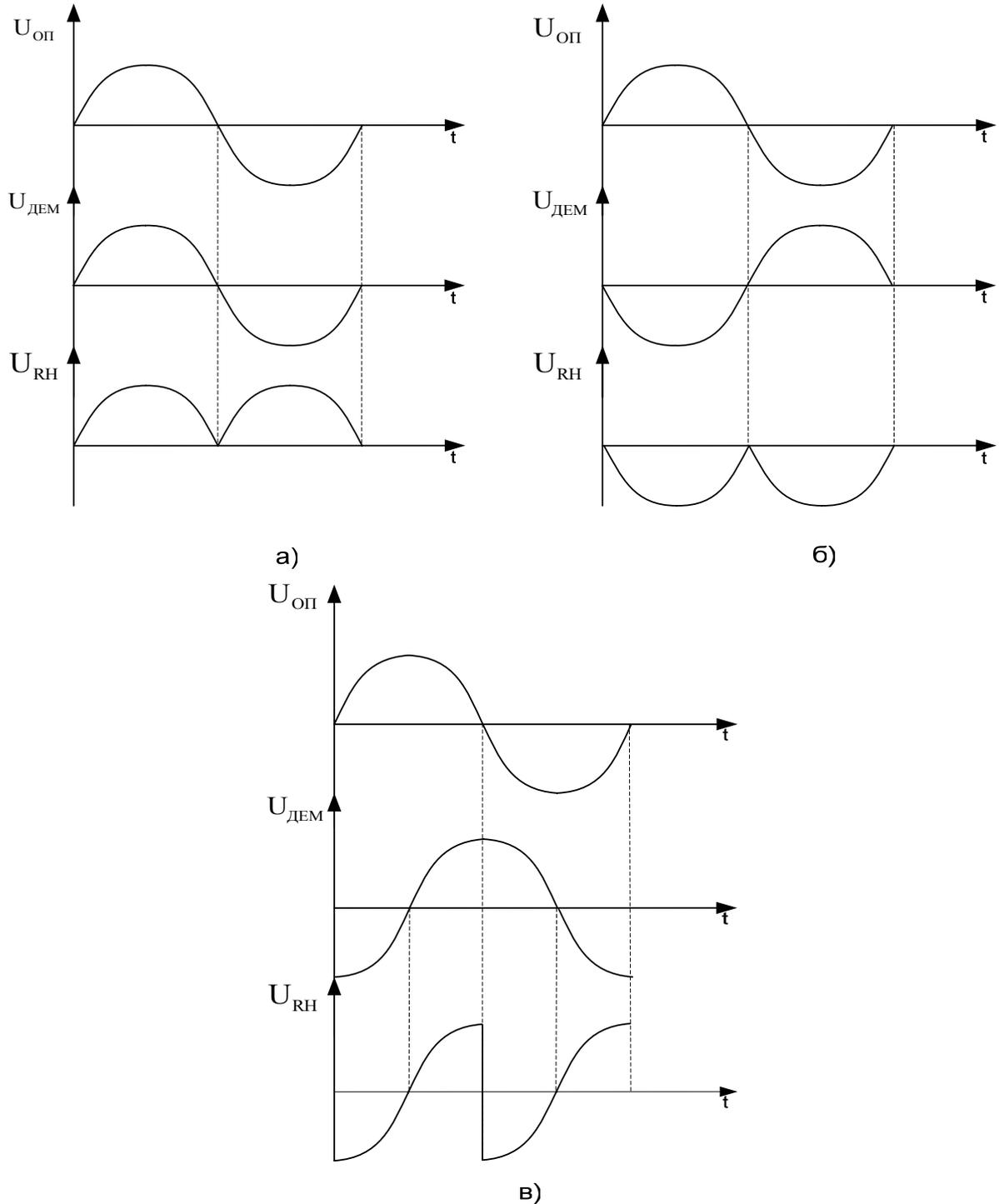


Рисунок 1.9, а, б, в, – Осциллограммы напряжений на нагрузке R_H , включенной вместо E_C, R_C

На этом рисунке $U_{\text{оп}}$ – опорное напряжение, $U_{\text{дем}}$ – демодулируемое напряжение, подаваемое к зажимам трансформатора ТР2, обозначенным Вых, U_{RH} – напряжение на R_{H} , включаемом вместо R_{C} , E_{C} . Осциллограммы соответствуют трем случаям. На рисунке 1.9, а фазы $U_{\text{оп}}$ и $U_{\text{дем}}$ совпадают, соответственно на R_{H} выявляются положительные полусинусоиды. На рисунке 1.9, б фазы противоположны, поэтому на нагрузке R_{H} изображены отрицательные полусинусоиды. Рисунок 1.9, в иллюстрирует фазовый сдвиг $\pi/2$ (90°), полусинусоиды $U_{\text{дем}}$ скачком разрываются на две половины, одна в положительной части осциллограммы, другая – в отрицательной. В целом, из вида осциллограммы U_{RH} рисунка 1.9, в следует, что она не содержит постоянной составляющей. Таким образом, если изменять фазу $U_{\text{дем}}$ (или $U_{\text{оп}}$) от нуля, как это изображено на рисунке 1.9, а до 180° , как на рисунке 1.9, в, то по постоянной составляющей U_{RH} получаем кривую, изображенную на рисунке 1.10, которую называют дискриминационной. Она имеет форму синусоиды.

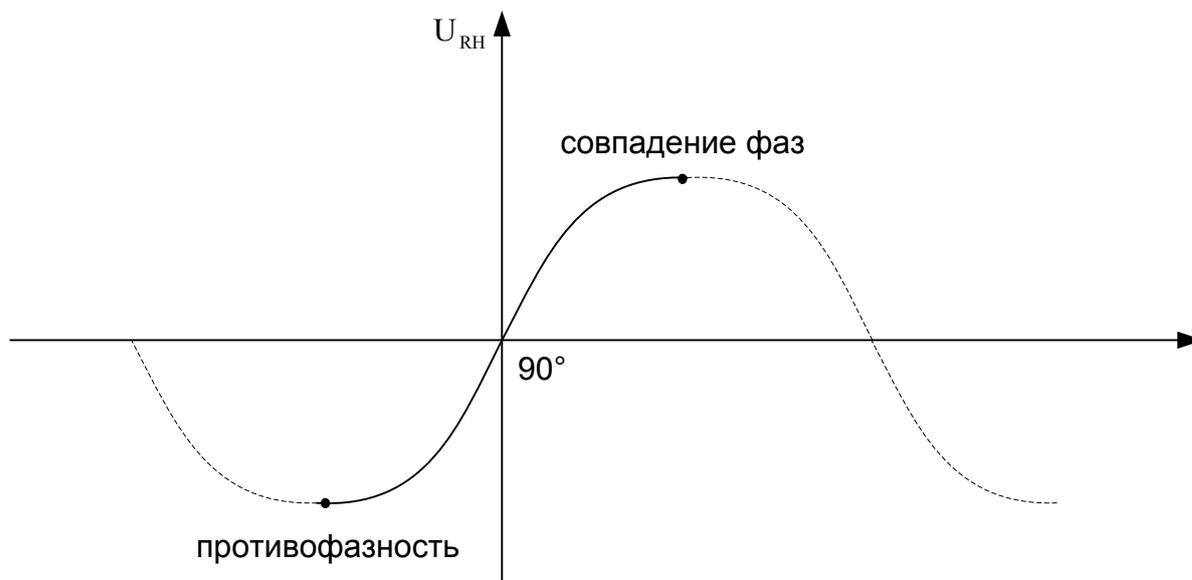


Рисунок 1.10 – Дискриминационная кривая

В автоматике системы управления с обратной связью имеют структурные схемы, одна из которых изображена на рисунке 1.11.

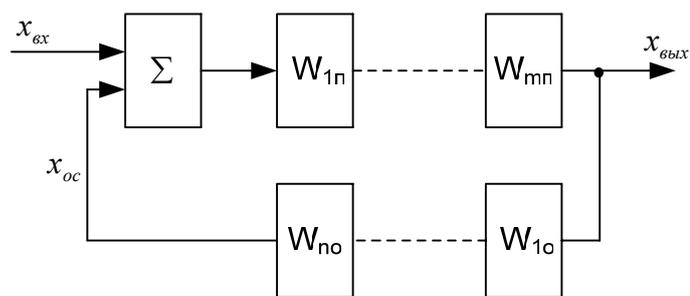


Рисунок 1.11 – Структурная схема системы управления с обратной связью

Прямоугольник со знаком Σ соответствует элементу сравнения. В старой литературе изображается кружочком с наклонным крестиком \otimes . В зависимости от типа этого элемента сравнения выделяют:

- 1 Амплитудные системы, т. е. такие системы, у которых $x_{вх}$ и $x_{ос}$ выражаются в виде амплитуд напряжений, токов, численных значений сопротивлений и т. д.
- 2 Частотные – когда $x_{вх}$ и $x_{ос}$ – частоты сигналов.
- 3 Фазовые – $x_{вх}$ и $x_{ос}$ – это фазы сигналов.
- 4 Цифровые – $x_{вх}$ и $x_{ос}$ – цифровые коды.

Наиболее современные в настоящее время – цифровые системы управления. Тем не менее, применяются и первые три вида систем. Для фазовых систем управления один из вариантов реализации элемента сравнения, т. е. прямоугольника со знаком Σ или кружка с крестиком \otimes – это любая схема преобразователя, диодная, транзисторная, контактная, удовлетворяющая принципу двойственности, используемая в режиме фазового дискриминатора, как это показано на рисунках 1.9 и 1.10. Напряжение вертикальной оси рисунка 1.10 – это напряжение рассогласования на рисунке 1.11, соответствует разности фаз $x_{вх}$ и $x_{ос}$, оно управляет системой.

1.3 Транзисторные ключи

Достоинства:

- высокая частотность
- высокий КПД
- несложность схем
- дрейф промежуточный между контактными и диодными ключами

Недостатки:

- низкая радиационная устойчивость (так же, как и у диодных ключей)
- наличие гальванической связи между опорным и сигнальным напряжением; если применены оптроны, то гальваническая развязка эквивалентна контактными ключам.

1.3.1 Ключи на биполярных транзисторах

Известны три типовые схемы включения, изображенные на рисунках 1.12, 1.13 и 1.15: с общей базой (ОБ), общим эмиттером (ОЭ) и общим коллектором (ОК).

1 Схема с общей базой (далее ОБ):

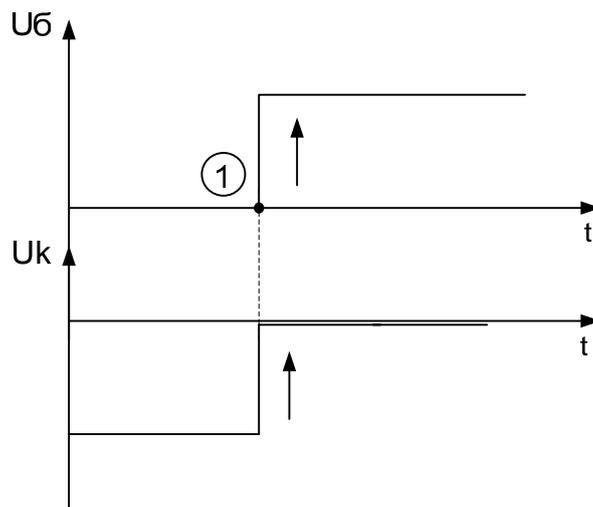
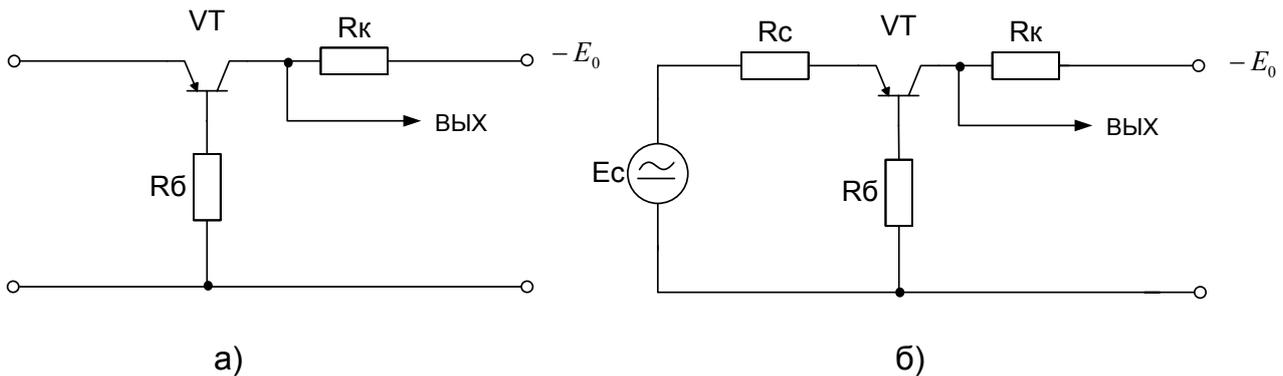


Рисунок 1.12, а, б – Схемы включения биполярного транзистора VT ОБ; в – графики напряжений в базовой и коллекторных цепях

Основные свойства:

- самое низкое входное сопротивление в сравнении с другими схемами ОЭ и ОК (десятки Ом) как в активном, так и в ключевом режиме - недостаток схемы, поэтому трудно согласовывать с предыдущими каскадами, которые имеют, как правило, большое выходное сопротивление;
- имеет самое высокое выходное сопротивление (сотни кОм) – также недостаток схемы, с точки зрения согласования из-за различия сопротивлений;

- не усиливает по току, коэффициент усиления по току близок к единице (немного меньше);
- усиливает по напряжению в несколько десятков раз;
- коэффициент усиления по мощности относительно небольшой, примерно тот же, что и по напряжению;
- схема не инвертирует усиливаемый сигнал в усилительном или в ключевом режиме, поэтому на графике стрелкой указывается перепад на входе и на выходе в одном направлении.

На рисунке 1.12, в вертикальная ось обозначает напряжение U_B , но биполярные транзисторы управляются током, поэтому в дальнейшем будем указывать ток I_B .

2 С общим эмиттером (далее ОЭ):

Типовая схема ОЭ показана на рисунке 1.13, а; вариант для ключевого режима – на рисунке 1.13, б; схема активной области (усилительный режим) – на рисунке 1.13, г; графики процессов ключевого режима – на рисунке 1.13, в.

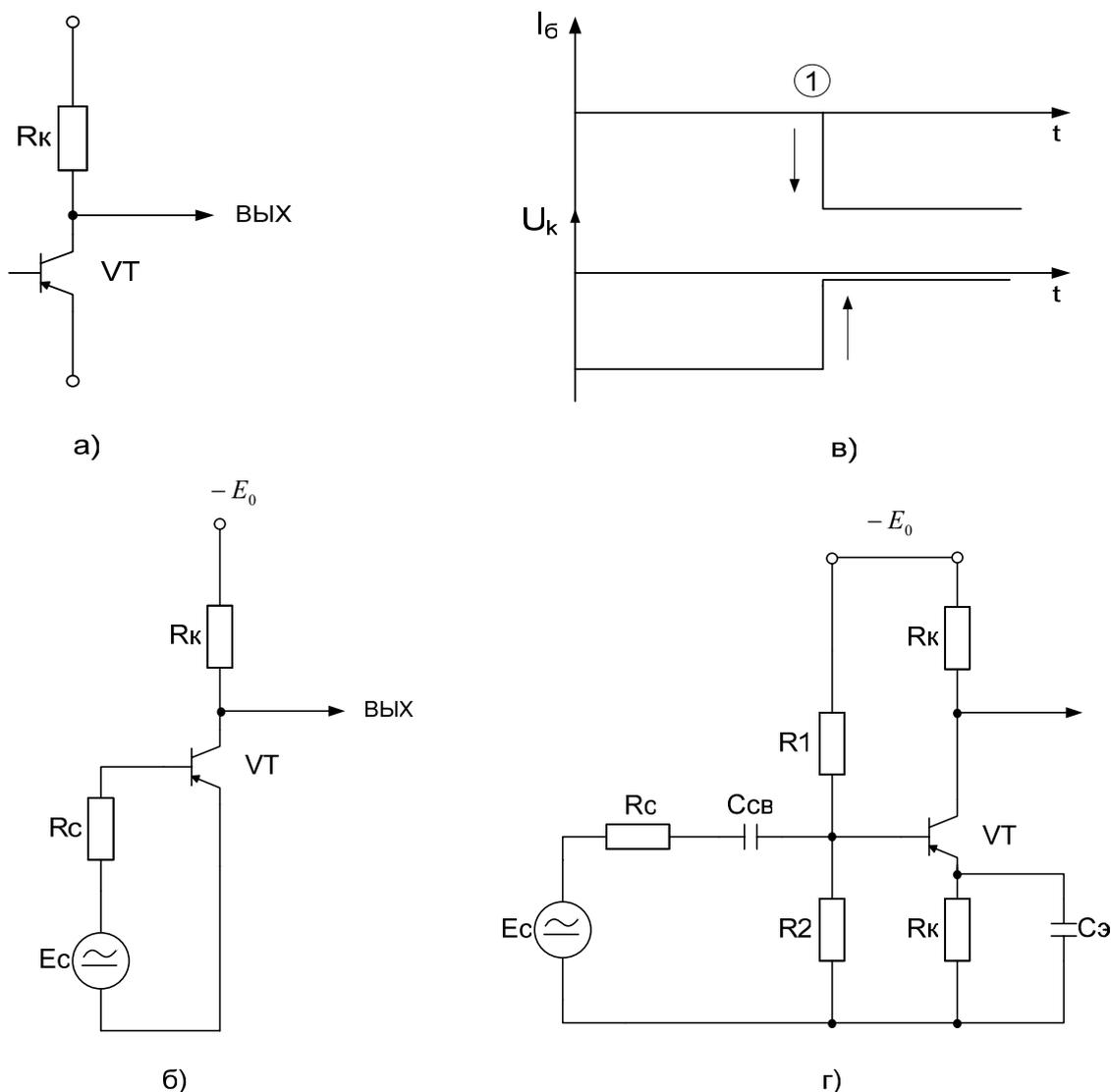


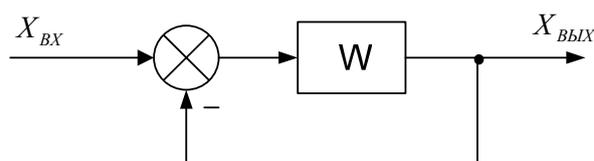
Рисунок 1.13, а, б, г – Схемы с ОЭ; в – графики тока I_B и напряжения на выходе U_k

Основные свойства:

- имеет на 1 – 2 порядка больше входное сопротивление в сравнении с ОБ (десятки – сотни кОм), следовательно, лучше согласуется с предыдущими более высокоомными каскадами. Больше входное сопротивление потому, что в этой схеме действует эффект отрицательной обратной связи (ООС), повышающий входное сопротивление;
- имеет на порядок меньше выходное сопротивление по той же причине (действие обратной связи), поэтому лучше согласуется с последующими каскадами;
- усиливает по току и по напряжению (десятки–сотни раз), поэтому коэффициент усиления по мощности, являющийся произведением этих двух коэффициентов, в среднем в десятки (сотни) раз больше по сравнению с предыдущей схемой;
- схема инвертирует входной сигнал в активной области или в ключевом режиме, перепады противоположны, как показано стрелками на рисунке 1.13, в;
- схема обладает худшей стабильностью по сравнению с предыдущей ОБ и последующей ОК, т.к. в ней есть положительная обратная связь (ПОС).

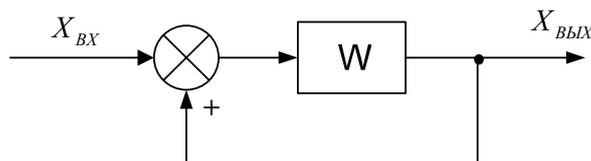
На рисунках 1.14, а, б изображены известные структурные схемы с отрицательной и положительной обратными связями (знак – ООС, знак + ПОС). Здесь же приведены передаточные функции замкнутых систем управления

$$\phi = \frac{W}{1+W} \text{ и } \phi = \frac{W}{1-W}.$$



$$\Phi = \frac{W}{1+W} = \frac{X_{BЫX}}{X_{BX}}$$

а)



$$\Phi = \frac{W}{1-W} = \frac{X_{BЫX}}{X_{BX}}$$

б)

Рисунок 1.14, а, б – Структурные схемы

По аналогии, в электронике, для ОЭ коэффициент усиления по току $\beta = \frac{\alpha}{1-\alpha}$ есть коэффициент усиления по току α на ОБ, деленный на $1-\alpha$. Здесь ПОС, которая, как известно, все ухудшает, кроме коэффициента усиления, поэтому термостабильность хуже, возрастают линейные и нелинейные искажения,

сужается частотный диапазон (снизу и сверху), улучшается только коэффициент усиления.

3 С общим коллектором (далее ОК):

Схемы и графики с общим коллектором изображены на рисунке 1.15, они аналогичны по смыслу рисунку 1.13.

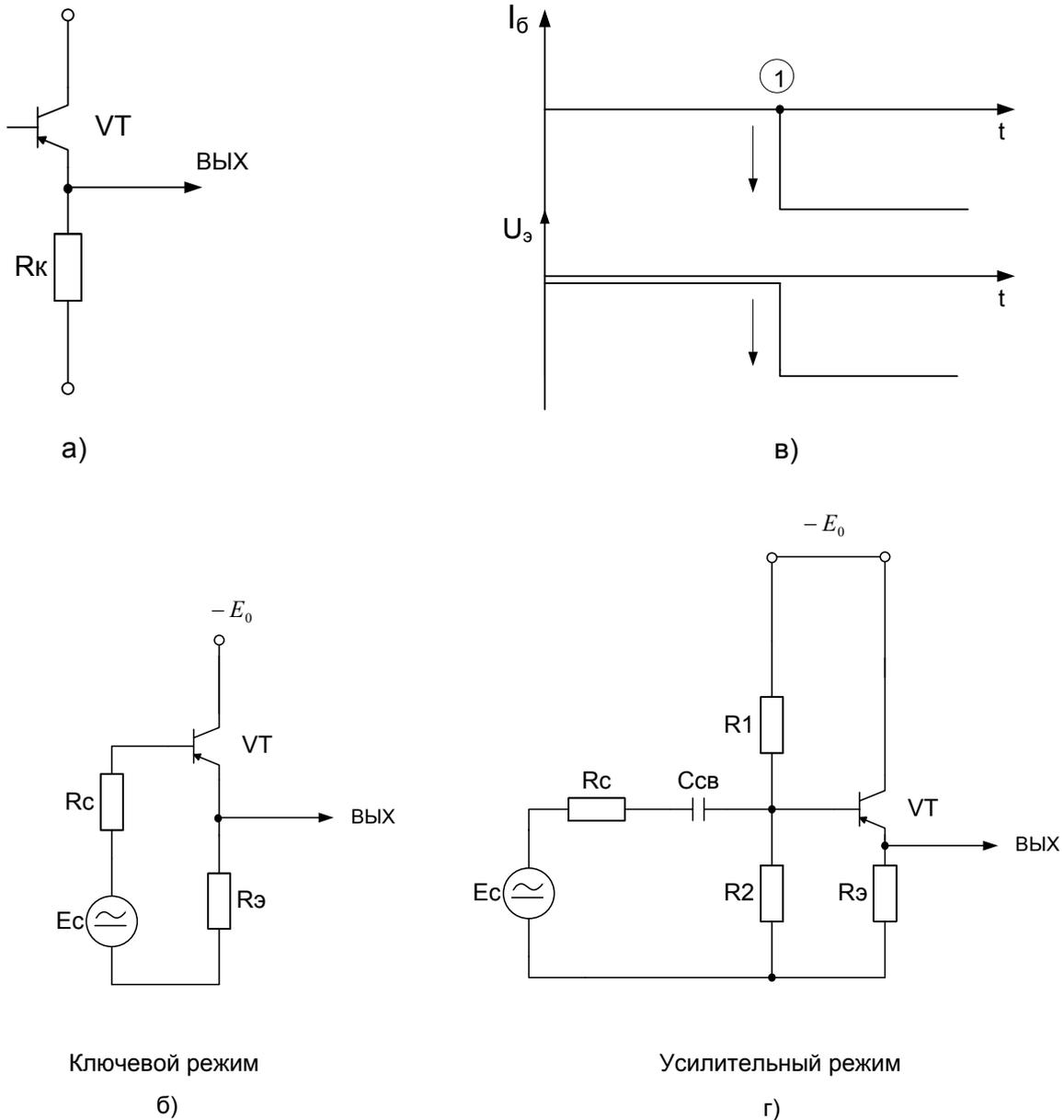


Рисунок 1.15, а, б, г – Схемы с ОК; в – графики тока I_b и напряжения на выходе $U_э$

Схема с ОК называется потому, что по переменному току коллекторный электрод считается заземленным через низкое выходное сопротивление источника питания, через конденсаторы этого источника.

Основные свойства:

- имеет самое большое входное сопротивление (сотни кОм и выше), т.к. действует глубокая ООС на эмиттерном резисторе, повышающая входное сопротивление, что является достоинством схемы;

- имеет самое низкое выходное сопротивление (десятки Ом), в сущности, преобразует высокое входное сопротивление в низкое, поэтому схему иногда называют “трансформатором сопротивлений” – достоинство схемы;

- усиливает по току в 10-100 раз, но не усиливает по напряжению вследствие наличия ООС, поэтому схему называют эмиттерным повторителем, усиление по напряжению близко к единице (меньше), коэффициент усиления по мощности на порядок меньше чем в схеме с ОЭ и примерно равен ОБ;

- схема не инвертирует входной сигнал (стрелки в одном направлении);

- схема имеет высокую стабильность, в том числе и термостабильность.

На практике наиболее часто применяют ключи схемы с ОЭ, несмотря на их недостаток – низкую стабильность, реже применяют ОК и почти не применяют ОБ. Более того, в связи с тем, что носители 2-х типов проводимости (электроны и дырки) управляются током, но не напряжением, усилительные цепи и каскады сложнее в сравнении с каскадами на униполярных транзисторах, MOSFET (Metal Oxide Semiconductor Field Effect Transistor) и IGBT (Insulated Gate Bipolar Transistor).

1.3.2 Характеристики биполярных транзисторов в ключевых режимах

Известны два основных режима работы транзистора – в активной и ключевой областях. Активная область не относится к предмету данного курса, тем не менее следует привести напоминание о ней. Вначале строится семейство выходных характеристик, изображенное на рисунке 1.16.

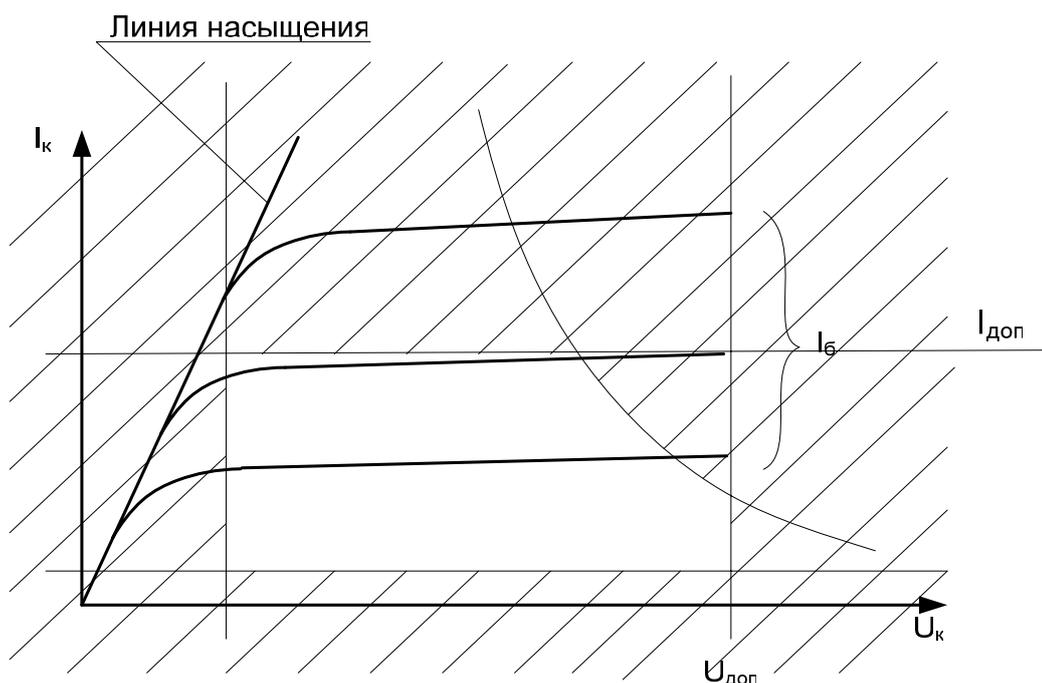


Рисунок 1.16 – Семейство выходных характеристик

Затем выделяют рабочую область: слева проводят прямую, которая отсекает существенную кривизну характеристик, справа проводят прямую – допустимую границу напряжения $U_{доп}$. Снизу прямая – базовая линия при наибольшей температуре для закрытого транзистора. Верхняя линия – допустимая величина тока $I_{доп}$. Справа и сверху – гипербола рассеяния.

В активном режиме работать можно внутри области, за исключением ключевого режима, когда прямая слева не проводится, а границей является линия насыщения.

Откладываем на горизонтальной оси напряжение питания E_0 , как показано на рисунке 1.17. Цифра E_0 должна быть у разработчика, или же принимается в процессе проектирования. Во всяком случае, она должна быть меньше $U_{доп}$, а насколько меньше, зависит от конкретных условий, например, от величины коэффициента запаса, цифру которого принимает разработчик схемы. Потом проводим нагрузочную прямую, которая всегда проходит через точку E_0 . Здесь возможны три случая :

1-й случай (в том числе и для ключевого режима) – когда разработчик желает получить большой выходной размах по напряжению и экономию по мощности, при этом прямая, проводимая через E_0 , располагается ближе к горизонтали. На рисунке 1.17 это прямая, обозначенная цифрой ①.

2-й случай – при желании получить наибольшее усиление по мощности. Проводят среднее положение, при этом проекции на горизонтальную и вертикальную оси максимальны (прямая ②).

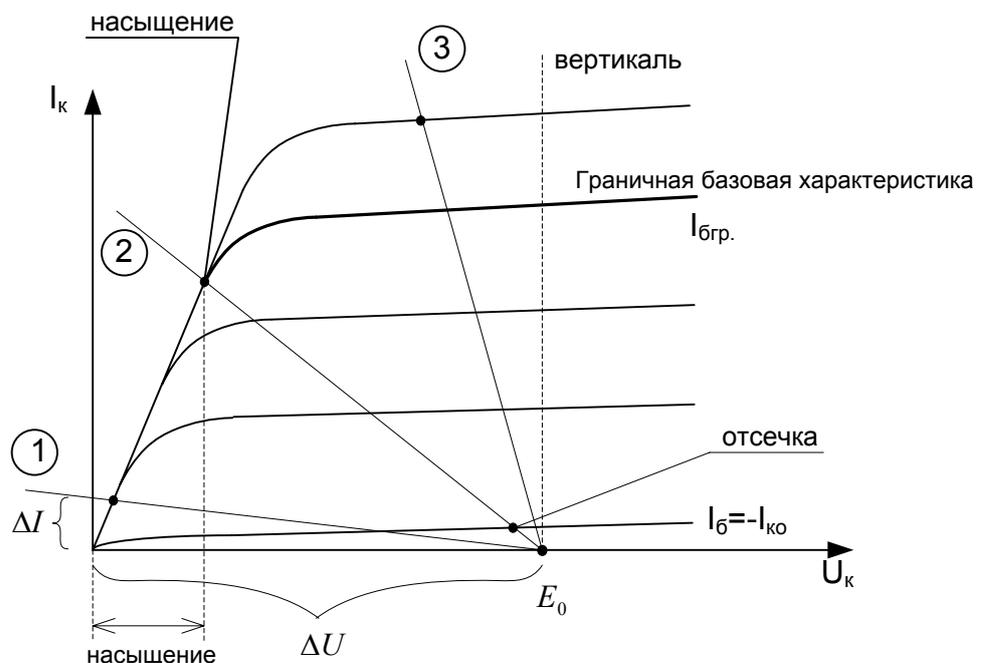


Рисунок 1.17 – Варианты наклона нагрузочных прямых

3-й случай – если необходимо получить большее усиление по току и минимум по напряжению – то ближе к вертикали (прямая ③).

$R_H = \frac{\Delta U}{\Delta I}$ – является первым расчётным элементом в схеме и определяет

необходимую величину сопротивления нагрузки R_H . Для активного режима любые перемещения переменной процесса усиления должны располагаться внутри рабочей области.

Теперь анализируем ключевой режим. Примем среднее положение нагрузочной прямой.

Насыщение характеризуется точкой пересечения нагрузочной прямой и линии насыщения (открытое состояние ключа), эквивалентно замкнутому контакту контактного ключа.

Известны три способа расчета тока базы для этого режима:

1 Наиболее точный: из справочника перерисовывается семейство характеристик, проводится нагрузочная прямая, определяется точка насыщения (графически). Первая базовая линия, проходящая от начала координат через эту точку и делающая сразу поворот в активную область, называется граничной базовой характеристикой $I_{бр.}$. Базовый ток, который необходимо образовать в базовой цепи ключа:

$$I_{б1} = k \cdot I_{бр.}$$

где k - коэффициент запаса, принимается от 1,2 до нескольких тысяч (практически до 2), выбирается разработчиками. Чем больше k , тем выше быстродействие ключа в момент включения, потому что форсируется фронт импульса. Но чем больше k , тем дольше выключается ключ. В среднем, при k равном 3 ÷ 4 единицы время рассасывания примерно в 10 раз больше в сравнении со временем включения, тем не менее в экспериментальных образцах, лабораторных, производственных условиях k может достигать нескольких тысяч, но в течение очень короткого времени (форсируемое включение).

2 Если в справочниках по транзисторам нет семейства выходных характеристик, то вырисовывают их приближенным образом (см. рисунок 1.18). Для этого проводят горизонтальную и вертикальную оси координат, откладывают допустимые напряжения и токи (эти цифры всегда есть в справочниках), самостоятельно производят цифровую разбивку по горизонтальной и вертикальной осям, затем откладывают точку насыщения – это цифра, которая показывает напряжение $U_{кэ}$ открытого насыщенного транзистора при наибольшем справочном токе (обычно есть в справочнике, если нет, то примерно 2 В). Через начало координат и эту точку проводят прямую – линию насыщения. Проводят ряд горизонтальных линий напротив отметок вертикальной оси и оцифровывают их значениями вертикальной оси, деленными на десять. Это приближённые базовые линии, эквивалентны точным выходным характеристикам. Получаем приближённое семейство характеристик, которое используем вместо справочного.

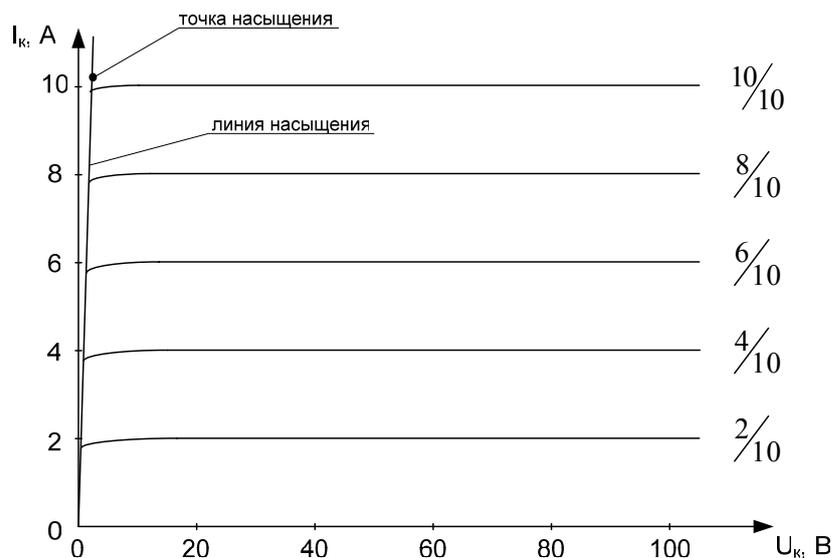


Рисунок 1.18 – Приближенное семейство характеристик

Построение справедливо для несоставных транзисторов (рисунок 1.19, а), при этом деление на 10 соответствует приближенному соотношению между коллекторным и базовым токами в режиме насыщения, принятому в электронике. Для сдвоенных составных транзисторов, изображенных на рисунке 1.19, б, деление надо делать на 100, для строенных – на 1000.

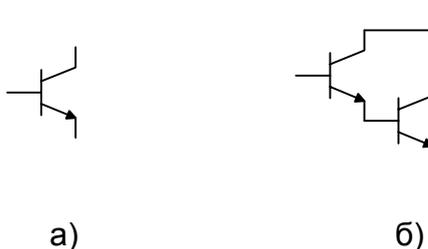


Рисунок 1.19, а, б – Несоставной и составной транзисторы соответственно

3 Если можно обойтись без семейства характеристик, то в инженерных расчётах ток нагрузки делят на 10. Полученная цифра является током базы ключа для данной нагрузки в режиме насыщения.

В общем случае, при изменении нагрузки следует изменять и базовый ток. Для этого надо применять специальные электронные схемы, отслеживающие величину коллекторного тока транзистора и синхронно регулирующие базовый ток.

На рисунках 1.17, 1.18 и 1.20, а изображены неточные выходные характеристики биполярного транзистора. Неточность в том, что начинаются они при $I_k=0$ и $U_k=0$. Тем не менее, в литературе они изображаются именно такими, с целью упрощения. В действительности выходные характеристики имеют вид рисунков 1.20, б для прямого включения в схеме ОЭ и 1.20, в для инверсного включения, т. е. не проходят через начало координат.

Из сопоставления рисунков 1.20, а, б, в можно сделать выводы:

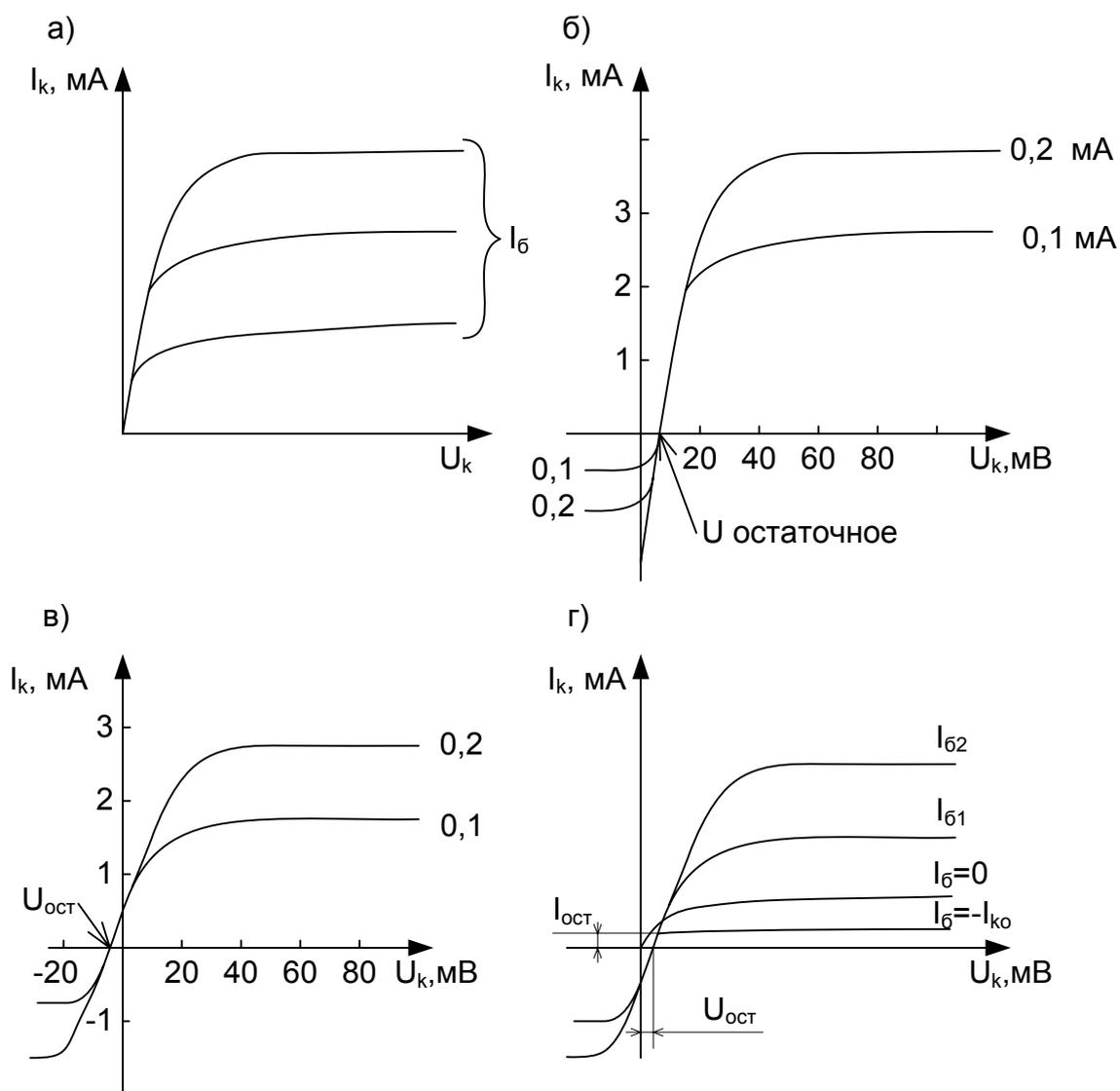


Рисунок 1.20, а, б, в, г – Семейства выходных характеристик

а) привычное изображение семейства выходных характеристик является неточным (рисунок 1.20, а).

б) действительное изображение показывает, что в первом квадранте транзистор хорошо управляется, но линия насыщения проходит не через начало координат, а в плюсовой области (от 10 до 50 мВ). Напряжение, соответствующее точке пересечения линии насыщения с горизонтальной осью, называется остаточным параметром $U_{ост}$. В третьем квадранте сохраняются транзисторные свойства, несмотря на обратное напряжение, но управляется прибор на порядок хуже (рисунок 1.20, б).

в) инверсный режим, когда управление происходит по переходу Б-К, а эмиттерный переход выполняет роль коллектора (рисунок 1.20, в). Здесь остаточный параметр $U_{ост}$ в отрицательной области и на порядок меньше. Это ненормальный режим для транзистора. Используется в случаях, когда необходим меньший остаточный параметр, а вид управления не важен.

г) более подробное изображение семейства выходных характеристик приведено на рисунке 1.20, г. Из этого рисунка следует, что при $I_б=0$ и $U_к=0$, $I_к=0$,

характеристика проходит через начало координат. Также, если $I_b = -I_{ко}$, транзистор закрыт (заперт), через коллекторный переход протекает ток $I_{ко}$, называемый остаточным параметром $I_{ост}$ (второй остаточный параметр). Точка, соответствующая закрытому состоянию транзистора, располагается на нагрузочной прямой вблизи напряжения питания E_0 на рисунке 1.17 названа отсечкой. Окрестности этой точки описываются входными характеристиками, показанными на рисунке 1.21.

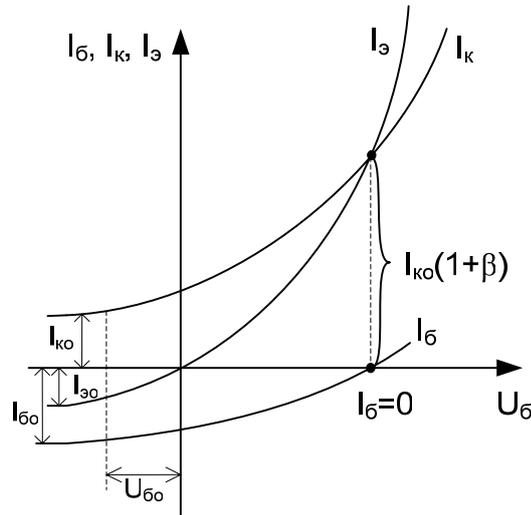


Рисунок 1.21 – Характеристики биполярного транзистора в точке отсечки

$U_{бо}$ – биполярный транзистор закрывается при обратной полярности напряжения на базовом электроде (0,1 – 0,2 В). Слева транзистор закрыт, токи его электродов почти неизменны ($I_{ко}$, $I_{бо}$, $I_{эо}$). При нарастании напряжения на базовом электроде вначале I_b становится нулевым ($I_b = 0$), а область от начала координат до $I_b = 0$ называется областью условного закрытого состояния транзистора. Например, если в схеме под напряжением разомкнуть базовую цепь, то это будет $I_b = 0$, но коллекторный ток достигает величины $I_{ко}(1+\beta)$. Из этого следует, что при пайке под напряжением первым припаивается базовый электрод (отпаивается последним). Если припаять базовый электрод первым, то ток $I_{ко}$ в цепи базы (штриховая линия рисунка 1.21) смещается влево, уменьшается опасность перегрузки транзистора при нагреве паяльником.

Интервал между точками насыщения и отсечки в ключевом режиме преодолевается скачком с возможно максимальной скоростью, затем ключ остается либо в отсечке, либо в насыщении.

Основной недостаток биполярного ключа: при нагреве напряжение $U_{нас}$ убывает. Из-за этого, если соединить параллельно в мощной схеме, то у одних из них, в сравнении с другими, напряжение убывает быстрее, они перегружаются по току, выгорают. Чтобы предотвратить это явление, последовательно в коллекторную цепь устанавливают выравнивающие резисторы (десятые доли Ом). Недостаток – на них расходуется дополнительная мощность.

1.3.3 Ключи на униполярных транзисторах

В наиболее общем виде выделяют униполярные транзисторы с р–п переходом (рисунок 1.22, а), легированные (рисунок 1.22, б) и с индуцированным каналом, как на рисунке 1.22, в. Здесь же приведены их входные характеристики, а также типовые схемы включения в активной области (не в ключевом режиме).

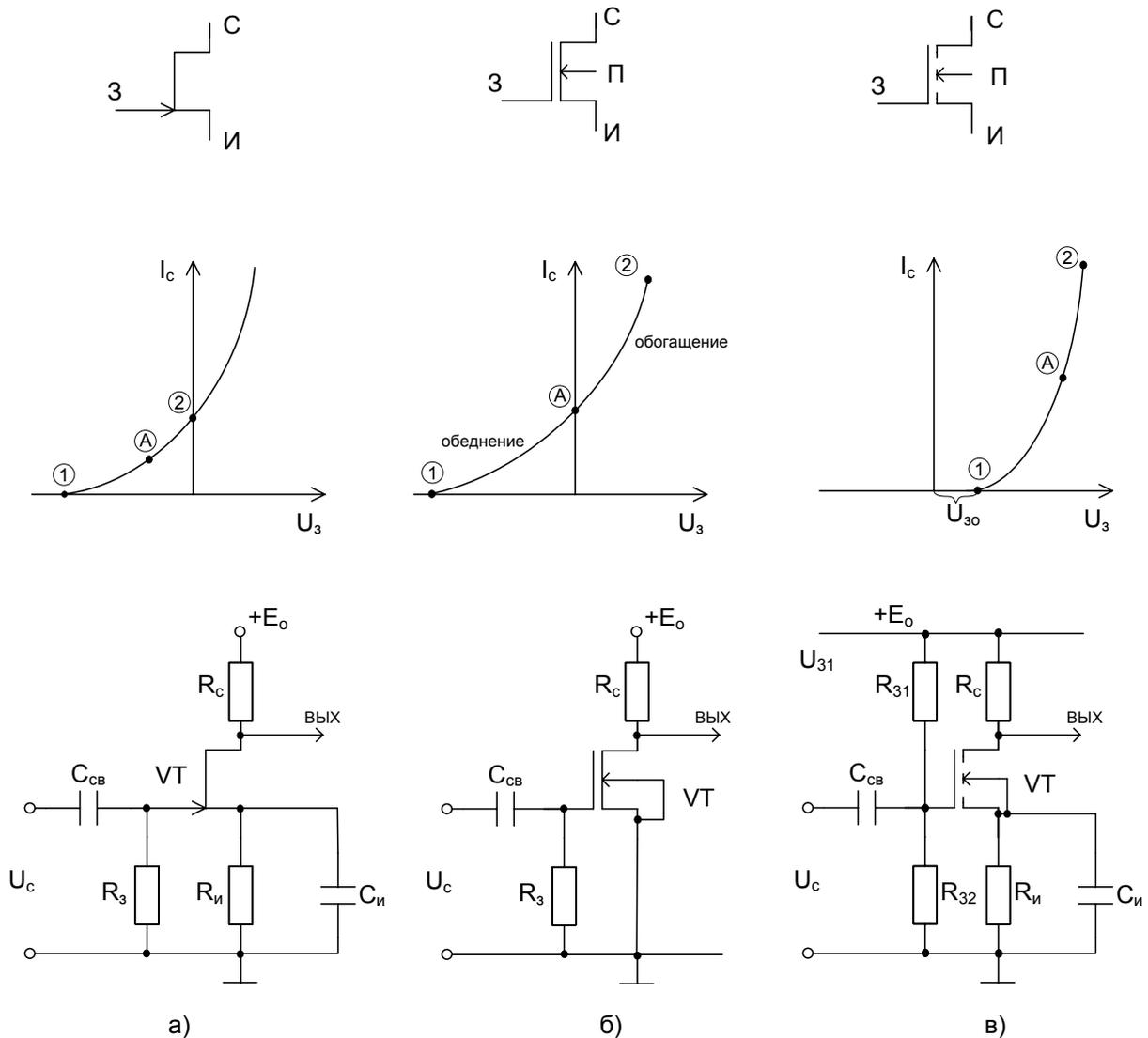


Рисунок 1.22, а, б, в – Схемы на униполярных транзисторах

Из графика рисунка 1.22, а видно, что в точке 1 транзистор находится в закрытом состоянии, а в точке 2 – открытое состояние, но не насыщенное, так как это униполярный транзистор с носителями заряда одного типа, следовательно, насыщения, подобного биполярным транзисторам, принципиально нет. Так как схема рисунка 1.22, а прежде всего рассчитана на режим активной области, то на характеристике ставится точка А, она соответствует малому размаху усиливаемого сигнала, однозначно определяет напряжение смещения, которое надо подать на затвор для того, чтобы образовать состояние ожидания. Если усиливаемый сигнал

имеет размах, то на характеристике, в окрестности точки А, влево и вправо выбирают более–менее прямолинейный участок, в его пределах и производят усиление. Сопротивление затвора R_3 передаёт на затвор напряжение автосмещения, образующееся на сопротивлении истока $R_{и}$. Принимается не менее чем на порядок больше в сравнении с выходным сопротивлением источника сигнала. Точки 1 и 2 – это предельные точки, в границах которых можно производить усиление, но нелинейные искажения велики из–за криволинейности характеристики. В ключевом режиме транзистор находится в точках 1 или 2, а интервал характеристики между точками 1 и 2 преодолевается скачком для уменьшения потерь мощности в активной области.

На рисунке 1.22, б изображена схема на униполярном транзисторе с легированным каналом проводимости n-типа. Этот тип транзисторов работает в режимах обеднения и обогащения. Его особенность заключается в том, что в режиме усиления рабочая точка А находится при нулевом напряжении на затворе, поэтому количество элементов в схеме наименьшее по сравнению с другими. Добавляется сопротивление затвора R_3 , которое, как и в предыдущем случае имеет два назначения:

- передаёт напряжение смещения на затвор;
- предотвращает шунтирование источника сигнала.

Иногда включают сопротивление истока $R_{и}$, которое стабилизирует транзисторный каскад, так как на нём образуется отрицательная обратная связь по постоянному и переменному току.

На рисунке 1.22, в изображена схема на униполярном транзисторе с индуцированным каналом n-типа. Применяется наиболее часто, особенно в ключевых режимах, так как имеет высокий КПД. В ключевом режиме транзистор закрыт (точка 1) или открыт (точка 2). В открытом состоянии (точка 2) насыщения принципиально нет, так как это не биполярный транзистор, у которого два типа носителей заряда.

Характеристика носит название “правой”. Есть зона нечувствительности U_{30} (от десятых долей вольта для маломощных, до десяти вольт для мощных транзисторов). Схема в режиме усиления имеет резисторы R_{31} и R_{32} , которые образуют делитель для установления напряжения на уровне точки А, образующегося напряжением питания. В цепи истока также может быть резистор, стабилизирующий каскад.

Униполярные транзисторы управляются напряжением, но не током (как биполярные).

Варианты ключей на униполярных транзисторах изображены на рисунке 1.23.

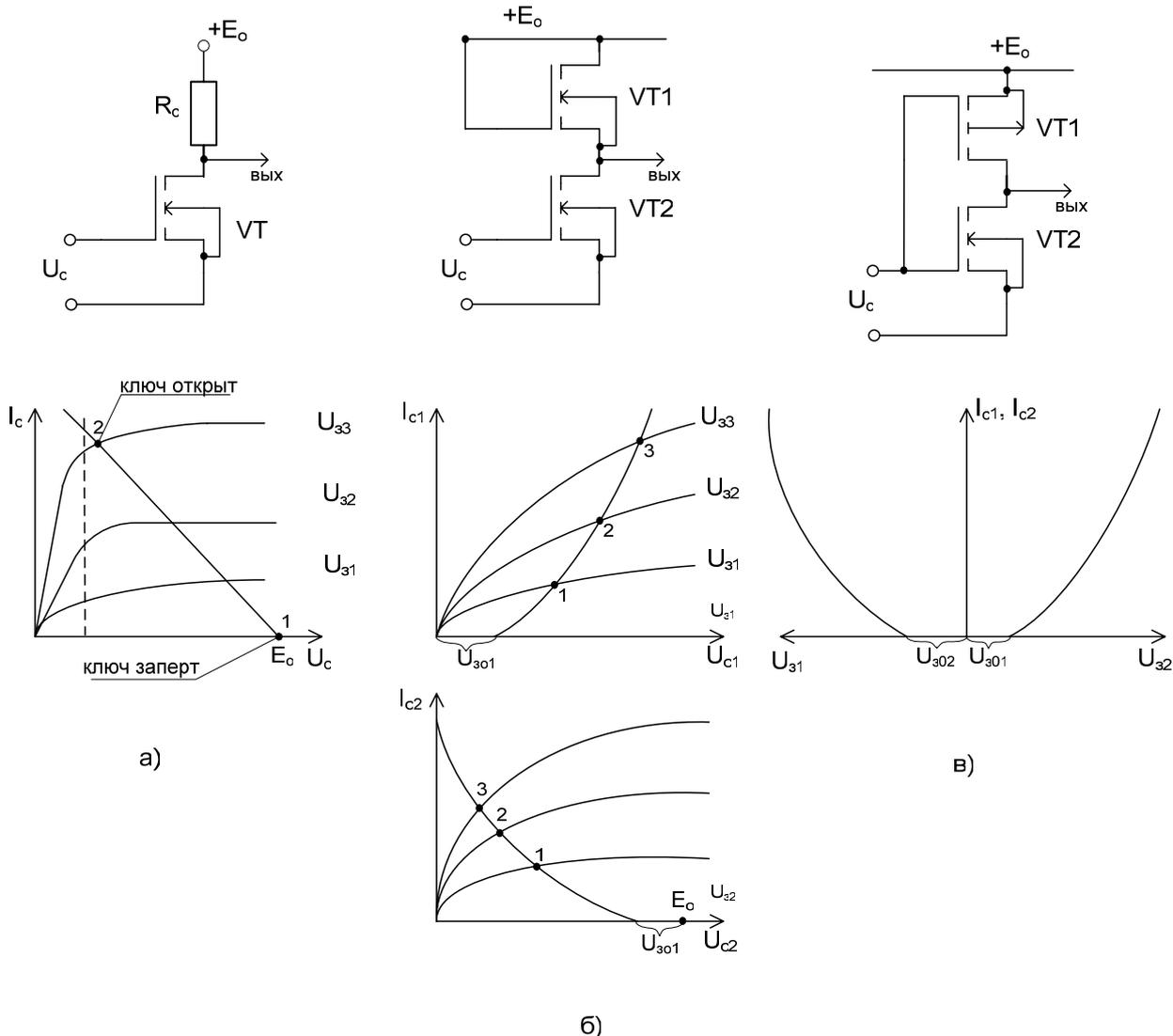


Рисунок 1.23, а, б, в – Ключи на униполярных транзисторах

Простейшая схема рисунка 1.23, а, в интегральной схемотехнике практически не применяется, так как на резисторе R_c выделяется мощность рассеивания, т.е. низкий КПД. В мощных схемах управления двигателями подобные схемы применяются часто, но вместо R_c включается электродвигатель.

Участок характеристики рисунка 1.23, а до вертикальной штриховой линии слева называют линейным, после штриховой вправо – насыщением. Но это совершенно другое насыщение в сравнении с биполярными транзисторами, там это была активная область, впрочем, здесь, у униполярных транзисторов – тоже активная область.

На схеме, приведённой на рисунке 1.23, б, вместо R_c , подсоединён транзистор VT1: VT2 – коммутирующий, VT1 – нагрузочный. Особенность нагрузочного транзистора заключается в том, что затвор и сток, объединены и подключены к E_0 , кроме того VT1 и VT2 имеют одинаковую проводимость. Для транзистора VT1 семейство выходных характеристик изображено на верхнем графике рисунка 1.23,

б. Так как затвор и сток соединены вместе, то на этом же графике изображена входная характеристика и выделены общие точки 1, 2, 3. Из внешнего вида графика следует, что образуется эквивалент нелинейного резистора с характеристикой вида, изображённого на рисунке 1.24, а.

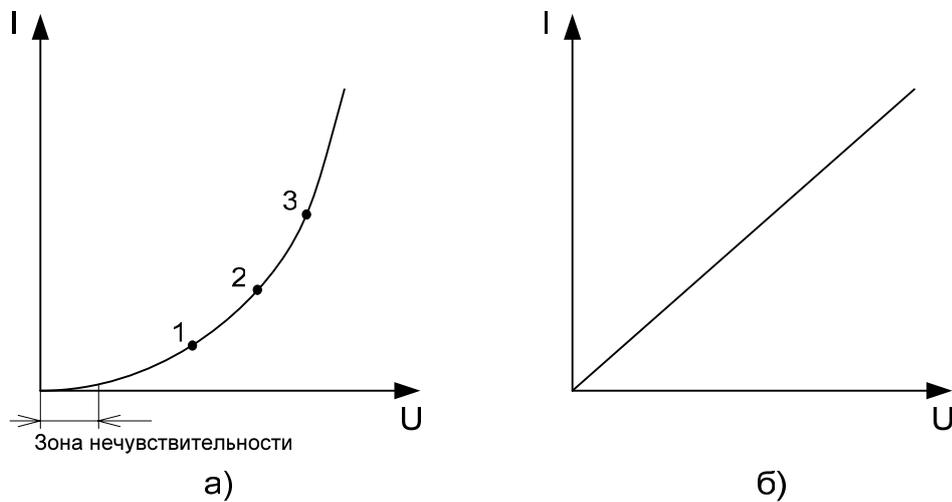


Рисунок 1.24, а – Характеристика эквивалента нелинейного резистора,
б – характеристика обычного резистора

На рисунке 1.24, б для сравнения приведена линейная характеристика обычного резистора. Сравнивая графики рисунка 1.24, а и б делаем вывод об их подобии, хотя первая характеристика нелинейна (криволинейна). Если на втором графике рисунка 1.23, б отобразить эту нелинейную характеристику, то получится почти обычное линейное расположение нагрузочной характеристики.

При $U_c = 0$, VT2 закрыт. Его сопротивление несколько МОм, ток почти нулевой. Следовательно, у VT2 на графике в правой части рабочая точка находится в начале зоны нечувствительности (рисунок 1.23,б). То есть при этом токе транзистор VT1 также почти закрыт, а напряжение питания $+E_0$ делится между двумя высокоомными эквивалентами резисторов (образованными закрытыми транзисторами VT1 и VT2). На выходе выделяется напряжение E_0 , из которого вычитается U_{301} . Этот выход называют единицей или высоким уровнем. Недосток такого высокого уровня заключается в том, что он образуется при закрытых транзисторах VT1 и VT2, т.е. отмечаем высокоомность этого состояния. Если подать U_c соответствующего уровня, то VT2 откроется. Рабочая точка займёт положение 2 или 3 на нижнем графике рисунка 1.23, б, поэтому на верхнем графике устанавливается точка 2 или 3, т. е. транзистор VT1 выполняет роль обычного резистора (недосток схемы). На VT1 выделяется мощность рассеивания, микросхема нагревается.

На схеме, приведённой на рисунке 1.23, в, изображён ключ на транзисторах разного типа проводимости: верхний – р-типа, нижний – n-типа. Это затруднительно технологически, но получаем ключ КМОП с наивысшей экономичностью (К – комплементарный, М – металл, О – окисел, П –

полупроводник). Он широко применяется в интегральной схемотехнике, а также в технических разработках на дискретных элементах. Физический смысл разработки таков:

1 Пусть $U_c = 0$, тогда VT2 закрыт. Так как у источника сигнала U_c есть внутреннее сопротивление, то уровень земли проходит на затвор VT1, в итоге, между затвором и истоком VT1 приложено напряжение питания, т.е. VT1 открыт. Напряжение $+E_0$ через открытый VT1 проходит на выход, при этом VT2 закрыт. Если нагрузка тоже затвор (изоляция), то в цепи нагрузки потребления нет. Следовательно, в этом состоянии схема не потребляет от источника, а на выходе устанавливается высокий уровень, называемый единицей.

2 Пусть с источника сигнала U_c поступает высокий уровень 1, причём этот уровень равен $+E_0$, следовательно, напряжение между затвором и истоком VT1 будет равно нулю, VT1 будет заперт, а VT2 открыт. На выходе выделится низкий уровень, называемый нулём.

Особенности этих двух состояний заключается в том, что выходные сопротивления невелики, они образуются в первом случае через открытый VT1, а во втором через открытый VT2. Поэтому, если к выходам подключены затворы, в сущности это конденсаторы, ёмкости, накапливающие заряд, то перезаряд их производится быстро.

Возможны три случая работы этой схемы:

$$1 \quad |U_{301}| + |U_{302}| > U_c$$

$$2 \quad |U_{301}| + |U_{302}| = U_c$$

$$3 \quad |U_{301}| + |U_{302}| < U_c$$

В первом случае переключение происходит через закрытое состояние обоих транзисторов, следовательно, сквозного тока нет по цепи $+E_0 \dots VT1 \dots VT2 \dots \text{земля}$, т.к. они оба закрыты.

Во втором случае переключение происходит на границе сквозного тока, поэтому есть небольшое потребление в момент переключения.

В третьем случае протекает сквозной ток в момент переключения, он может выжечь пару. Для предотвращения выжигания обычно включают резистор $R_{\text{доб}}$ между $+E_0$ и VT1.

1.3.4 Транзисторы типа MOSFET

Metal Oxide Semiconductor Field Effect Transistor. Транзисторы данного типа предназначены для включения в мощные мостовые импульсные каскады типа П, Т и других подобных схем. Представляют разновидность униполярных транзисторов, которые, как известно, при повышении температуры повышают своё сопротивление, а это значит, что их можно соединять параллельно до нескольких тысяч штук без выравнивающих резисторов. На рисунке 1.25, а приведено условное изображение MOSFET транзистора, из которого следует, что подложка соединена с истоком, причем производится это соединение на этапе технологического процесса.

Если бы этого соединения не было, то был бы обычный униполярный транзистор, эквивалентная схема которого изображена на рисунке 1.25, б.

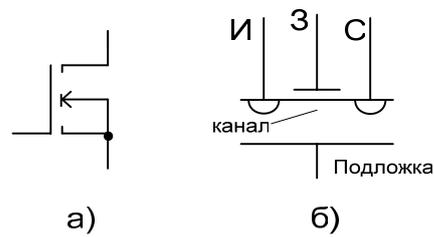


Рисунок 1.25 – Транзистор типа MOSFET

Из этой конструкции видно, что электроды исток и сток совместно с подложкой образуют одновременно с униполярным транзистором (как здесь и показано) биполярный транзистор. Ниже, на рисунке 1.26, приведена эквивалентная схема униполярного транзистора:

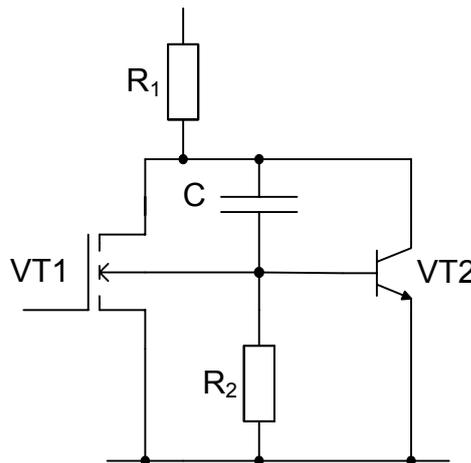


Рисунок 1.26 – Эквивалентная схема униполярного транзистора

R_1 – эквивалент транзистора в открытом состоянии. Это сопротивление больше в сравнении с сопротивлением биполярного транзистора в открытом состоянии, считается недостатком униполярного транзистора. Сопротивление тем больше, чем высоковольтнее транзистор;

C – ёмкость “сток-исток”, больше в сравнении с ёмкостью биполярного транзистора (также недостаток);

R_2 – сопротивление подложки по отношению к истоку;

$VT2$ – паразитный биполярный транзистор. Он закрыт, если униполярный транзистор работает в активной области или есть импульсы, но ток протекает в одном направлении. Но если униполярный транзистор включен в П- или Т-схему, то ток течёт в двух направлениях. Паразитный транзистор $VT2$, находящийся в области насыщения, образует задержку, т.е. снижает быстродействие. Поэтому разработчики предложили соединить внутри интегрального транзистора подложку

и исток. Это эквивалентно закорачиванию базы и эмиттера паразитного биполярного транзистора.

После соединения переход Б – Э паразитного биполярного транзистора закорачивается и остается переход Б – К, что эквивалентно диоду VD. Поэтому на условных изображениях MOSFET имеет дополнительный паразитный диод VD. Конструктивно транзистор MOSFET представляет собой подложку с множеством микроотверстий. Эти микроотверстия интегральным способом заполняются изоляцией (трубочкой), затем сверху располагают затвор. С нижней и верхней сторон плоскости располагают сток и исток, соединённые параллельно. Таким образом, множество микротранзисторов образует один общий транзистор с большими токами.

К достоинствам данной конструкции следует отнести:

1 Несложность входных схем управления и малое потребление, так как затворы изолированы; управление осуществляется напряжением. Низковольтные транзисторы управляются логическими уровнями: логический нуль – max 0, 4 В; логическая единица – max 4, 5 В.

2 При повышении напряжения в открытом состоянии падение напряжения сток-исток возрастает, следовательно, транзисторы можно объединять параллельно в необходимом количестве без дополнительных резисторов.

3 В связи с отсутствием времени рассасывания они более высокочастотны в сравнении биполярными транзисторами.

1.3.5 Транзисторы IGBT

Insulated Gate Bipolar Transistor. Схема, изображенная на рисунке 1.27, в, эквивалентна второму и первому изображению на этом же рисунке.

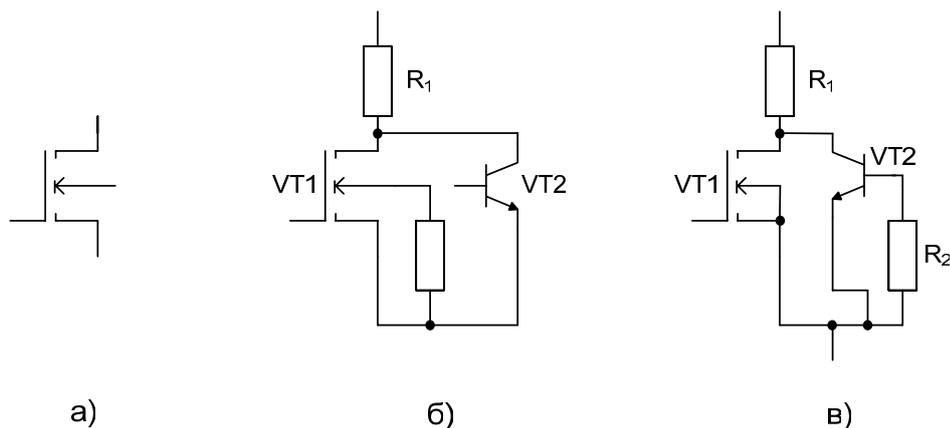


Рисунок 1.27 – Эквивалентные схемы униполярного транзистора

Она является конструктивным развитием первого рисунка (см. рисунок 1.27, а), при котором паразитный биполярный транзистор VT2 не подавляется как в MOSFET, а сохраняется. К нему добавляют внутри интегральной микросхемы еще

один биполярный транзистор p-n-p VT3, таким образом, получают транзисторы IGBT. Эквивалентная схема и условное изображение транзистора IGBT приведены на рисунке 1.28.

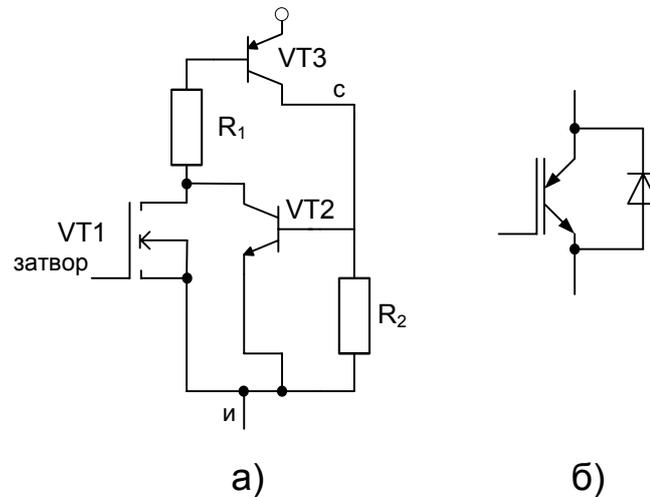


Рисунок 1.28 – Транзистор IGBT

Выпускается на напряжение от нескольких десятков вольт до нескольких киловольт; на ток от нескольких десятков ампер, до сотен ампер. Можно соединять параллельно без опасности перегрузки, как и в униполярных транзисторах. Частотный диапазон примерно на 30% ниже в сравнении с униполярными транзисторами, но выше, чем у биполярных.

1.4 Интеллектуальные ключи

На рисунке 1.29 в прямоугольнике находятся схемы защиты от перенапряжений, перегрузок по току, от температуры, от перегрузок по мощности. Возможны и другие варианты интеллектуальных ключей.



Рисунок 1.29 – Интеллектуальный ключ

Все униполярные транзисторы, а также MOSFET и IGBT боятся статического электричества, необходимы антистатические браслеты. MOSFET и IGBT ставят наиболее часто в силовых и ключевых схемах.

1.5 Ключи на тиристорах

Применяются в мощных схемах для управления инерционными силовыми нагрузками типа двигателей станков, подъемных кранов и т.д. К достоинствам можно отнести высокую перегрузочную способность (до 100 раз). Недостатком является их низкочастотность (в основном 50 Гц). На рисунке 1.30, а изображена четырехслойная структура, которую называют динистором (в отличие от трехслойной для биполярного транзистора).

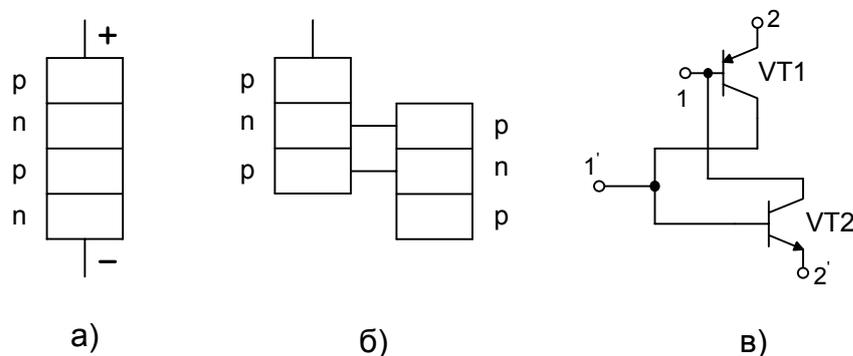


Рисунок 1.30 – Четырехслойные структуры

Из графика, изображенного на рисунке 1.31, можно заметить, что при достижении порога $U_{\text{вкл}}$ динистор открывается. Выше $I_{\text{выкл}}$ – рабочая характеристика как у открытого ключа.

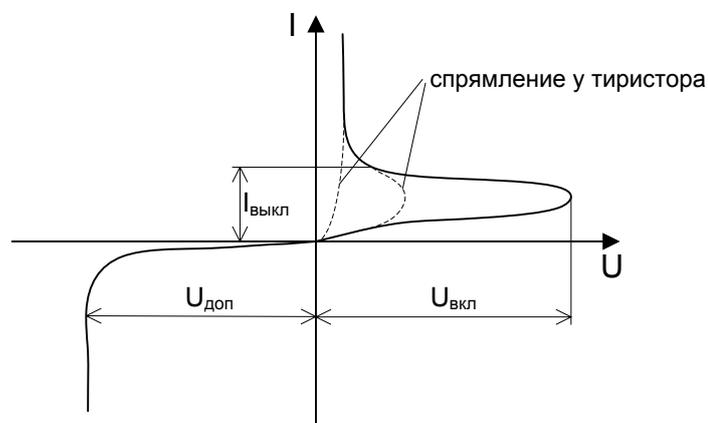


Рисунок 1.31 – Характеристика четырехслойной структуры

Если теперь уменьшить ток, то ниже $I_{\text{выкл}}$ динистор скачком закрывается. Участок характеристики от $U_{\text{вкл}}$ до $I_{\text{выкл}}$ с отрицательным наклоном называют участком с глубокой внутренней ПОС. Это неустойчивый участок, он проскакивается вверх или вниз, с большой скоростью, вследствие ПОС.

Третий квадрант – допустимое обратное напряжение, сверх его – пробой, пережигание прибора.

На рисунке 1.30, б изображены две, соединенные вместе, трехслойные структуры, что эквивалентно рисунку 1.30, а.

На рисунке 1.30, в представлен динистор из двух отдельных биполярных транзисторов разного рода проводимости. Из этой схемы видно, что можно включить дополнительный управляющий электрод в точках 1 или 1' при направлении тока по стрелке (от 2 к 1), либо в нижней части схемы (1', 2'). Этот управляющий электрод “спрямляет характеристику” в первом квадранте, как показано штриховыми линиями на рисунке 1.31. Прибор с дополнительным управляющим электродом называют тиристором. По этому электроду можно только открыть тиристор, но закрыть нельзя. Хотя есть полностью управляемые тиристоры, которые можно открыть и закрыть управляющим электродом.

Теоретически не полностью управляемые тиристоры можно закрыть управляющим электродом, но нужен закрывающий ток, больший по сравнению с силовым. Конструктивно тиристоры на это не рассчитаны, поэтому их только открывают. Для закрывания необходимо каким-нибудь образом сделать ток меньше тока выключения, это, например, кратковременное выключение, или подача тока обратного направления в силовую цепь.

На рисунке 1.32 приведено изображение симистора – симметричной пятислойной структуры (в иностранной литературе - триак).

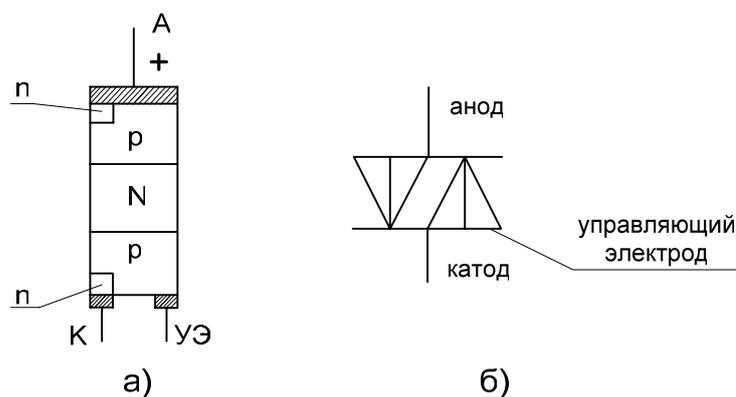


Рисунок 1.32 – Структура симистора и его условное изображение

Два тиристора, включенные параллельно в противоположных направлениях для работы в каждом полупериоде переменного силового напряжения, можно заменить одним симистором (см. рисунок 1.33).

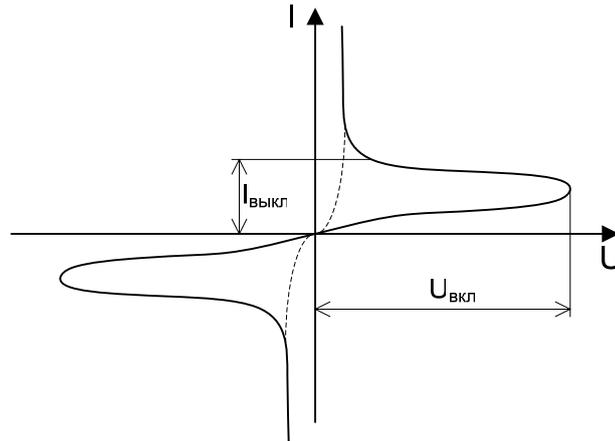


Рисунок 1.33 – Характеристика симистора

1.6 Переходные процессы в ключах на биполярных транзисторах

В импульсном режиме процессы открывания и закрывания ключа аппроксимируются линейным дифференциальным уравнением 1-го порядка с правой частью вида:

$$i = C_k \frac{dU_k}{dt} + C_{\varepsilon} \frac{dU_{\varepsilon}}{dt} + \frac{Q_B}{\tau_{\beta}}, \text{ где}$$

i – ток базы;

$C_k \frac{dU_k}{dt}$ – изменение заряда на барьерной емкости перехода К – Б;

$C_{\varepsilon} \frac{dU_{\varepsilon}}{dt}$ – изменение диффузионного заряда;

$\frac{Q_B}{\tau_{\beta}}$ – заряд в базовой области.

Барьерный заряд в транзисторе наблюдается в том случае, когда переход закрыт, эквивалентен заряду между пластинами обычного конденсатора.

Диффузионный заряд – это такой заряд основных или неосновных носителей, который распределен в объеме базового и эмиттерного слоев.

Первые две компоненты невелики (особенно первая), и решение имеет вид:

$$Q_B(t) = i \tau_{\beta} (1 - e^{-\frac{t}{\tau_{\beta}}}),$$

где τ_{β} - постоянная времени пролета неосновных носителей области базы.

Для схемы с ОЭ:

$$\tau_{\beta} \approx \frac{1}{\omega_{\varepsilon}} = \frac{1}{2 \pi f_{\varepsilon}},$$

f_{ε} транзистора обычно приводятся в справочниках.

Графики, иллюстрирующие это решение ЛДУ 1-го порядка, изображены на рисунке 1.34.

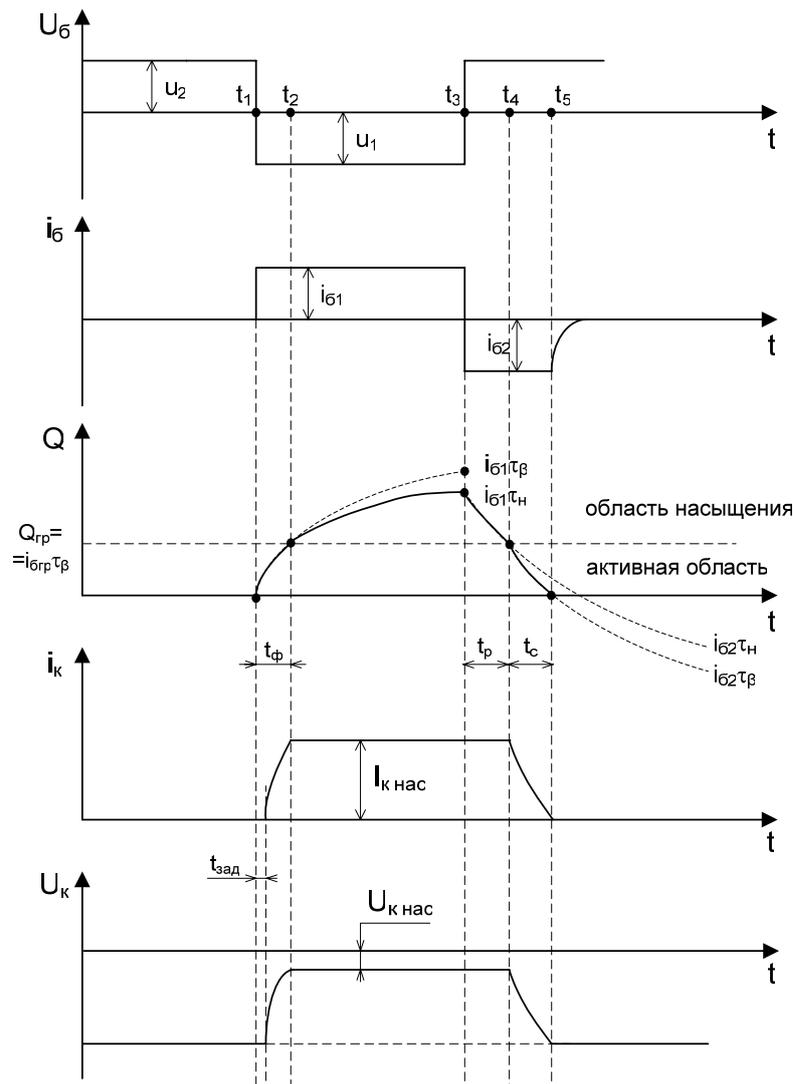


Рисунок 1.34 – Переходные процессы в ключе на биполярном транзисторе

Здесь транзистор p-n-p, поэтому до момента $1(t_1)$ “+” напряжения на базе удерживает его закрытым. В момент 1 подаем импульсное напряжение амплитуды U_1 , а потом закрывающее напряжение амплитуды U_2 . На втором графике рисунка 1.34 ток в момент 1 следует за напряжением скачком, переходным процессом пренебрегаем.

$i_{бгр}$ – ток, который удерживает транзистор на границе между активной областью и областью насыщения.

На третьем графике рисунка 1.34 все, что находится ниже штриховой линии – активная область. Заряд нарастает в соответствии с решением дифференциального уравнения по экспоненте до штриховой линии $Q_{гр}$ с постоянной времени активной области τ_β . Выше этой линии – тоже по экспоненте, но с постоянной времени $\tau_{нас} = (2 \div 5) \cdot \tau_\beta$. Подвижность неосновных носителей в области насыщения базы снижается, эти носители более инерционны.

Процесс идет медленнее, тоже по экспоненте к моменту t_3 , но достигается более низкий уровень.

В момент 3 на 2-м графике изменяется направление тока базы и он равен $i_{\sigma 2}$:

$$i_{\sigma 1} = \frac{U_1}{R_{\text{б откp}}}; \quad i_{\sigma 2} = \frac{U_2}{R_{\text{б откp}}}$$

На 3-м графике заряд начнет убывать от точки $i_{\sigma 1} \tau_n$ по экспоненте до уровня $Q_{\text{гр}}$ (точка 4). Если бы постоянная времени не изменялась, то процесс по экспоненте продолжался бы до $i_{\sigma 2} \tau_n$. В действительности, после пересечения $Q_{\text{гр}}$ процесс убывания заряда Q происходит также по экспоненте, но с постоянной времени τ_{β} , и в точке 5 заряд становится нулевым, транзистор закрывается, переход Б-Э закрыт.

Таким образом, переход Б – Э, который был открыт на интервале длительности импульса, будет оставаться открытым еще на интервале 3-5 третьего графика, так как в нем есть неосновные носители.

Выводы:

1 В импульсном режиме токи и напряжения четвертого и пятого графиков следуют за зарядом третьего графика, управляющимся базовым током.

2 В соответствии со вторым графиком базовый ток протекает через переход Б – Э в обратном направлении на интервале 3-5 также легко, как и в прямом направлении, т.е. против стрелки эмиттерного электрода.

3 На интервале открытого состояния 2-3 ток коллектора не зависит от тока базы и определяется соотношением:

$$I_k \cong \frac{E_0}{R_k} \quad \text{ИЛИ} \quad I_k = \frac{E_0 - U_{\text{откр}}}{R_k}$$

Поэтому имеют в виду, что $I_k = \beta I_B$, где β – условный коэффициент, устанавливающий связь между коллекторным и базовым токами (в инженерной практике принимается равным 10).

4 Ни на одном из интервалов не работает соотношение $I_k = \beta I_B$, справедливое для активной области процесса усиления, где β – коэффициент усиления по току для схемы ОЭ в активной области.

Интервалы 1–2 – время фронта импульса;

3–4 – время рассасывания импульса;

4–5 – время спада импульса.

Приведем оценку времени фронта, рассасывания и спада. В связи с тем, что здесь присутствуют экспоненты, построим отвлеченную экспоненту, изображенную на рисунке 1.35.

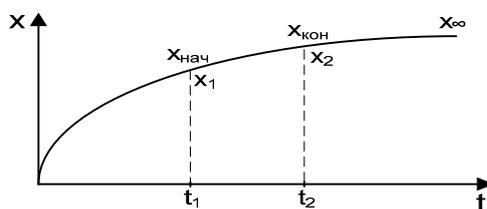


Рисунок 1.35 –Экспонента

Для точек $X_{\text{нач}}$ и $X_{\text{кон}}$ справедливы соотношения

$$\begin{cases} X_{\text{нач}} = X_{\infty} (1 - e^{-\frac{t_1}{\tau}}) \\ X_{\text{кон}} = X_{\infty} (1 - e^{-\frac{t_2}{\tau}}) \end{cases}$$

Произведем объединение и найдем интервал $\Delta t = t_2 - t_1$

$$\Delta t = \tau \ln \left(\frac{X_{\text{нач}} - X_{\infty}}{X_{\text{кон}} - X_{\infty}} \right)$$

Применим эту формулу по отношению к третьему графику, рисунок 1.34:

$$t_{\phi} = \tau_{\beta} \ln \left(\frac{0 - i_{\beta 1} \tau_{\beta}}{i_{\beta \text{гр}} \tau_{\beta} - i_{\beta 1} \tau_{\beta}} \right) = \tau_{\beta} \ln \left(\frac{i_{\beta 1}}{i_{\beta 1} - i_{\beta \text{гр}}} \right)$$

Вывод: чем больше $i_{\beta 1}$ в сравнении с $i_{\beta \text{гр}}$, тем короче фронт, т.е. для форсирования биполярного ключа необходим форсирующий увеличенный базовый ток.

$$t_p = \tau_n \ln \left(\frac{i_{\beta 1} \tau_n + i_{\beta 2} \tau_n}{i_{\beta \text{гр}} \tau_{\beta} + i_{\beta 2} \tau_n} \right)$$

Чем ближе $i_{\beta 1}$ к $i_{\beta \text{гр}}$, тем короче время рассасывания.

Если $i_{\beta 1} = i_{\beta \text{гр}}$, то время рассасывания нулевое.

Т.о. желательно, чтобы на интервале фронта был бы скачок базового тока, а потом он стал ниже на интервале действия импульса и близким по значению к $i_{\beta \text{гр}}$.

В момент 4 (t_4) экспонента диффузионного заряда области насыщения пересекает граничную линию $Q_{\text{гр}}$, следовательно подвижность неосновных носителей нарастает, постоянная времени которых становится равной τ_{β} , поэтому на интервале 4–5 экспонента имеет более спадающий, характер, весь интервал называется временем спада

$$t_c = \tau_{\beta} \ln \left(\frac{i_{\beta \text{гр}} + i_{\beta 2} \tau_{\beta}}{0 + i_{\beta 2} \tau_{\beta}} \right)$$

Точки начала, окончания и бесконечности соответствуют рисункам 1.34 и 1.35, а знак плюс потому, что экспонента переходит на рисунке 1.34 в отрицательную область. Из анализа формулы для t_c следует, что чем больше $i_{\beta 2}$, тем короче спад, меньше потери на ключе.

1.7 Переходные процессы в ключах на униполярных транзисторах

На рисунке 1.36 изображена схема с двумя униполярными ключами, включенными друг на друга.

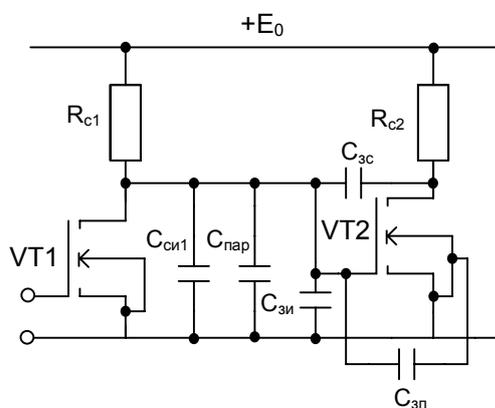


Рисунок 1.36 – Схема с двумя униполярными ключами

$$C_{\text{сумм}} = C_{\text{си1}} + C_{\text{пар}} + C_{\text{зи}} + C_{\text{зп}} + C_{\text{зс}}(1 + K_u), \text{ где}$$

$C_{\text{си1}}$ – емкость транзистора VT1;

$C_{\text{пар}}$ – емкость присоединительных проводников;

$C_{\text{зи}}$ – емкость затвор–исток транзистора VT2;

$C_{\text{зп}}$ – емкость затвор–подложка VT2;

$C_{\text{зс}}$ – емкость затвор–сток VT2;

K_u – коэффициент усиления по напряжению.

Последняя составляющая $C_{\text{зс}}(1+K_u)$ имеет наибольшую величину вследствие действия обратной связи, в литературе иногда это обстоятельство называют эффектом Миллера.

Если на вход подать высокий уровень, то VT1 откроется, напряжение на стоке VT1 будет почти нулевым. То же самое будет на затворе VT2, а значит VT2 – закрыт. При этом до открытого состояния VT1 на стоке VT1 было напряжение равным E_0 (когда VT1 закрыт). Следовательно, все конденсаторы, объединенные в $C_{\text{сумм}}$ были заряжены. Поэтому, в момент открывания VT1 через него будет протекать два тока: 1-ый по цепи $+E_0 \dots R_{c1} \dots VT1 \dots \text{земля}$, и 2-ой ток – $+C_{\text{сумм}}$ сверху \dots открывшийся VT1 $\dots \text{земля} \dots - C_{\text{сумм}}$ снизу. Этот ток вначале на пике, потом убывает по экспоненте.

Емкость $C_{\text{зс}}$ вследствие эффекта Миллера, т.е. действия ООС по напряжению, увеличена в $C_{\text{зс}}(1+K_u)$ раз, где K_u – несколько десятков или сотен единиц, т.е. это основная составляющая суммарной емкости, снижающая быстродействие униполярных ключей (недостаток). Этот недостаток есть и у электронных ламп, но его нет у биполярных транзисторов.

На рисунке 1.37 изображены временные диаграммы переходных процессов.

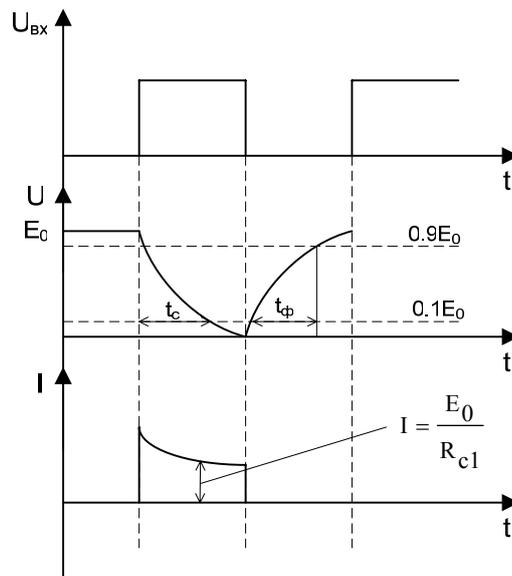


Рисунок 1.37 – Временные диаграммы переходных процессов

Принимаем уровни $0.1E_0$ и $0.9E_0$ для оценки времен фронта и спада. На интервале спада процесс описывается следующим образом

$$U(t) = E_0 e^{-\frac{t}{\tau_c}},$$

где $\tau_c = C_{\text{сумм}} R_{\text{си откр}}$ для интервала t_c на уровнях $0.1E_0, 0.9E_0$.

$$t_c \approx 2.3\tau_c = 2.3C_{\text{сумм}} R_{\text{си откр}}$$

Примем $C_{\text{сумм}} = 3 \cdot 10^{-12} \Phi, R_{\text{си откр}} = 3 \cdot 10^3 \text{ Ом}$, тогда $t_c \cong 20 \cdot 10^{-9} \text{ с} = 20 \text{ нс}$

Для фронта, когда VT1 закроется, ток протекает по цепи $+E_0 \cdots R_{c1} \cdots C_{\text{сумм}} \cdots \text{земля}$. Происходит заряд емкостей, формируется экспонента фронта:

$$U(t) = E_0 (1 - e^{-\frac{t}{\tau_\phi}}),$$

где $t_\phi = 2.3\tau_\phi = 2.3C_{\text{сумм}} R_{c1}$.

Примем $C_{\text{сумм}} = 3 \cdot 10^{-12} \Phi, R_{c1} = 50 \cdot 10^3 \text{ Ом}$, тогда $t_\phi \cong 300 \cdot 10^{-9} \text{ с} = 300 \text{ нс}$.

Таким образом, фронт намного длиннее в сравнении со спадом для случая резистора в стоковой цепи. Если вместо резисторов R_{c1} и R_{c2} включить нагрузочные транзисторы по принципу комплементарной пары (рисунок 1.23,в), то их сопротивление (верхних транзисторов) составит тоже примерно 3кОм (вместо 50 кОм) в открытом состоянии, и фронт будет такой же по длительности, как и спад.

1.8 Потери в ключах в импульсном режиме

Реальные процессы для систем первого порядка описываются экспонентами, однако здесь, для упрощения выводов, экспоненты заменены прямыми (см. рисунок 1.38).

Вначале ток нарастает по i_1 , достигает уровня открытого состояния i_2 , убывает до нуля i_3 , i_4 принимаем равным нулю. При этом выделяем фронт (t_ϕ) и спад (t_c), как у биполярных транзисторов, но выводы относятся к любым ключам.

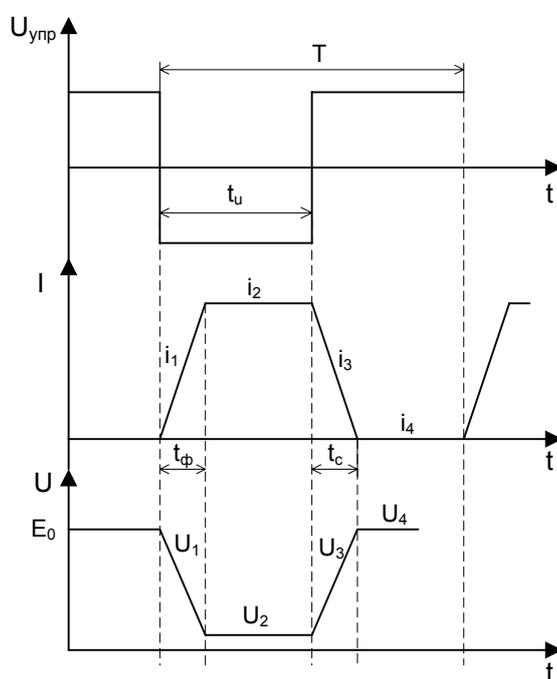


Рисунок 1.38 – Процессы, протекающие в ключах

t_u – длительность импульса;

T – период.

$$1 \quad i_1 = I_{\text{откр}} \frac{t}{t_\phi}$$

$$2 \quad i_2 = I_{\text{откр}}$$

$$3 \quad i_3 = I_{\text{откр}} - I_{\text{откр}} \frac{t - t_u}{t_c}$$

$$4 \quad i_4 = 0$$

$$1 \quad U_1 = U_{\text{откр}} + E_0 - E_0 \frac{t}{t_\phi}$$

$$2 \quad U_2 = U_{\text{откр}}$$

$$3 \quad U_3 = U_{\text{откр}} + E_0 \frac{t - t_u}{t_c}$$

$$4 \quad U_4 = U_{\text{откр}} + E_0$$

Потери мощности в импульсном режиме на ключе определяется следующим выражением:

$$P = \frac{1}{T} \int_0^T U_1 i_1 dt = \frac{1}{T} \left(\int_0^{t_\phi} U_1 i_1 dt + \int_{t_\phi}^{t_u} U_2 i_2 dt + \int_{t_u}^{t_u+t_c} U_3 i_3 dt + \int_{t_u+t_c}^T U_4 i_4 dt \right)$$

Произведем подстановку значений U_1-U_4 , i_1-i_4 , преобразовав, получаем формулу:

$$P = P_{\text{расс}} = \frac{E_0^2 t_u}{R_H T} \left(\frac{U_{\text{откр}} t_u}{E_0 T} + \frac{t_s}{3T} \right), \text{ Вт}$$

где

$$t_s = t_\phi + t_c$$

$$t_\phi = \tau_\beta \ln \left(\frac{0 - I_{\sigma_1} \tau_\beta}{I_{\sigma_{\text{гр}}} \tau_\beta - I_{\sigma_1} \tau_\beta} \right)$$

$$t_c = \tau_\beta \ln \left(\frac{I_{\sigma_{\text{гр}}} \tau_\beta + I_{\sigma_2} \tau_\beta}{0 + I_{\sigma_2} \tau_\beta} \right)$$

$$\tau_\beta = \frac{1}{\omega_\beta} \approx -\frac{1}{2\pi f_\beta}$$

$I_{\sigma_{\text{гр}}}$ соответствует рисункам 1.17 и 1.34, $I_{\sigma_1} \approx I_{\sigma_{\text{гр}}} \cdot k$, где $k \approx 1,2-3$, $I_{\sigma_2} \approx I_{\sigma_1}$.

В этих формулах принято, что напряжение определяется суммой E_0 и $U_{\text{откр}}$.

Физический смысл этого заключается в том, что параллельно ключам вводятся диоды VD. На рисунке 1.39 представлены схемы с потерями в ключах в импульсном режиме.

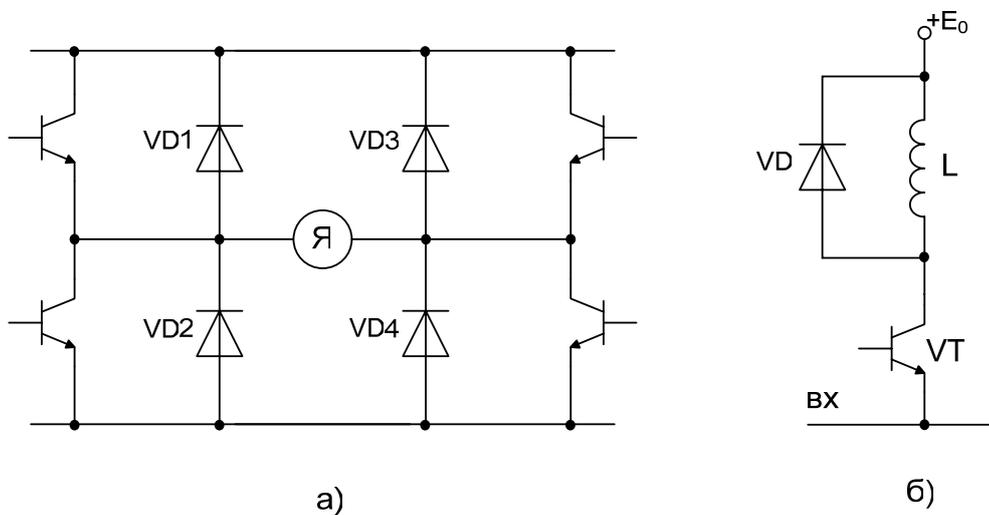


Рисунок 1.39, а, б – Схемы с потерями в ключах в импульсном режиме

В П- или Т-схемах можно выделить отдельный ключ с индуктивной нагрузкой и диодом VD (см. рисунок 1.39, б), который предназначен для удовлетворения закона сохранения тока или иначе для защиты от ЭДС самоиндукции.

Пусть ключ открыт, протекает ток: $+E_0 \dots L \dots$ открытый ключ \dots земля, в момент закрывания образуется ЭДС самоиндукции, которая преодолевает возрастающее сопротивление ключа и если диода нет, то он будет пробит. При наличии диода

VD сразу же, за моментом закрывания транзистора, ток в индуктивности протекает в том же направлении и той же величины, что был до закрывания VT (удовлетворяется закон сохранения направления и величины тока), но замыкается этот ток через диод VD, т. е. образуется цепь: индуктивность... диод VD в прямом направлении. Таким образом внешнее напряжение $U_{VD\text{откр}}$ от действия ЭДС самоиндукции невелико, оно равно примерно 0,6...0,7 В, и не опасно для закрывания VT. При этом общее напряжение на закрывшемся VT будет равно $E_0 + U_{VD\text{откр}}$. С целью упрощения заменяют $U_{VD\text{откр}}$ на $U_{\text{откр}}$ в соотношениях 1;3;4 в начальной части этого раздела. На рисунке 1.40 изображены типовые формы импульсов на ключах.

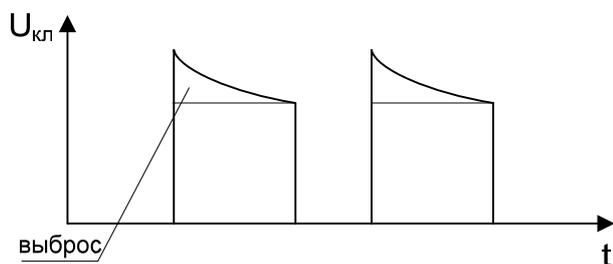


Рисунок 1.40 - Типовые формы импульсов

В момент закрывания образуется ЭДС-самоиндукции, которая должна обеспечивать прежнее значение тока в контуре с диодом. Следовательно, к транзистору прикладывается напряжение, равное напряжению питания плюс падение напряжения на открытом диоде VD. Принято, что $U_{VD\text{откр}} = U_{\text{откр}}$. Поэтому запись выражения имеет вид

$$U_{\text{кп}} = E_0 + U_{\text{откр}}$$

1.9 Способы повышения быстродействия ключей на биполярных транзисторах

Известны несколько способов повышения быстродействия ключей на биполярных транзисторах. Рассмотрим некоторые из них.

1 С форсирующим конденсатором (рисунок 1.41, а).

В момент времени 1 ток протекает по цепи $+E_C$ снизу...Э-Б VT... C_6 ... R_C ... $-E_C$ сверху, образуя выброс, как на рисунке 1.41, б.

$$I_{\text{бфорс}} \cong \frac{E_C}{R_C}$$

С течением времени C_6 заряжается и ток протекает по цепи $+E_C$ снизу...Э-Б VT... R_6 ... R_C ... $-E_C$ сверху, образуя убывающую экспоненту.

$$I_{\text{б стаци}} \cong \frac{E_c}{R_c + R_{\text{б}}}$$

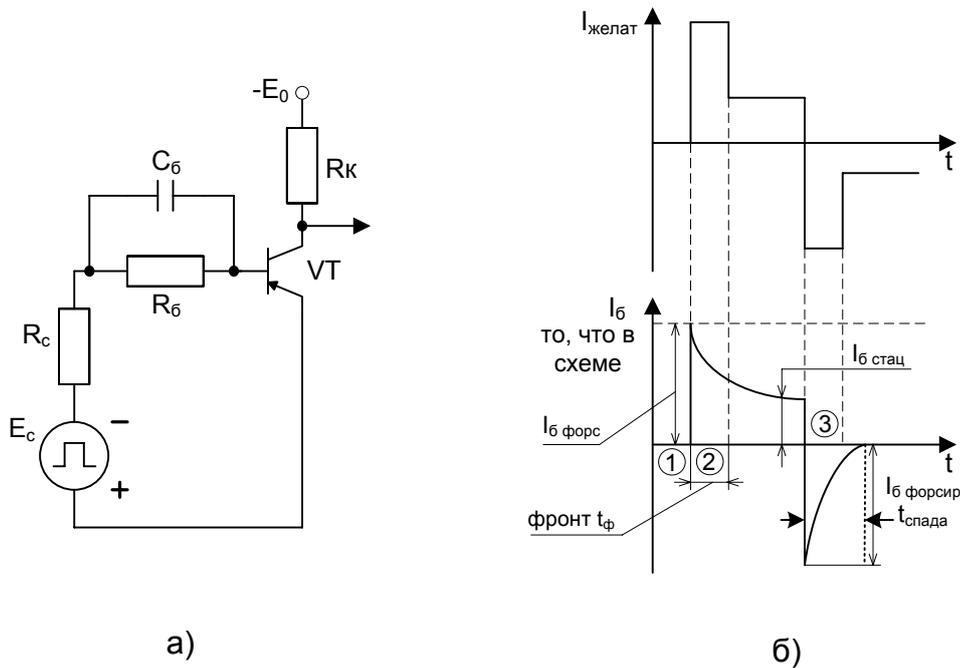


Рисунок 1.41, а – Схема ключа с форсирующим конденсатором, б – процессы, протекающие в данной схеме

Зная величины $I_{\text{б форс}}$ (см. рисунок 1.41, б) и $I_{\text{б стаци}}$ можно рассчитать $R_{\text{б}}$, $C_{\text{б}}$. Стационарный базовый ток меньше форсирующего.

Для форсирования фронта производят расчет по формуле:

$$t_{\text{ф}} \approx \Delta t \approx \tau_{\beta} \ln \left(\frac{0 - I_{\text{б1}} \tau_{\beta}}{I_{\text{б гр}} \tau_{\beta} - I_{\text{б1}} \tau_{\beta}} \right)$$

т.е. вначале из графика определяют желательную длительность фронта Δt . Значение $I_{\text{б гр}}$ известно из характеристик ключа; величина τ_{β} тоже известна, по всем известным рассчитывается $I_{\text{б1}}$. При закрывании протекает ток $I_{\text{б форс}}$, на графиках переходных процессов рисунка 1.34 это $\dot{i}_{\text{б2}}$. Ток протекает по цепи: + сверху $E_c \dots R_c \dots C_{\text{б}}$ (зарядившийся до E_c) \dots Б-Э VT \dots -снизу E_c .

Образуется выброс в отрицательной области графика (см. рисунок 1.41, б). Форсирующее закрывание биполярного ключа определяется током $I_{\text{б форс}}$:

$$I_{\text{б форс}} \approx \frac{2E_c}{R_c},$$

Расчетные соотношения для конденсатора C . $Q = CU$ – заряд конденсатора. Пусть $Q = Q_{\text{гран}} = I_{\text{б гр}} \cdot \tau_{\beta}$ (см. переходные процессы на биполярных транзисторах).

$$U = E_0$$

$$I_{\text{б гр}} = \frac{E_0}{R_{\text{б}}},$$

тогда
$$C = \frac{E_0 \cdot \tau_\beta}{R_\sigma \cdot E_0} \approx \frac{\tau_\beta}{R_\sigma}$$

Недостатком схемы (см. рисунок 1.41, а) является ее неинтегрируемость.

2 Схема с нелинейной отрицательной обратной связью.

На рисунке 1.42 изображены варианты схем смещения биполярного транзистора в типовых линейных усилительных каскадах.

- а) схема со смещающим резистором без стабилизации рабочей точки;
- б) схема с делителем и ООС по току на эмиттерном резисторе;
- в) схема с ООС по напряжению.

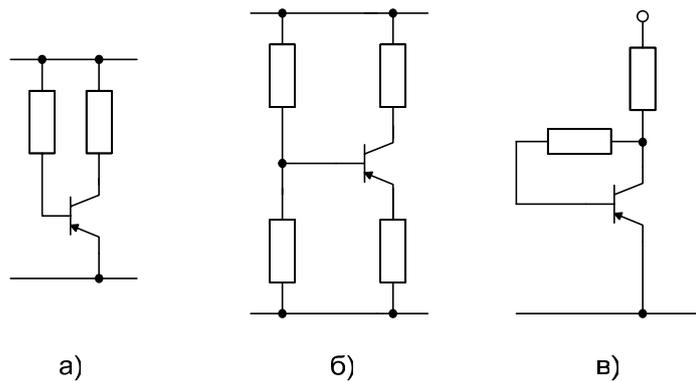


Рисунок 1.42 – Схемы смещения рабочей точки

Схема с нелинейной ООС использует третий вариант (рисунок 1.42, в), но вместо резистора водится диод VD, из-за этого обратная связь называется нелинейной, т.к. диод имеет криволинейную характеристику (рисунок 1.43).

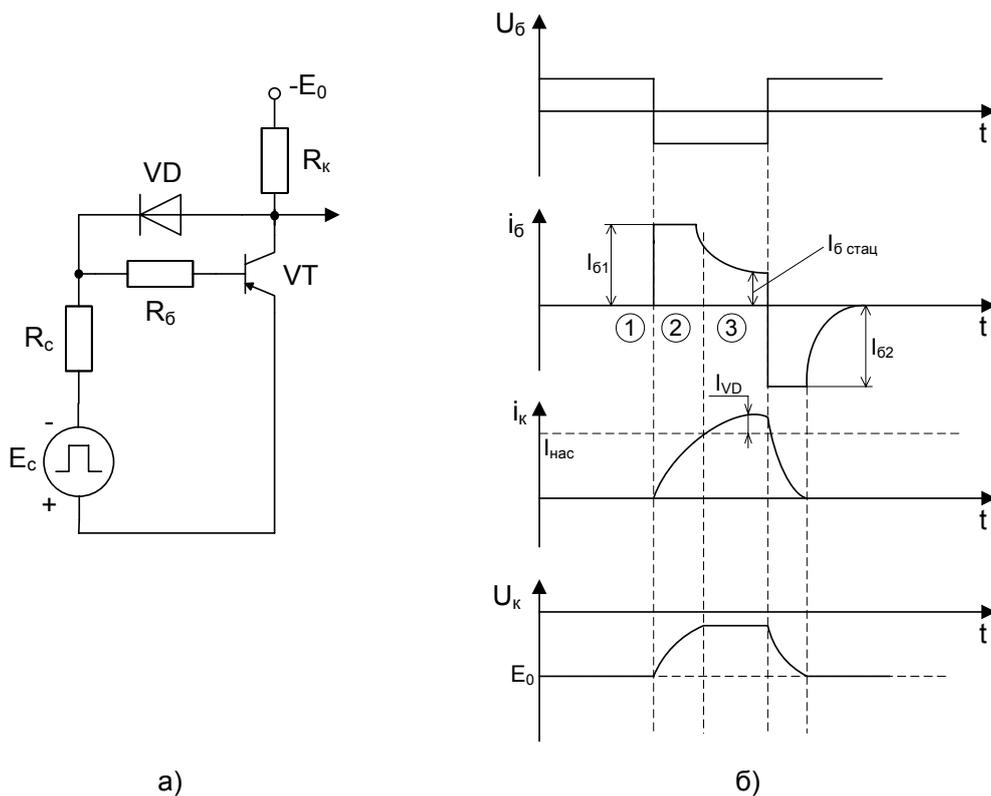


Рисунок 1.43 – Схема ключа с отрицательной обратной связью по напряжению

В схеме рисунка 1.43,а сопротивление R_c выполняет роль ГСТ (генератора стабильного тока), следовательно, R_c в несколько раз больше чем R_b , это отличие от предыдущей схемы с конденсатором, у которой R_b в несколько раз больше R_c (т.е. наоборот).

На интервале времени 1 - 2 (см. рисунок 1.43, б) транзистор открывается по экспоненте. К моменту 2 транзистор открывается полностью, входит в насыщение, протекают три тока:

- 1 Земля \cdots VT откр \cdots $R_k \cdots -E_0$;
- 2 + E_c снизу \cdots земля \cdots VT откр \cdots VD $\cdots +R_c \cdots -E_c$;
3. + E_c снизу \cdots земля \cdots переход эмиттер - база $\cdots R_b \cdots R_c \cdots -E_c$

На третьем графике второй ток обозначен как I_{VD} . Но R_c выполняет роль ГСТ и ток через R_c почти не меняется, это означает, что ток через R_b должен убывать (см. второй график рисунка 1.43, б). Коллекторный ток нарастает, т.к. он состоит из двух составляющих: тока резистора R_k и тока диода VD.

Следовательно, удовлетворяются условия форсирования включения (как было в предыдущей схеме). К моменту времени 3 транзистор практически не насыщен, следовательно, временной интервал рассасывания отсутствует, фронт спада минимален.

Если в качестве диода VD применяются диоды Шоттки, то быстродействие схемы повышается, поэтому она широко применяется в интегральном исполнении (см. рисунок 1.44). В действительности транзисторов Шоттки не бывает, т. е. это изображение означает, что ещё имеются VD и R, которые подразумеваются на схеме.

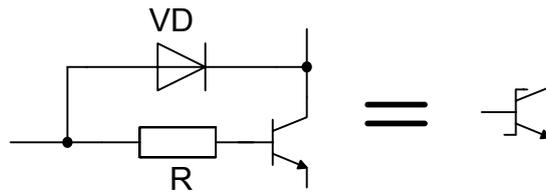


Рисунок 1.44 – Транзистор Шоттки в интегральном исполнении

1.10 Выходные ключевые каскады

В практике импульсного усиления наиболее часто применяют ШИМ (широтно-импульсную) – или ЧИМ (частотно-импульсную) – модуляцию, или их взаимные комбинации разных видов. Кроме них могут быть АИМ, КИМ, ВИМ, и т.д.

При ШИМ–модуляции частота следования импульсов неизменна, а импульс располагается между тактовыми импульсами и изменяется по ширине, причем может быть привязан к началу периода, к окончанию периода, к середине периода. В зависимости от этого выделяют ШИМ модуляцию 1, 2, 3-го родов.

Пусть сигнал имеет вид, изображенный на втором графике рисунка 1.45.

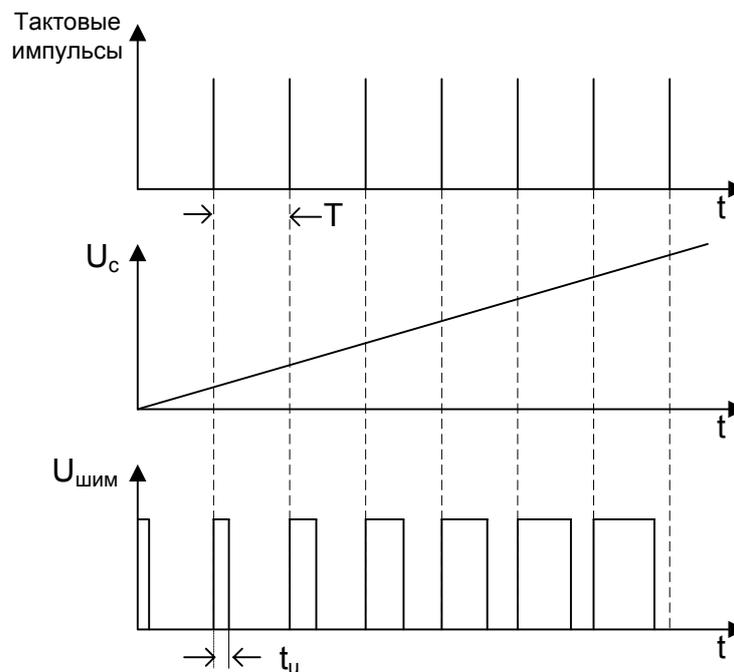


Рисунок 1.45 – ШИМ–модуляция

Как видно из рисунка 1.45, по мере возрастания амплитуды модулирующего сигнала возрастает ширина импульсов. Наибольшая ширина обычно не

превышает $0.8T$, где T – это период. Следовательно, если амплитуда сигнала второго графика рисунка 1.45 нарастает еще больше, а на третьем графике достигнут предел $0.8T$, то говорят, что достигнуто насыщение, линейной зависимости больше нет.

Этот способ модуляции называется несимметричным. Несимметричная модуляция в отличие от симметричной, когда интервалы пауз заполняются отрицательными импульсами на нагрузке. Возникает принципиальное различие: при несимметричной модуляции нуль тока в нагрузке соответствует наиболее коротким, нулевым импульсам, следовательно, необходим способ чтобы фиксировать якорь в момент остановки. При симметричном управлении нуль тока будет в случае длительности импульсов и пауз равными друг другу, поэтому можно обойтись без тормоза, так как положительный импульс дает вращение влево, а отрицательный – вправо, фиксируя нулевой ток по среднему значению. Якорь находится в режиме дрожания, если частота невелика. Имеется в виду, что есть ОС, фиксирующая нуль.

ЧИМ–модуляция заключается в том, что на нагрузку поступают импульсы с одинаковой длительностью, но интервал между импульсами изменяется (см. рисунок 1.46).

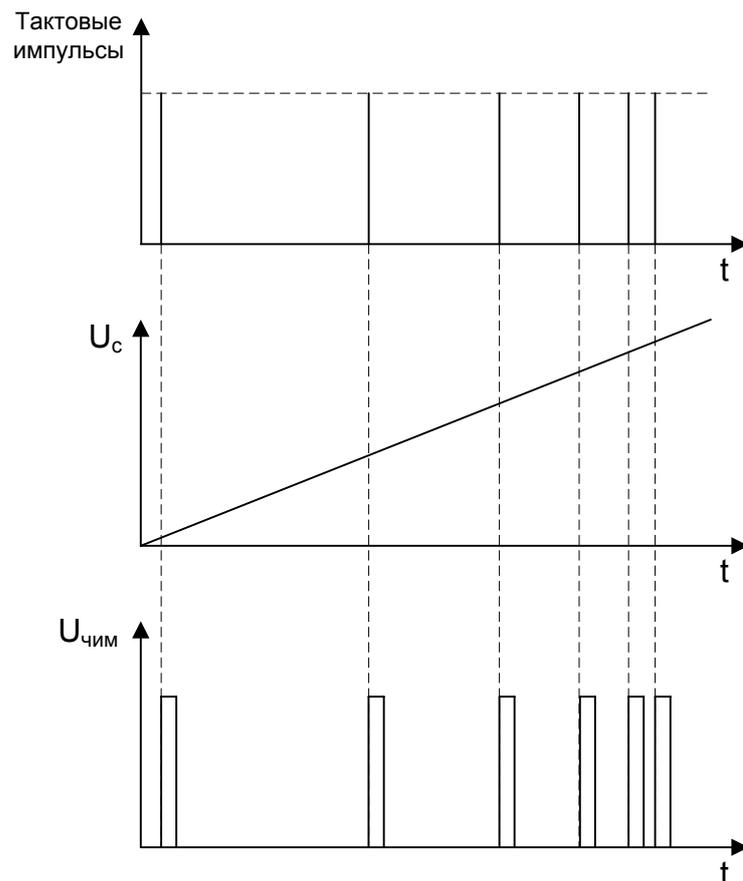


Рисунок 1.46 – ЧИМ–модуляция

Возможны взаимные комбинации разных методов модуляции.

На рисунках 1.47, а, б изображены наиболее часто применяющиеся П и Т-образные схемы ключевых каскадов усиления мощности, где Я – якорь двигателя. В зарубежной литературе схемы называются мостовыми.

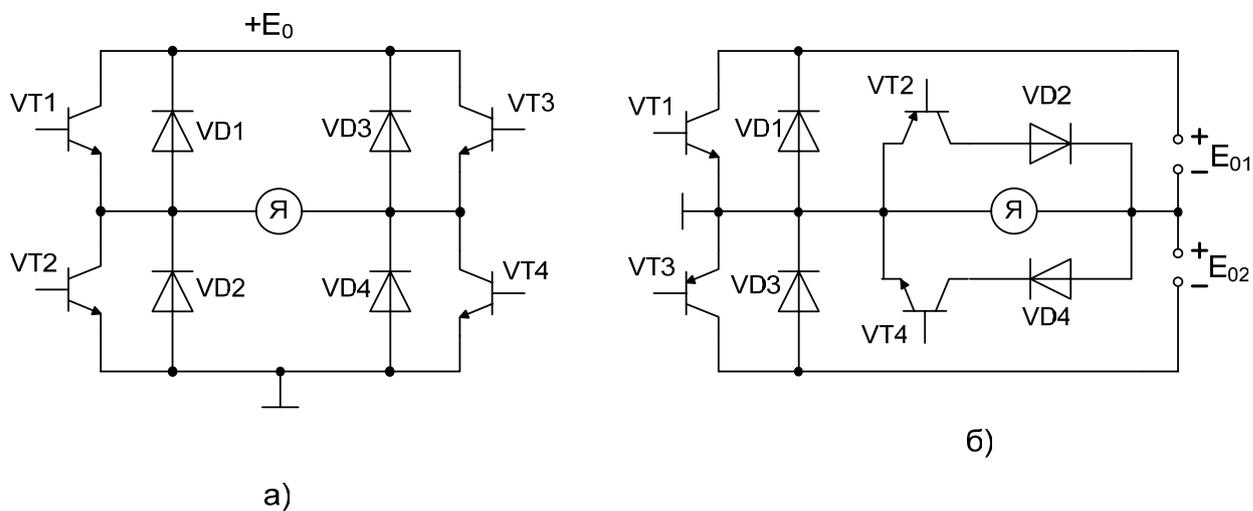


Рисунок 1.47, а – П-схема, б – Т-схема

Обе схемы, изображенные на рисунке 1.47, содержат одинаковое количество транзисторов и диодов. Они могут быть выполнены на биполярных, униполярных транзисторах, MOSFET, IGBT, на тиристорах. Так как тиристоры, как правило, не закрываются по управляющему электроду, то вместо каждого ключа ставится, например, тиристорная схема, приведенная на рисунке 1.48.

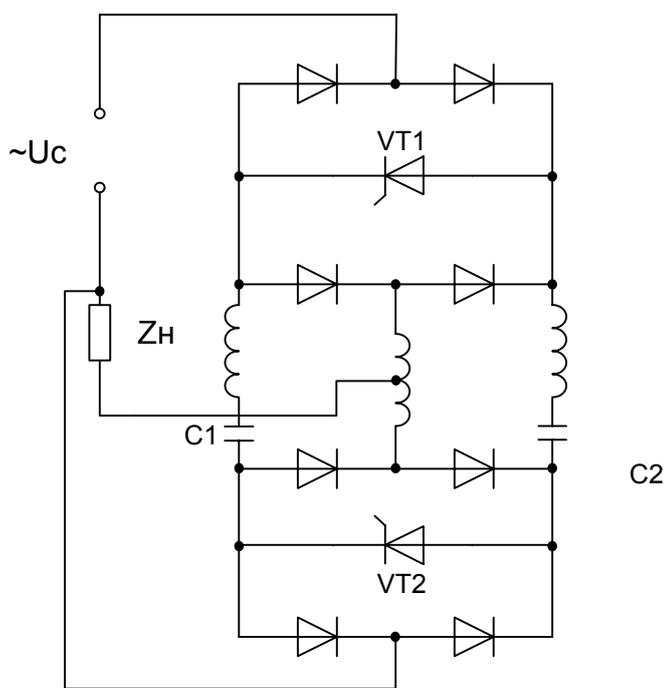


Рисунок 1.48 – Тиристорная схема

Первая схема (см. рисунок 1.47, а) имеет один источник питания E_0 , во второй схеме – два точно таких же отдельных источника с той же величиной напряжения. В первой схеме все четыре ключа одинаковы, могут быть любой проводимости. Во второй схеме VT_2, VT_4 , диоды VD_2, VD_4 такие же как и в первой схеме; транзисторы VT_1, VT_3 , диоды VD_1, VD_3 – должны быть рассчитаны на двойное напряжение, по сравнению с первой схемой, так как когда, например, открыт VT_1 , а VT_3 в это время закрыт, то к VT_3 приложено напряжение двух источников: E_{01}, E_{02} , включенных последовательно.

К недостаткам первой схемы следует отнести то, что ключами VT_1, VT_2, VT_3, VT_4 необходимо управлять отдельными гальванически развязанными цепями управления. В то время, как во второй схеме применены комплементарные пары, все эмиттерные электроды в одной точке на земле. Поэтому необходим один источник питания для всех четырех предмощных схем управления ключами. Это достоинство второй схемы в сравнении с первой, но можно также сделать ее на ключах одного типа проводимости. В этом случае потребуются гальваническая развязка и отдельные источники питания. Если вторая схема применяется для управления рукой робота, т.е. имеется несколько степеней свободы (несколько двигателей), то во второй схеме нельзя применить один источник питания для предмощных каскадов, управляющих Т-образными каскадами.

Физика процессов в схемах:

Наиболее часто применяют несимметричный способ управления, потому что размах амплитуды в 2 раза ниже на нагрузке, и пульсации в несколько раз меньше. При этом в несимметричном способе для одного направления вращения в режиме ШИМ взаимно противофазно переключаются $VT_1 - VT_2, VT_3$ постоянно закрыт, VT_4 – постоянно открыт, ток протекает по цепи: $+E_0 \dots$ открытый $VT_1 \dots$ якорь \dots открытый $VT_4 \dots$ земля. После закрывания VT_1 и открывания VT_2 , на интервале паузы для несимметричного закона управления, ток протекает по цепи той же величины, что протекал через VT_1 в момент его закрывания, в соответствии с законом сохранения тока, под действием ЭДС самоиндукции в цепи якоря, слева направо через постоянно открытый VT_4 , открывшийся VT_2 и параллельно с ним диод VD_2 , через якорь. Ток убывает по экспоненте, если производить описание процессов линейным ДУ первого порядка. Этот режим называется режимом сохранения тока на интервале паузы, или режимом непрерывного тока.

Для другого направления вращения: VT_1 постоянно закрыт, VT_2 – постоянно открыт, ток протекает по цепи: $+E_0 \dots$ открытый в импульсе $VT_3 \dots$ якорь \dots постоянно открытый $VT_2 \dots$ земля. После закрытия VT_3 и открытия VT_4 ток течет по контуру якорь \dots постоянно открытый $VT_2 \dots$ открывшийся VT_4 , диод $VD_4 \dots$ якорь.

Если действует закон симметричного управления, то для нулевого тока в цепи якоря, в цепях транзисторов токи следующих направлений: $+E_0 \dots$ открытый $VT_1 \dots$ якорь \dots открытый $VT_4 \dots$ земля, при этом VT_2, VT_3 – закрыты. Для следующего момента времени

+ E_0 ... открытый VT3 ... якорь ... открытый VT2 ... земля, при этом VT1, VT4 – закрыты и т.д.

Для начала вращения в том или ином направлении необходимо превалирование длительности открытого состояния пар VT1, VT4 в сравнении с VT2, VT3 или наоборот, при неизменной частоте следования импульсов.

Во второй схеме (см. рисунок 1.47, б) при несимметричной модуляции VT1, VT2 в режиме ШИМ противофазного включения и выключения, VT3 постоянно закрыт, VT4 – постоянно открыт.

Примем, что VT1 открыт, VT2 – закрыт, ток течет по цепи + E_{01} ... открытый VT1 ... якорь слева направо ... - E_{01} , в цепи VT4 ток не протекает так как диод VD4 включен встречно.

При другом направлении вращения VT1 постоянно закрыт, VT2 – постоянно открыт, VT3 и VT4 – в режиме ШИМ переключаются противофазно, т.е. если VT3 открыт, то VT4 – закрыт и наоборот. Ток протекает по цепи на интервале времени открытого VT3 и закрытого VT4: + E_{02} ... якорь справа налево ... открытый VT3 ... - E_{02} . После закрывания VT3 и открывания VT4 ток протекает в цепи якоря, под действием ЭДС самоиндукции, сохраняет прежнюю величину, протекает по цепи якорь справа налево ... постоянно открытый VT2 ... VD2 ... якорь, убывает при этом по экспоненте при более простой аппроксимации.

Симметричный закон управления:

Противофазно в режиме ШИМ переключаются VT1 и VT3, при этом совместно с ними одновременно коммутируются пары VT4, VT2. Токи протекают по цепям на интервале времени открытого VT1: + E_{01} ... открытый VT1 ... якорь слева направо ... - E_{01} ; на интервале времени открытого VT3 и закрытого VT1 ток течет: + E_{02} ... якорь справа налево ... открытый VT3 ... - E_{02} .

Если длительности открытых состояний в режиме ШИМ для VT1 и VT3 одинаковы, то в якоре протекает переменный ток, следовательно, вращения нет. Только когда длительность открытого состояния, например, VT1 возрастает, а VT3 – убывает, в режиме ШИМ неизменной тактовой частоты, то начинается превалирование тока слева направо или наоборот.

1.11 Сквозные токи

В первой схеме рисунка 1.47, а противофазно переключаются VT1 и VT2. Вследствие того, что при закрывании ранее открытого транзистора (например, VT1) имеется интервал времени рассасывания и спада, VT1 закрывается дольше, в сравнении с открывающимся VT2, следовательно, есть небольшой интервал времени (доли мкс), когда VT2 уже открылся, а VT1 еще открыт, протекает сквозной ток по цепи E_0 ... VT1 ... VT2 ... земля. Подобные обстоятельства можно отнести к любым ключам, в том числе и к MOSFET, IGBT. Для исключения этого сквозного тока необходимо в электронной схеме управления ключами применять элементы задержки, которые задерживают открывание ранее закрытых ключей

(для данного случая VT2, но также и VT1, когда он открывается), следовательно, образуется интервал времени (десятые доли мкс), когда VT1 закрылся, а VT2 еще не открылся, т.е. оба они закрыты, что недопустимо, так как действует закон сохранения тока в цепях с индуктивностью и ЭДС самоиндукции может выжечь закрывающийся ключ. Для предотвращения этого включают диоды VD1, VD2, VD3, VD4. Следовательно, на этом коротком интервале времени, когда VT1, VT2 одновременно закрыты, ток якоря по-прежнему протекает слева направо по цепи земля...VD2...якорь...VD3...+E₀, отдается энергия в источник питания, это явление называется рекуперацией.

Второй сквозной ток протекает по цепи +E₀...VT1...VD2...земля (против направления VD2). Объяснение причин этого тока в следующем. Вначале действует цепь тока:

+E₀...открытый VT1...якорь слева направо...постоянно открытый VT4...земля. После закрывания VT1 и открывания VT2 ток протекает в том же направлении (слева направо) через постоянно открытый VT4, через пару VT2, VD2, якорь слева направо. Следовательно, диод VD2 насыщается так же как и транзистор в открытом состоянии и после открывания VT1 образуется цепь +E₀...открывающийся VT1...насыщенный, неуспевший закрыться диод VD2...земля.

Поэтому, если диод не быстродействующий, то пара VT1 – VD2 может выгореть. Для предотвращения этого последовательно с VD2, VD4 ставят дроссели. Эти дроссели с малой индуктивностью практически не влияют на импульсные процессы усиления, но замедляют фронт нарастания сквозного тока, предотвращают выжигание.

Во второй схеме рисунка 1.47, б сквозных токов больше. Первый сквозной ток по цепи +E₀₁...VT1...VT3...-E₀₂, в момент их переключения; второй сквозной ток: +E₀₁...открывающийся VT1...VD3...-E₀₂. Оба эти тока образуются двойным напряжением, особо опасны. Третий сквозной ток +E₀₁...VT1...VT2...VD2...-E₀₁ возникает в моменты переключения транзисторов в режиме ШИМ. Для компенсации этого сквозного тока используются элементы задержки. Четвертый сквозной ток: +E₀₁...VT1...постоянно открытый VT4...VD4...-E₀₁. В этой схеме последовательно с диодами ставятся дроссели, как и в первой схеме, кроме того предпочтительны быстродействующие диоды, в частности HEXFRED, некоторые данные приведены в таблице 1:

Таблица 1

Тип диода	U, В	I, А	t _{rr,max} , нс(t _{закр})	Корпус
HFA0УТВ60	600	4	42	ТО-22
HFA06ТВ120	1200	6	26	ТО-22
HFA70NH60	600	70	120	D-67

1.12 Рекуперация

Рекуперацией называется возврат энергии в источник питания. Если схема не импульсная, то это случай, когда двигатель переходит в генераторный режим, т.е. либо повышается напряжение обмотки возбуждения, например, при движении электровоза с горы, или при опускании ковша. Энергия возвращается в сеть, потому что ток изменяет свое направление.

В первой схеме рисунка 1.47, а, если двигатель перешел в генераторный режим, то на интервале времени открытого VT1 ток протекает по цепи земля... постоянно открытый VT4, VD4... якорь справа налево... открытый VT1... +E₀. На интервале закрытого состояния VT1, VT2 рекуперативный ток протекает по цепи: земля... постоянно открытый VT4... VD4... якорь справа налево... диод VD1... +E₀, т.е. сохраняется режим непрерывного тока.

Во второй схеме (см. рисунок 1.47, б) на интервале открытого VT1 ток протекает по цепи: -E₀₁... якорь справа налево... открытый VT1... +E₀₁. После закрытия VT1 и открытия VT2 ток протекает по цепи якорь... VT2... VD2... якорь справа налево. В генерационном режиме энергия при этом переходит в магнитную, запасается в индуктивности (магнитное поле) и после переключения (открывается VT1 и закрывается VT2) вновь преобразовывается из магнитной в электрическую, образуя рекуперативный ток в цепи якоря справа налево через открывшийся VT1.

Особенность второй схемы заключается в том, что (в режиме двигателя) образуется перекачка энергии из одного источника питания в другой, при этом может возникнуть асимметрия напряжений E₀₁ и E₀₂ (E₀₂ возрастает в сравнении с E₀₁), например: открывается VT1, ток протекает по цепи +E₀₁... VT1... якорь слева направо... -E₀₁. После переключения VT1 и VT2 ток по-прежнему протекает по цепи: якорь слева направо... диод VD4... постоянно открытый VT4... якорь. На интервале закрытого состояния VT1, VT2 в симметричном режиме, а так же закрытого VT4, ток протекает по цепи: якорь слева направо... источник E₀₂... VD3... якорь, энергия отдается E₀₂.

1.13 Предмощные каскады

Предмощные каскады предназначены для управления мощными выходными ключами.

В случае управления биполярными транзисторами необходимо формировать импульсы тока открывающего и закрывающего направлений, причем схема должна быть быстродействующей, иметь максимально возможный КПД, быть несложной, формировать временные задержки для предотвращения сквозных токов. По отношению к биполярным транзисторам предлагается схема на составных транзисторах, представленная на рисунке 1.49. Схемы для MOSFET

или IJBT проще: разобравшись с более сложным случаем можно спроектировать менее трудный вариант.

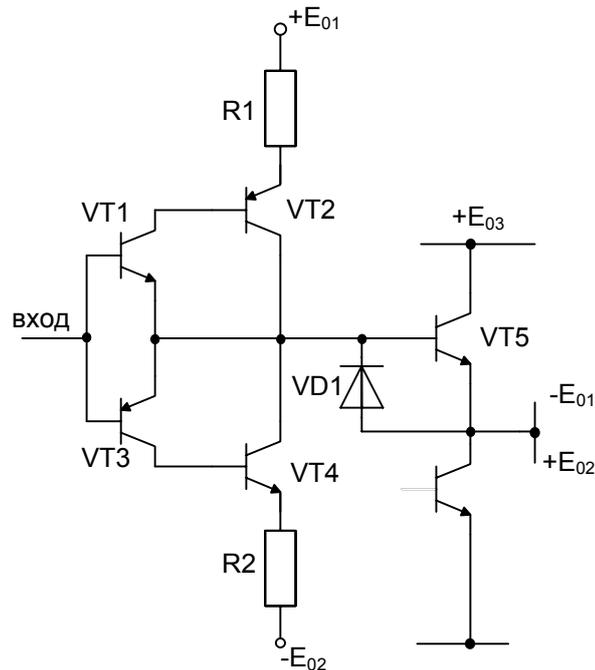


Рисунок 1.49 – Предмощный каскад

На данной схеме первый составной транзистор VT1 – VT2, типа n-p-n, второй составной транзистор VT3 – VT4 p-n-p (называется по VT3, хотя VT4 типа n-p-n). VT5 – один из четырех транзисторов в составе П- или Т-схемы, резисторы R_1 , R_2 уменьшают сквозной ток по цепи: $+E_{01} \dots R_1 \dots VT2 \dots VT4 \dots R_2 \dots -E_{02}$, возникающий в моменты их противофазного переключения. Здесь нет элементов задержки, поэтому образуется сквозной ток, с другой стороны сквозной ток необходим потому, что силовые ключи типа VT5 не допускают режима “оборванной” базы в моменты переключений. Если бы было кратковременное состояние одновременно закрытых транзисторов VT2 – VT4 в моменты переключения, то сквозной ток не возникал бы, но обрывалась база, что недопустимо, потому предпочитают наличие сквозного тока, ограниченного резисторами R_1 и R_2 . Напряжение источников питания $+E_{01}$ и $-E_{02}$ в первом приближении берут равными 5В, общий размах – 10В. Импульс положительной полярности образует ток в цепи: вход \dots Б – Э VT1 \dots Б – Э VT5 \dots земля. Открывается VT1, образуется вторая токовая цепь: $+E_{01} \dots R_1 \dots \text{Э} - \text{Б} VT2 \dots$ открытый VT1 \dots Б – Э VT5 $\dots -E_{01}$, эта токовая цепь открывает VT2, образуется основная токовая цепь: $+E_{01} \dots R_1 \dots VT2 \dots \text{Б} - \text{Э} VT5 \dots -E_{01}$, открывающая транзистор VT5 (силовой ключ) в составе П- или Т-схемы. Закрывание VT5: импульс отрицательной полярности образует цепь: земля ($+E_{02}$) $\dots \text{Э} - \text{Б} VT5 \dots \text{Э} - \text{Б} VT3 \dots$ – закрывающий импульс. Эта токовая цепь открывает VT3, образуется вторая цепь: $+E_{02} \dots \text{Э} - \text{Б} VT5 \dots$ открывшийся VT3 $\dots \text{Б} - \text{Э} VT4 \dots R_2 \dots -E_{02}$, эта цепь открывает VT4, образуется основная закрывающая цепь:

$+E_{02} \dots \text{Э} - \text{Б} VT5 \dots$ открывшийся $VT4 \dots R_2 \dots -E_{02}$, по этой цепи протекает закрывающий ток на интервалах времени рассасывания и спада, $VT5$ – закрывается, а отмеченные токи протекают через диод $VD1$, на переходе Э-Б $VT5$ падение напряжения составляет 0.6-0.7 В, это падение напряжения на открытом $VD1$, ровно столько и надо (десятые доли вольта) для удержания $VT5$ в закрытом состоянии. Анализируемая схема пригодна для управления ключами типа $VT5$ как в импульсном режиме, так и в том случае, если импульсы длительные, пригодна для биполярных транзисторов, униполярных транзисторов, в том числе IJBT, но при униполярных $VT5$ её делают также на униполярных транзисторах. В том случае, если схема предназначена для управления только лишь в импульсном режиме, и если требуется ограниченная мощность, как для униполярных транзисторов и IJBT, применяют бутстрепное питание. Оно непригодно для биполярных транзисторов (в том числе для длинных импульсов), потому что требуется относительно большая мощность в цепи управления, т.к. есть и ток, и напряжение, а бутстрепное питание предполагает при коротких импульсах только напряжение при минимальном токе, широко применяется за рубежом. Бутстрепное питание образует условный эквивалент гальванической развязки (хотя в действительности такой развязки нет).

Сущность бутстрепного питания схемы, изображенной на рисунке 1.50, заключается в том, что вводится диод VD и конденсатор C , предмощный каскад 1, такой же каскад 2, каждый из них управляет своим силовым транзистором $VT1, VT2$.

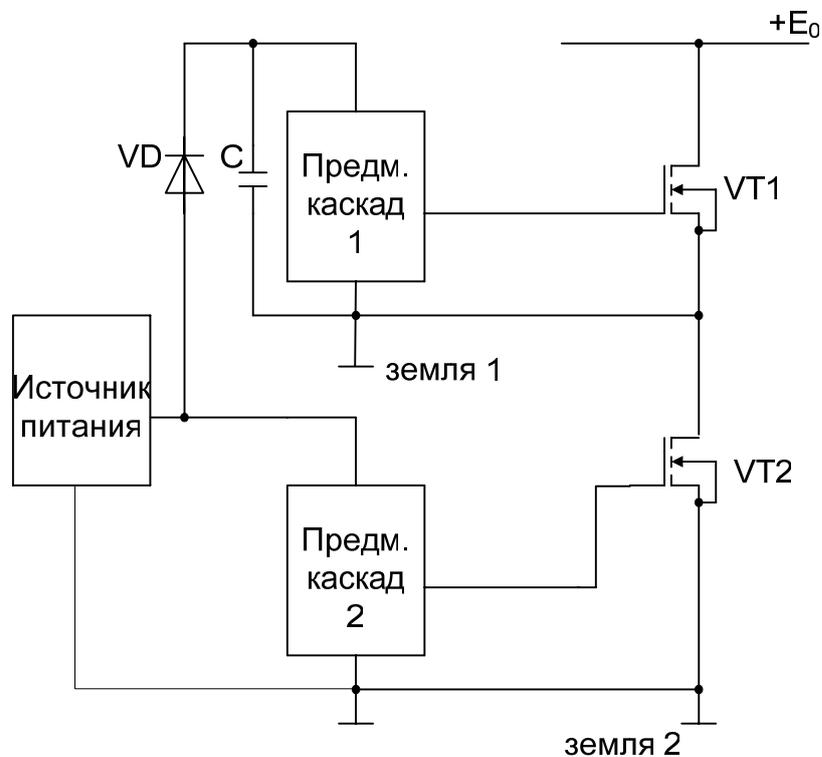


Рисунок 1.50 – Бутстрепное питание

Принцип работы: когда открыт VT2 земля 1 соединена с землей 2 через открытый VT2, VT1 при этом закрыт, следовательно предмощный каскад 2 запитывается обычным образом, а каскад 1 – через диод VD (высоковольтный, быстродействующий), открытый VT2, управляется транзистор VT1 и заряжается конденсатор С до напряжения источника питания. После переключения пары закрывается VT2, открывается VT1, питание предмощного каскада 2 осуществляется обычным образом, как и было, диод VD закрывается высоким напряжением $+E_0$, так как VT2 закрыт, земля 1 отключается от земли 2, но питание предмощного каскада 1 продолжается от бутстрепного конденсатора С, при закрытом диоде VD, следовательно величина заряда энергии конденсатора С должна быть достаточна для самого длинного импульса, открывающего или закрывающего ключ VT1. В случаях постоянного управления (отсутствия импульсов) и биполярных транзисторов эта схема непригодна. Настоящей гальванической развязки между предмощными каскадами здесь нет, при пробое VD выжигаются оба каскада и источник питания.

1.14 Тиристорные схемы управления

Выделяют несколько способов управления.

1 Амплитудное управление тиристорами (вертикальное – рисунок 1.51), при котором на управляющий электрод подается два напряжения в сумме. Одно из них $U_{упр1}$ той же частоты, что и сетевое и той же фазы, второе – постоянное напряжение $U_{упр2}$, амплитуда которого изменяется по уровню вверх–вниз по вертикали. Следовательно, на четвертом графике рисунка 1.51 точка 1 может перемещаться влево–вправо, а тиристор открывается при переходе напряжения четвертого графика в плюсовую область, поэтому на пятом графике – ШИМ.

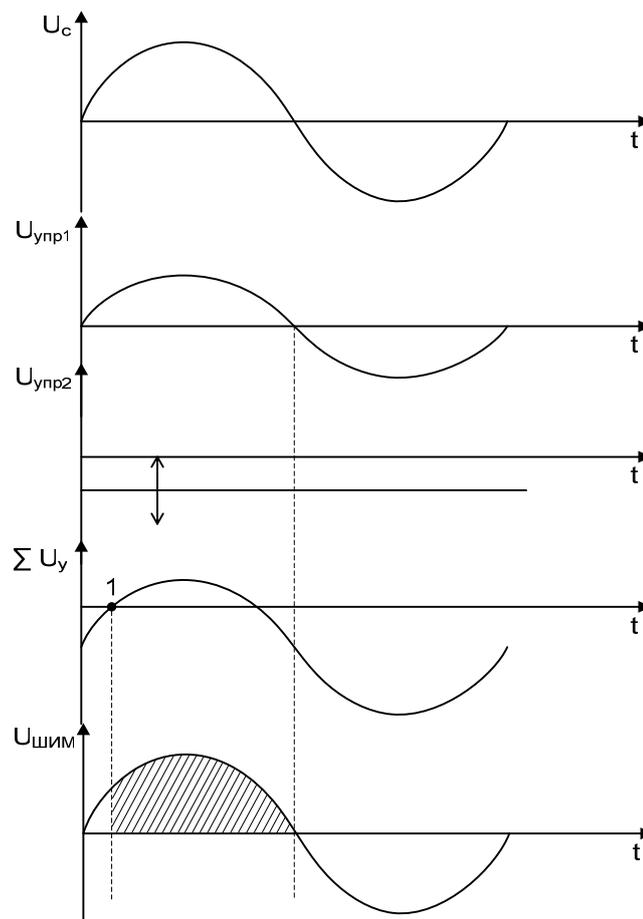


Рисунок 1.51 – Амплитудное управление

Достоинство: несложность.

Недостаток: регулирование только в пределах 90° .

2 Фазовый способ управления (см. рисунок 1.52). При нем изменяется фаза управляемого напряжения влево–вправо при той же частоте, следовательно, диапазон регулирования ШИМ от 0° до 180° .

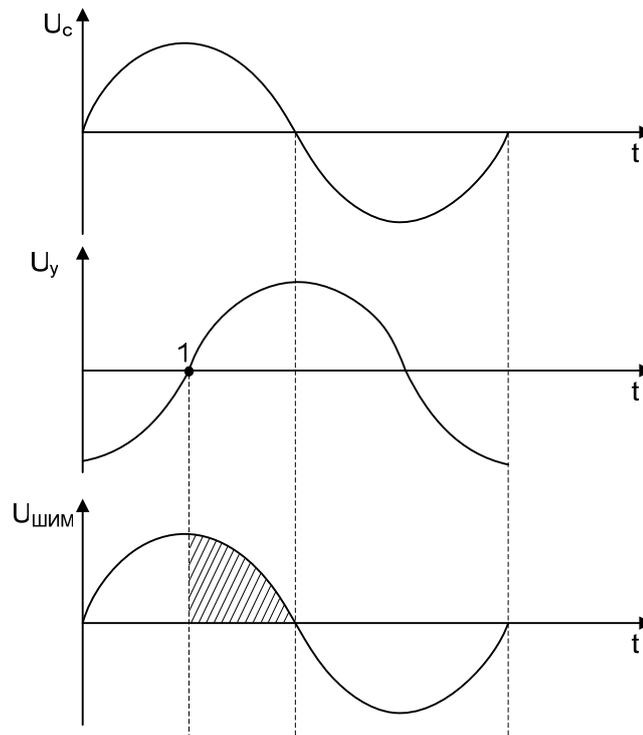


Рисунок 1.52 – Фазовый способ управления

На рисунке 1.53 представлена схема фазовращателя.

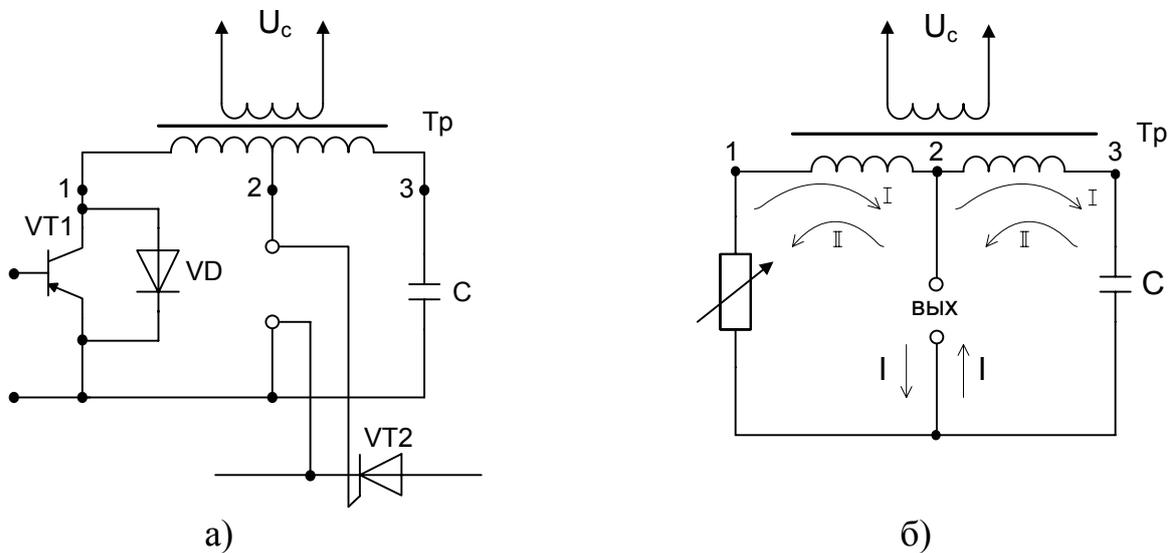


Рисунок 1.53 – Фазовращатель

Для тиристора VT2 с током примерно 10А удовлетворяют следующие данные.

Первичное напряжение $U_c=220$ В, 50 Гц, число витков первичной обмотки 3 – 5 тысяч, трансформатор мощностью 10 Вт, напряжение каждого плеча вторичной обмотки 15 В, конденсатор – не электролит, $C=2$ мкФ.

Транзистор VT1 рассчитан на ток 100 – 200 мА, при пропускании тока в цепи Э – Б изменяется сопротивление от максимума примерно до 20 – 30 Ом. Чем больше напряжение (ток) в базовой цепи VT1, тем меньше сопротивление, т. е.

образуется транзисторный эквивалент потенциометра. Диод VD защищает VT1 от несвойственных полупериодов сетевого напряжения.

Регулируемый угол фазовращения от 0° до 180° при неизменной амплитуде регулируемого напряжения.

Процессы фазовращения иллюстрируются схемой рисунка 1.53, б.

При нулевом сопротивлении потенциометра протекают два тока. Если сопротивление потенциометра нулевое, то ток контура 1 – 2 превалирует, он определяет фазу.

При бесконечном сопротивлении основным током будет являться ток контура 2 – 3. Таким образом для этих крайних случаев на выходе фазы противоположны, фазовый сдвиг 180° . Если теперь плавно изменять сопротивление потенциометра, то также вследствие наличия емкости будет наблюдаться плавное изменение фазы– фазовращение.

3 Импульсное управление (см. рисунок 1.54).

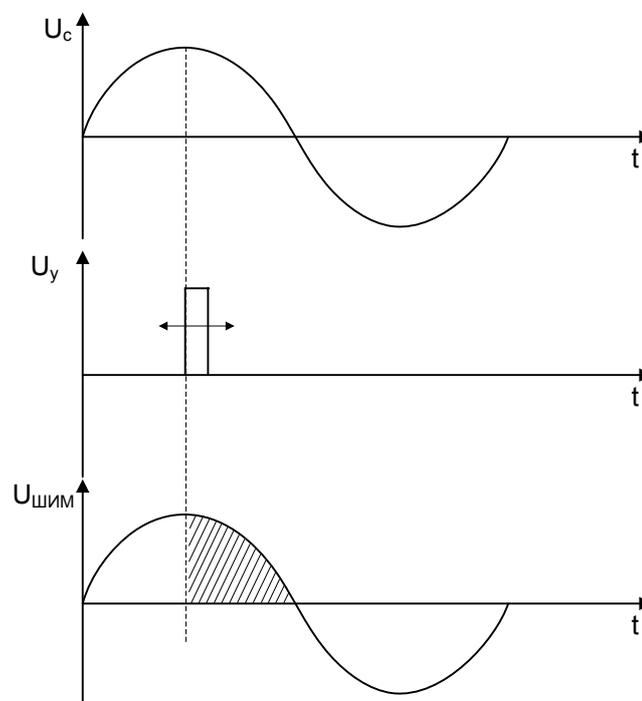


Рисунок 1.54 – Импульсное управление

При импульсном способе изменяется момент его положения на горизонтальной оси влево–вправо, т. е. производится ШИМ регулирование по третьему графику.

Достоинство: импульс в течение короткого времени (10–20 мкс), в остальное время мощность в цепи управления не расходуется.

Для реализации третьего способа наиболее часто используют:

1 Сравнение модулирующего напряжения с пилообразным (см. рисунок 1.55).

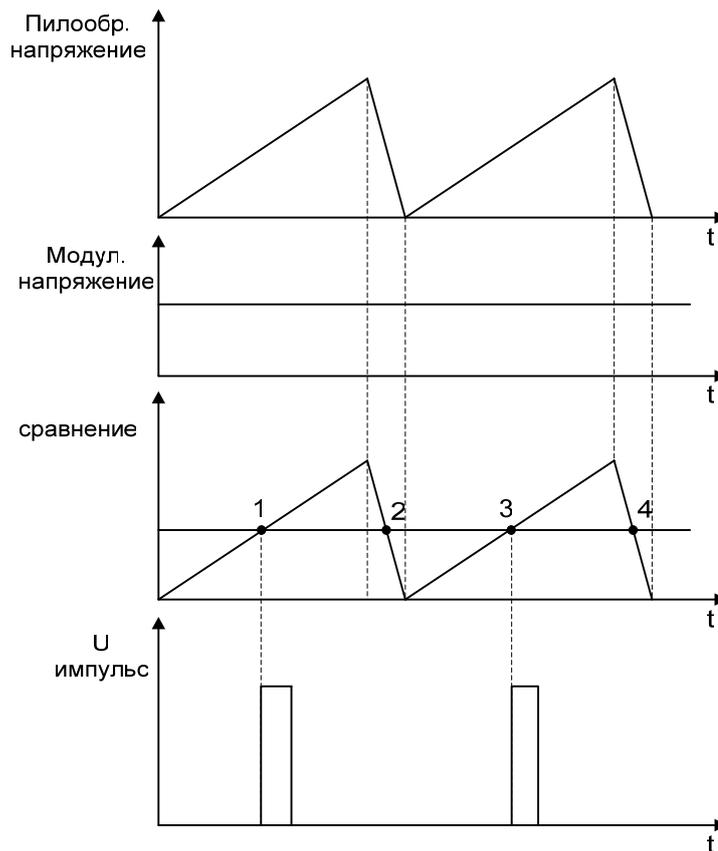


Рисунок 1.55 – Сравнение модулирующего напряжения с пилообразным

Пилообразное напряжение формируется синхронным сетевому U_c . На втором графике модулирующее напряжение, амплитуда может меняться вниз–вверх. Точка 1 смещается вдоль пилы влево или вправо.

Недостаток: низкая помехоустойчивость, потому что при наложении помехи импульс вибрирует, следовательно, силовой ключ размывает скачок во времени, работа неэкономична.

2 Интегральный способ (см. рисунки 1.56, 1.57) (сигма–дельта модуляция). Обладает высокой помехоустойчивостью, высокой точностью, широко используется в интегральных микросхемах, в аналогово–цифровых преобразователях с двойным интегрированием (до 15–16 разрядов).

В схеме, изображенной на рисунке 1.56, на вход интегратора поступает два напряжения: модулирующее U_c и напряжение обратной связи U_{oc} , причем они противоположно направлены. Компаратор согласует выход операционного усилителя с логикой. Соединять напрямую недопустимо, потому что у логики уровни в диапазоне $0 \div 5$ В, а выход операционного усилителя выдает напряжение, например, $-12 - +12$ В, и сожжет логику.

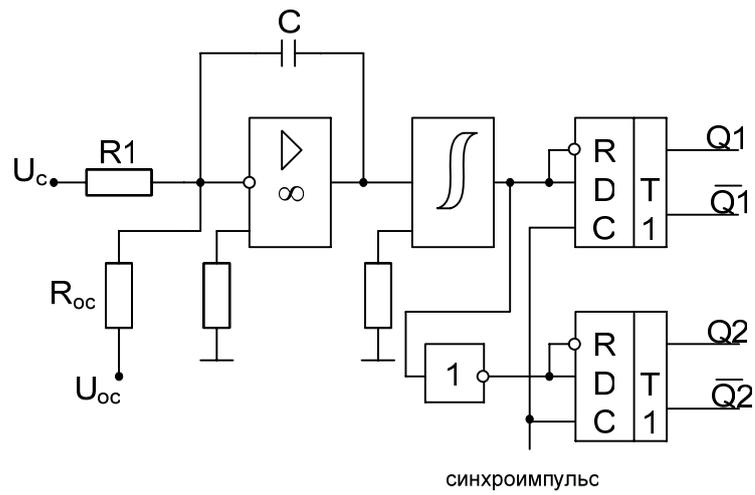


Рисунок 1.56 – Интегральная схема модулятора

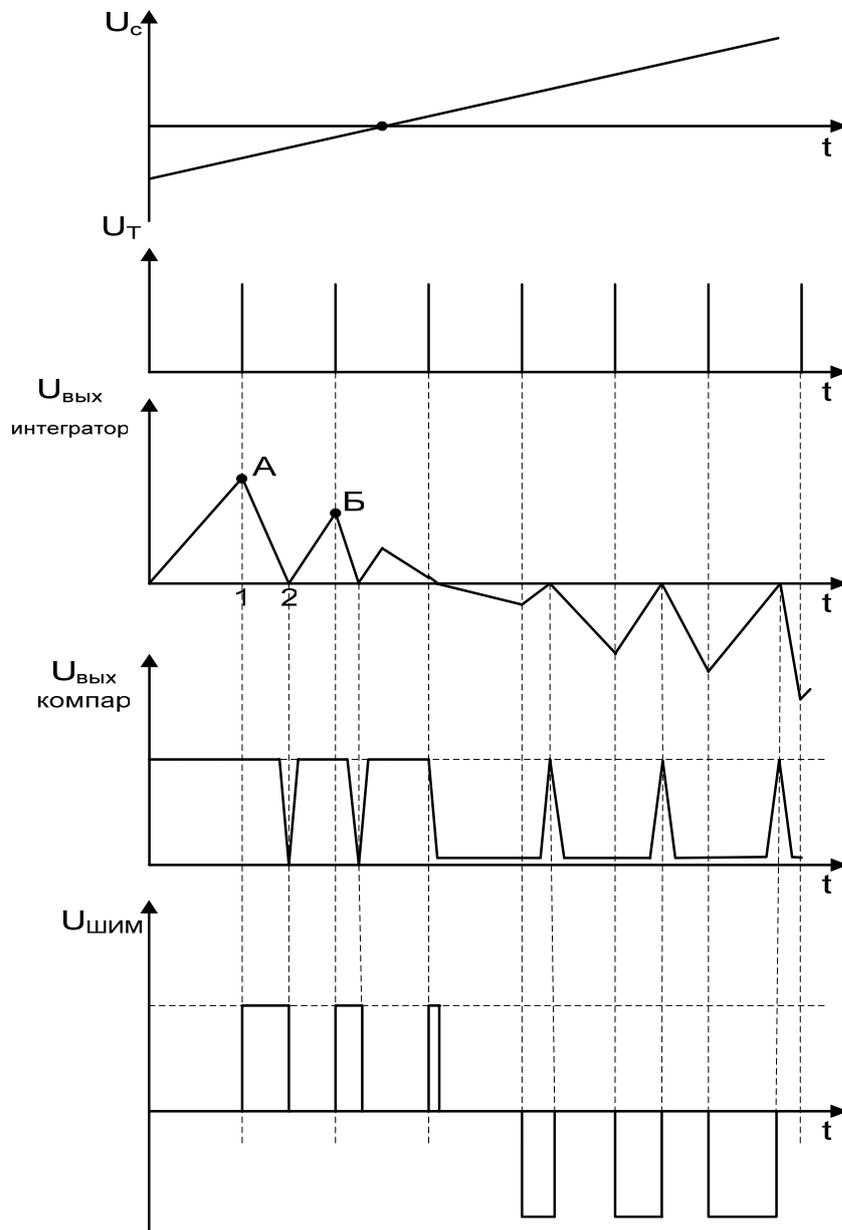


Рисунок 1.57 – Интегральный способ

На вход поступает сигнал произвольной формы. На верхнем графике (см. рисунок 1.57) это прямая из “–” области в “+” область. На втором графике ШИМ тактовые импульсы с неизменной тактовой частотой. Из графика видно, что эти импульсы должны быть более частыми в сравнении с наибольшей частотой сигнала первого графика. Типичное соотношение теоремы Котельникова.

На третьем графике результат интегрирования разности на входе интегратора, образующейся вследствие вычитания сигналов верхнего и нижнего Ушим графиков.

На интервале времени от 0 до 1 на вход поступает только лишь сигнал первого графика в отрицательной области и так как вход инверсный у ОУ, то этот сигнал инвертируется и интегрируется в положительной области от нуля до точки А.

В момент 1 поступает тактовый импульс ШИМ на С входы обоих D-триггеров Т1 и Т2, одновременно на D входе и на R входе триггера Т1 присутствует единица с выхода компаратора по четвертому графику (потому что на его выходе единица, начиная от начала координат и до момента 2, пока выходное напряжение интегратора положительно), следовательно, триггер Т1 перейдет в состояние “1”, $Q1=1$; $\overline{Q1}=0$, через элемент задержки, гальваническую развязку, предмощный каскад, не приведенные на схеме рисунка 1.56, включит силовой ключ “П” или “Т” – образной схем, на якоре двигателя появится импульсом выходное напряжение, показанное на пятом графике рисунка 1.57. Это напряжение через обратную связь подается на вход $U_{ос}$ интегратора, вычитается из входного U_c , поэтому на третьем графике, на интервале А-2 выход интегратора убывает до нуля, компарируется компаратором в отрицательный импульс, который посредством установочного R входа D-триггера Т1 переключает последний в состояние нуля ($Q1=0$, $\overline{Q1}=1$), в итоге через схему управления силовой ключ “П” или “Т” схемы выключается, импульс Ушим пятого графика заканчивается, поступает на вход только сигнал первого графика и т.д. Так продолжается до тех пор, пока напряжение входного сигнала U_c по первому графику находится в отрицательной области, при этом триггер Т2 не переключается, на его D-входе (а также R-входе) низкий уровень с выхода инвертора.

Для сигналов положительной области все аналогично, но ШИМ импульсы пятого графика в отрицательной области. Следовательно, для того, чтобы управлять тиристорами по методу ШИМ необходимо сформировать тактовые импульсы второго графика синхронно с частотой сети.

Один из способов представлен графически на рисунке 1.58. Суть его заключается в выделении полупериодов сетевого напряжения.

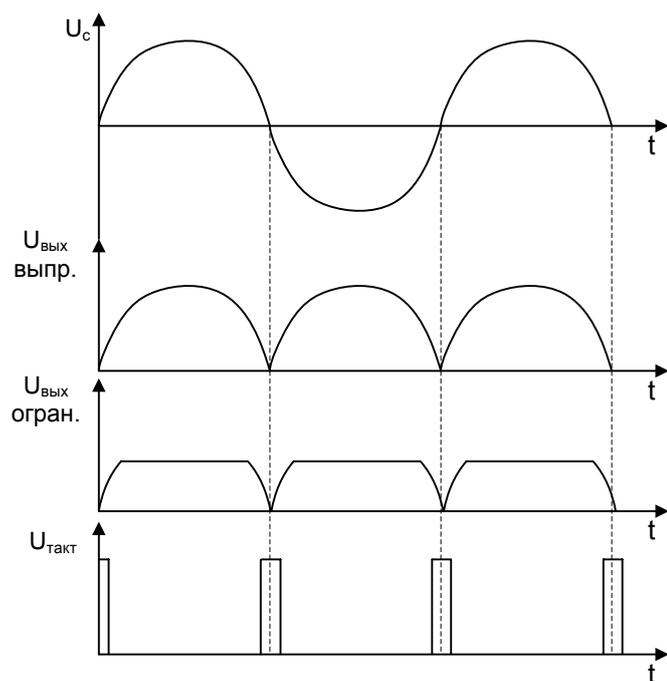


Рисунок 1.58 – Выделение тактовых импульсов

Схема, иллюстрирующая способ, изображена на рисунке 1.59.

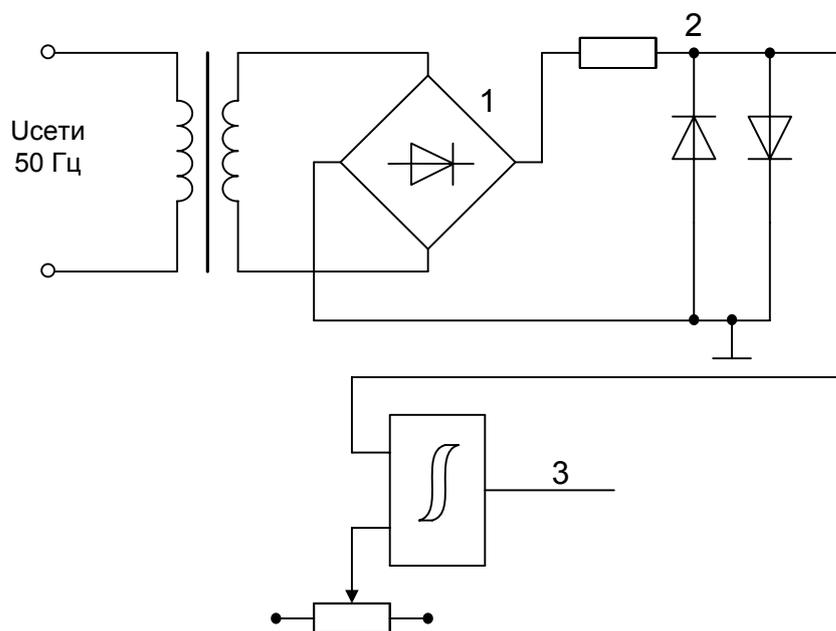


Рисунок 1.59 – Схема выделения импульсов, синхронных сетевому напряжению.

3 Цифровой способ (см. рисунок 1.60).

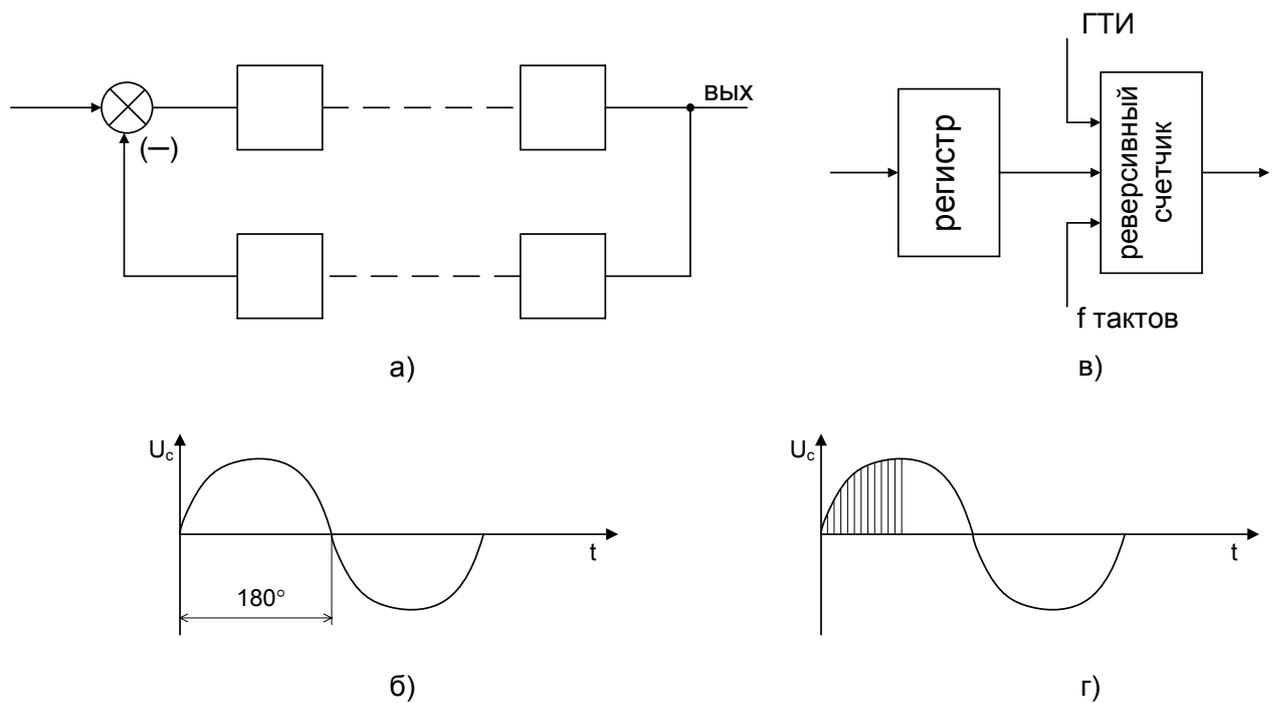


Рисунок 1.60, а – Одна из систем произвольного вида; б – интервал полупериода; в – реверсивный счетчик; г – интервал ШИМ

На рисунке 1.60, а изображена одна из систем произвольного вида, у которой из входного сигнала, определяемого числом импульсов, вычитается сигнал обратной связи, выраженный тоже в виде числа импульсов. Поэтому, \otimes является элементом сравнения. Это сумматор, действующий в режиме вычитания, с прямым двоичным кодом суммируется дополнительный код, т. е. инверсный с дополнением единицы. Примем, что интервал полупериода на рисунке 1.60, б, соответствующий 180° , также эквивалентен 180 импульсам. Это значит, что дискретная погрешность будет менее 1%. Следовательно, если разработчик принимает систему с 1% – ой погрешностью в статическом режиме, то входной сигнал, выраженный количеством импульсов, и сигнал ОС должны содержать не менее, чем в 100 раз большее количество импульсов в сравнении со 180 импульсами. Таким образом на выходе элемента сравнения схемы рисунка 1.60, а может быть любое число импульсов ε в пределах от нуля до 180° , зависящее от входной цифровой величины. Это число ε параллельным образом переносится в реверсивный счетчик схемы рисунка 1.60, в, затем на второй вход этого счетчика подаются тактовые импульсы от генератора тактовых импульсов (ГТИ), синхронные частоте сети (50 Гц). На третий вход поступает $f_{\text{тактов}}$, частота которых выбрана такой, чтобы длительность сетевого полупериода соответствовала длительности принятых 180 импульсов. Конечный импульс обратного считывания реверсивного счетчика будет эквивалентен по времени импульсу ШИМ (рисунок 1.60, г). Недостаток цифрового способа – дискретность, особенно при малых уровнях ε .

1.15 Тиристорная схема управления двигателем постоянного тока от сети переменного тока

В схеме рисунка 1.61 используется фазовое управление. Подается для одного направления вращения U_{y1} (работают тиристоры VT2, VT3, а VT1, VT4 не работают). Для другого направления вращения подается U_{y2} (VT1, VT4 работают, VT2, VT3 не задействованы). U_{\sim} (50 Гц) передается через Тр1.

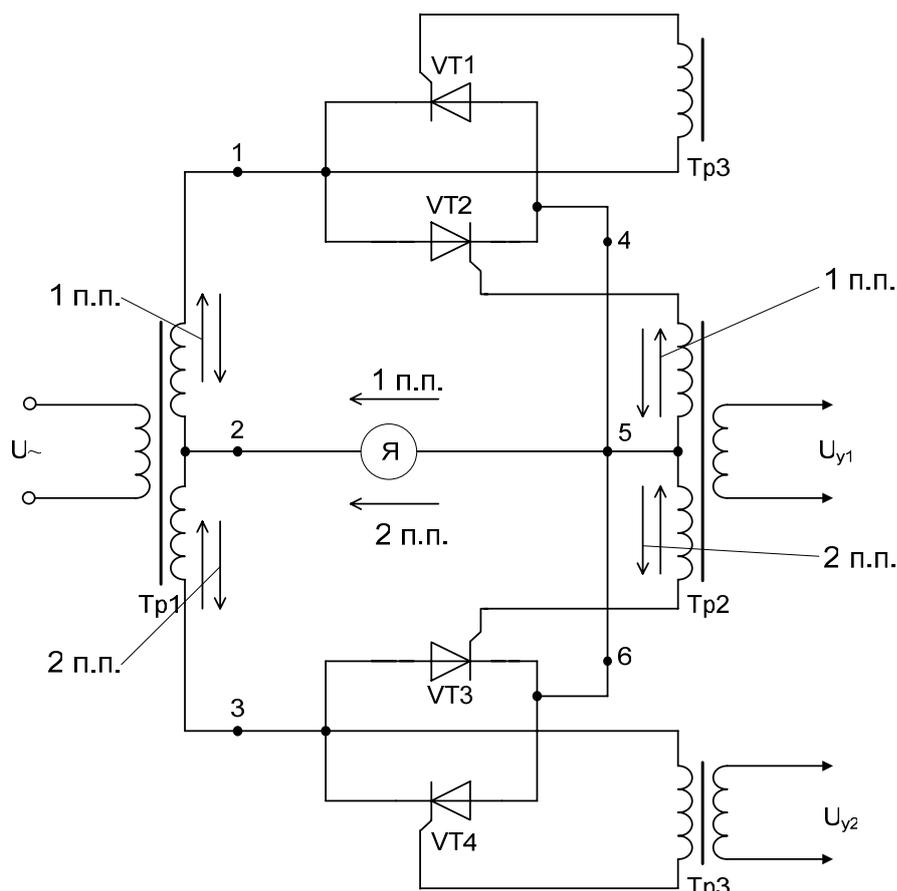


Рисунок 1.61 – Тиристорная схема управления двигателем постоянного тока от сети переменного тока

Первый полупериод (стрелки вверх на рисунке 1.61): в момент достижения фазы U_{y1} положительной открывающей для тиристора VT2 полярности образуется цепь: Тр2 ... управляющий электрод VT2 ... точка 4 ... точка 5. Следовательно, тиристор VT2 открыт. Тиристор VT3 закрыт, так как у него управляющее напряжение против открывающего направления управляющего электрода.

По силовой цепи:

верхняя стрелка Тр1 вверх ... точка 1 ... VT2 ... точка 4 ... точка 5 ... Я ... точка 2.

Второй полупериод:

В соответствующий фазовый момент открывается VT3 по цепи стрелка вниз Тр2 ... управляющий электрод VT3 ... точка 6 ... точка 5.

В силовой цепи:

стрелка вниз... точка 3... открытый VT3... точка 5... Я... точка 2.

Для реверсирования подается U_{y2} , действуют VT1, VT4. Все аналогично, но стрелки в цепи якоря слева направо. Закрываются тиристоры полупериодами обратных напряжений, при этом токи становятся меньше токов выключения и тиристоры самопроизвольно закрываются.

Если производится сборка П- или Т-схем, то включать по одному тиристоры вместо транзисторов нельзя, так как после открывания сквозные токи сожгут схему. Поэтому ставят ключи типа двухтиристорных с 8-ю диодами, индуктивностями, со схемой, изображенной на рисунке 1.48.

1.16 Тиристорная схема управления двигателем постоянного тока от сети постоянного тока

Вариант схемы изображен на рисунке 1.62.

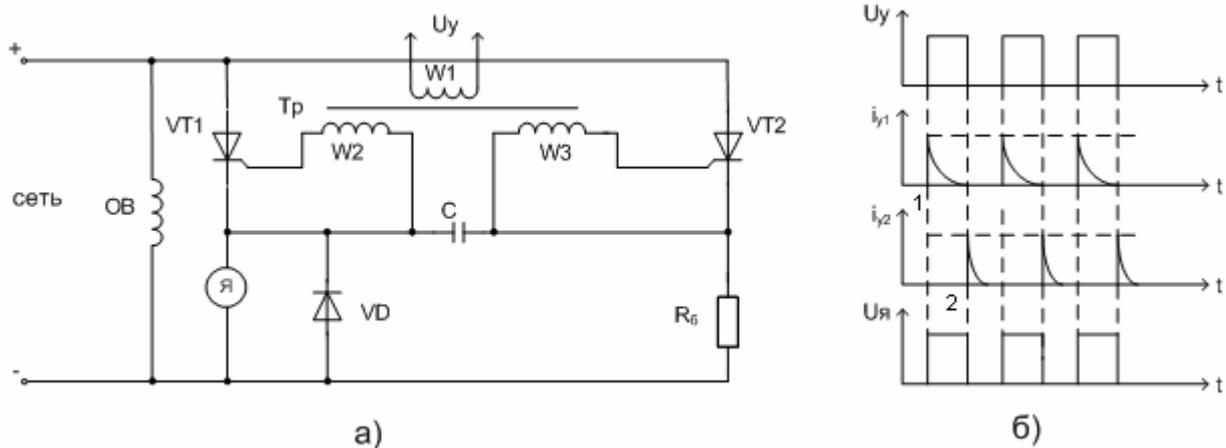


Рисунок 1.62 – Тиристорная схема управления двигателем постоянного тока от сети постоянного тока (а); временные диаграммы (б)

Примем вначале, что $U_y=0$, включим только сетевое напряжение, которое прикладывается к обмотке возбуждения двигателя ОВ и к закрытым тиристорам VT1, VT2. Протекает ток обмотки возбуждения, но в цепи якоря тока нет, вал двигателя не вращается. Подадим теперь управляющее напряжение U_y на обмотку W1 трансформатора Тр, это прямоугольные импульсы ЧИМ метода, изображены на первом графике рисунка 1.62, б. Фронты этих импульсов индуцируют токи открывающего направления в цепи управляющего электрода VT1 по второму графику, а спады – в цепи управляющего электрода VT2 по третьему графику. Таким образом, в момент 1 открывается VT1, на якоре возникает напряжение сети по четвертому графику, протекает тока якоря. Кроме того, образуется цепь заряда конденсатора С:

+ сеть... открывшийся VT1... конденсатор С... резистор Rб (балластный)... - сеть. На обкладках С плюс слева, минус – справа.

В момент 2 по спаду импульса индуцируется ток, открывающий VT2, как изображено на третьем графике рисунка 1.62, б. Т.е. некоторое время (доли микросекунд) оба тиристора VT1 и VT2 открыты одновременно. Образуется цепь разряда конденсатора С: + С слева... открытый тиристор VT1 в обратном направлении...

открытый тиристор VT2 в прямом направлении... - С справа. Ток разряда конденсатора С, вычитается из прямого тока открытого тиристора VT1, следовательно общий ток становится меньше тока выключения и VT1 закрывается. Так как якорь Я содержит индуктивность, то должен быть удовлетворен закон сохранения тока, означающий, что в течение некоторого небольшого времени после закрывания VT1 ток в цепи якоря должен быть прежним. Для удовлетворения этого установлен диод VD, ток протекает по цепи: якорь сверху вниз... диод снизу вверх. Если бы не было диода VD, то прежнее значение якоря Я должно было бы протекать через закрывающийся и закрывшийся VT1, но сопротивление закрывшегося VT1 велико, поэтому ЭДС самоиндукции, поддерживающая прежнее значение тока якоря, должна быть большой, она может пробить закрывшийся VT1. Таким образом, диод VD выполняет защитную роль.

В первом приближении по экспоненте, ЭДС самоиндукции, а вместе с ней и ток якоря убывают.

Так как тиристор VT2 остается открытым, через него протекают два тока. Первый по цепи: + сеть... открытый VT2... конденсатор С... якорь Я... - сеть. Этот ток перезаряжает конденсатор с полярностью -слева, +справа. Другой ток по цепи: + сеть... открытый VT2... Rб... - сеть. Этот ток снижает к.п.д. схемы. Кроме того, цепь RбС ограничивает частотный диапазон схемы - это тоже недостаток.

2 ЛОГИЧЕСКИЕ СХЕМЫ

2.1 Основные определения

Электронные схемы, построенные только на логике, называют комбинационными. Выход или выходы зависят только от комбинации переменных на входах.

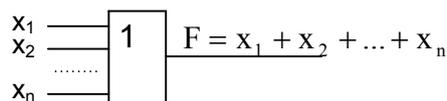
В отличие от таких же схем, содержащих элементы памяти (например, триггеры), которые называют последовательностными. Последовательностные, так как выход (выходы) зависят не только от комбинации переменных, но и от состояния элементов памяти (последовательности записи в них).

Выделяют три основных вида логических элементов:

1 Выполняют операцию сложения (сумматор). Дизъюнкция.

$$F = x_1 + x_2 + \dots + x_n$$

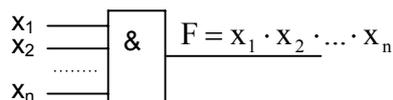
x_1	x_2	F
0	0	0
0	1	1
1	0	1
1	1	1



2 Выполняют операцию умножения. Конъюнкция.

$$F = x_1 \cdot x_2 \cdot \dots \cdot x_n$$

x_1	x_2	F
0	0	0
0	1	0
1	0	0
1	1	1



3 Выполняют отрицание.

$$F = \bar{x}$$

\bar{x}	F
0	1
1	0

Логические элементы, реализующие эти операции, называют простейшими, а те, которые содержат несколько простейших, называют комбинированными.

Большая часть логических элементов сложения, умножения выполняется с отрицанием. Их типовая характеристика в статическом режиме имеет вид, изображенный на рисунке 2.1.

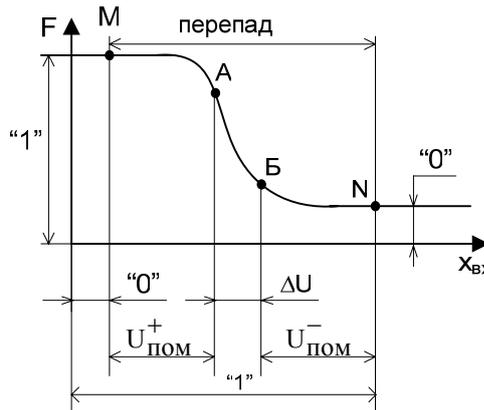


Рисунок 2.1 – Статическая характеристика логических элементов с отрицанием

$U_{\text{пом}}^+$ – помеха, которая выводит логический элемент из устойчивого состояния М на начало активной области в точку А (см. рисунок 2.1).

$U_{\text{пом}}^-$ – помеха, выводящая из устойчивого состояния N в подножье активной области точки Б.

ΔU – активная область, рабочая точка в этой области перемещается скачком, и большинство логических элементов имеет ограничение по времени нахождения рабочей точки в этой области. Внутри между точками А и Б можно устанавливать рабочую точку только радиолюбителям.

В зависимости от цифровых величин $U_{\text{пом}}^+$, $U_{\text{пом}}^-$ выделяют три вида логических схем:

- низкая помехоустойчивость (0,3÷0,4 долей вольта);
- средняя помехоустойчивость (0,4÷1 В);
- высокая помехоустойчивость (выше 1 В).

К схемам с высокой помехоустойчивостью относятся диодные логические схемы (до нескольких кВ); станковая логика (10÷15 В); комплементарная логика КМОП (6÷8 В).

По быстродействию выделяют четыре типа:

- время задержки менее 5 нс – сверхбыстродействие;
- 5÷10 нс – быстродействующая логика;
- 10÷50 нс – малое быстродействие;
- более 50 нс – медленнодействующие логические схемы.

Важным параметром является потребление мощности.

- 1 Выделяют микромощные логические схемы от одного до десятков мкВт на корпус. Обычно это КМОП–логика (см. КМОП–ключи) или логика с инжекционным питанием.
- 2 Логика со средним потреблением мощности от одного до десятков мВт на корпус. Обычно это ТТЛ–логика.
- 3 Логика с высоким потреблением мощности (сотни мВт на корпус).

Ранее была тенденция: чем больше потребление, тем выше быстродействие, потому что элементы транзисторов различных типов переключаются наиболее быстро в активной области (в этой области наибольшее потребление).

Выделяют

- диодные логические схемы (наиболее простые);
- транзисторно–транзисторные (ТТЛ–логика);
- эмиттерно–связная логика (ЭСЛ) – разновидность ТТЛ, отличие в эмиттерных связях, режиме и отрицательном питании, поэтому логику еще называют отрицательной в отличие от положительной логики ТТЛ (+2...5В). Для соединения, согласования их друг с другом, применяют схемы согласования ПУ (преобразователи уровня К500, ПУ124, ПУ125, К176 ПУ1, ПУ10).
- логика с инжекционным питанием И²Л – разновидность ТТЛ–логики (И² – интегральная с инжекционным питанием).
- КМОП–логика – разновидность ТТЛ, но на УТ разного типа проводимости.
- ОПТЛ – (оптронные связи, транзисторная логика) дает гальваническую развязку.
- логика ПТШ, использующая полевые транзисторы Шоттки.
- логические матрицы.

По температурному запасу выделяют

- микросхемы широкого применения с температурным диапазоном -10°С...+70°С
- микросхемы специального применения -60°С... +125°С

Выделяют также по числу входов и по нагрузочной способности

- с малым числом входов m до десяти
- с большим числом входов – свыше десяти
- с малой нагрузочной способностью n , равной единице.

Под нагрузочной способностью подразумевают количество однотипных логических схем, которые можно подключить к выходу точно такой же логической схемы. Малую нагрузочную способность имеют пассивные логические схемы.

- со средней нагрузочной способностью n до десяти
- с высокой нагрузочной способностью $n > 10$

2.2 Диодные логические схемы

Это самые простые схемы, имеют наивысшую помехоустойчивость. Число входов в среднем достигает десяти. Нагрузкой обычно является один элемент. Имеется ввиду, что нагрузка - точно такой же ЛЭ. Малая нагрузочная способность потому, что эти схемы относятся к пассивным, нет усилителей мощности. Частотный диапазон невысокий (до 1 МГц), так как объединенные параллельные диодные входы эквивалентны объединению параллельных конденсаторов, которые заряжаются, разряжаются. На это необходимо время, снижается быстродействие.

На рисунке 2.2 представлена диодно–логическая схема сложения.

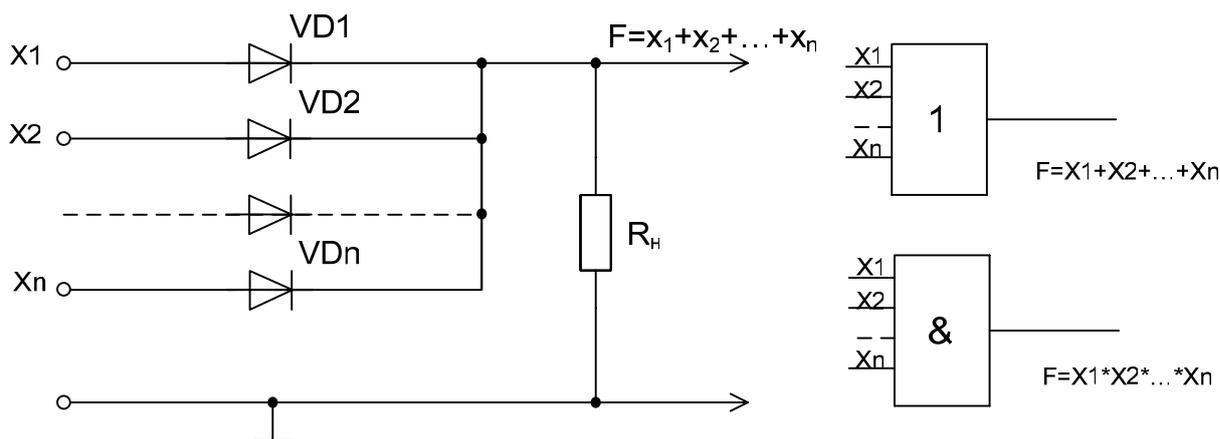


Рисунок 2.2 – Диодно–логическая схема сложения

Возможны два состояния:

1 Входы соединены с землей через открытые выходы таких же логических схем. Иногда принимают это состояние эквивалентным соединению всех входов с землей посредством проводников.

2 Для того, чтобы открыть диоды необходимо подать напряжение, уровень которого в несколько раз больше зоны нечувствительности диодов.

5 В – минимальное стандартное напряжение, но оно может быть и 500 В и 5 кВ, если диоды высоковольтные. В этом случае и нагрузочная способность может быть больше единицы, но потребление схем становится большим.

Схема работает следующим образом. Принимаем, что на вход X_1 подается высокий уровень напряжения, который называется единицей. Этот уровень должен поступать с выхода точно такой же логической схемы, или каким-то другим способом, имитирующим те же условия. Но так как единица поступает только на вход X_1 , то на остальных входах $X_2 \dots X_n$ должны быть нули. Они тоже должны быть организованы выходами таких же логических схем. В простейшем случае это могут быть проводники (перемычки), соединяющие входы $X_2 \dots X_n$ с землей. Следовательно, диод VD_1 будет открыт, высокий уровень X_1 через VD_1 проходит на выход, на котором выделяется также этот высокий уровень, из которого вычитается падение напряжения на диоде. Т.е. на выходе будет уже меньший высокий уровень, тем не менее, его называют единицей. Диоды $VD_2 \dots VD_n$ в это время будут закрыты, так как на входах $X_2 \dots X_n$ низкие уровни, их барьерные емкости включены параллельно, накапливают заряд.

Если теперь подать высокий уровень на вход X_2 , то откроется VD_2 но состояние выхода F почти не изменится, т.е. там сохраняется высокий уровень – единица. То же самое будет при подаче единицы на все входы одновременно. Таким образом, удовлетворяется операция логического сложения.

Принцип двойственности состоит здесь в том, что если единицами назвать низкие уровни на входах и на выходе, то эта логическая схема сложения будет выполнять логическую операцию умножения (см. рисунок 2.2).

Физический смысл заключается в том, что низкий уровень на выходе, который назван единицей, будет только в том случае, если на всех входах одновременно будут низкие уровни, которые тоже названы единицами.

На рисунке 2.3 представлена диодная схема логического умножения.

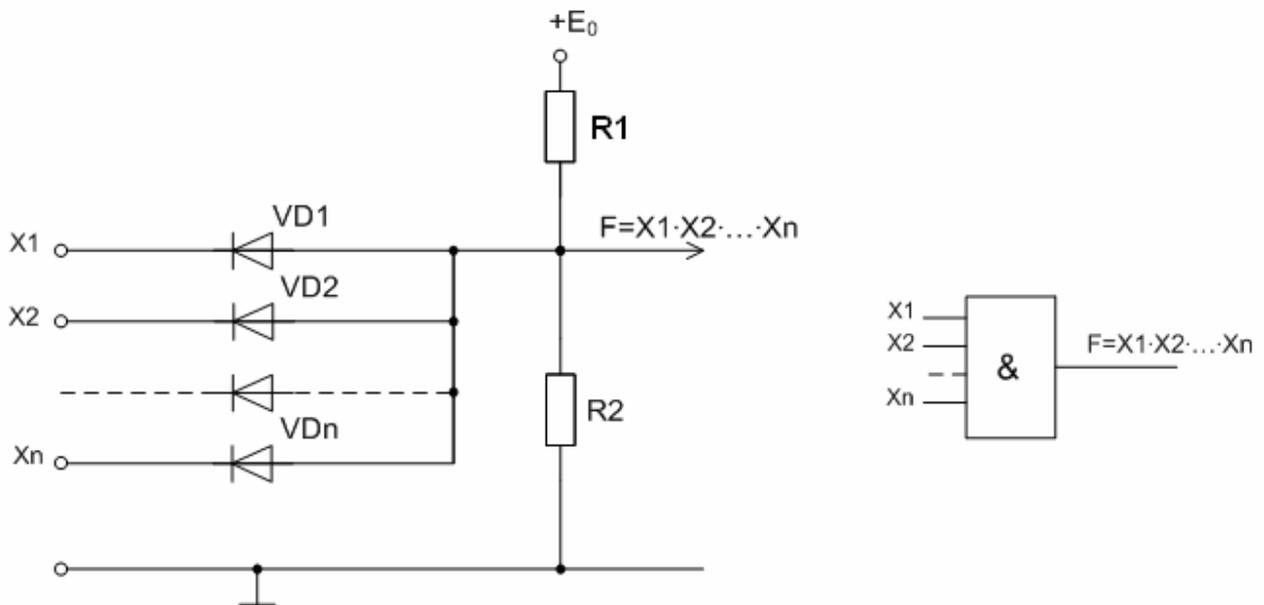


Рисунок 2.3 – Диодная схема логического умножения

Если все диоды закрыты высокими уровнями (единицами), то ток протекает по цепи $+E_0 \dots R_1 \dots R_2 \dots \perp$. На выходе выделяется результат деления E_0 между R_1 и R_2 , который называется высоким уровнем. В том случае, когда на одном из входов низкий уровень, образованный такой же, другой диодной схемой, образуется цепь $+E_0 \dots R_1 \dots$ например $VD_1 \dots X_1 \dots$ выход предыдущей логической схемы $\dots \perp$. Следовательно, на выходе F выделяется в сущности падение напряжения на VD_1 и к нему добавляется падение напряжения на внутреннем сопротивлении такой же, но другой логической схемы, т. е. низкий уровень “0”, удовлетворяется операция логического умножения.

Принцип двойственности:

Если низкий уровень на входе назвать единицей, то низкий уровень на выходе тоже единица будет в том случае, когда хотя бы на одном любом входе будет “1”.

Широко применяется схема умножения в ИМС 533, 535 серии.

2.3 ТТЛ логические схемы

Типичный представитель этих микросхем – 155 серия. Она уже не выпускается, но так как основные схемные решения те же, что и в более современных, отличие только в особенностях, то есть смысл, с учебной целью,

начать рассмотрение именно этой логической схемы. Кстати, микросхемы 155 серии взаимозаменяемы с более современными.

Основные параметры:

- напряжение питания +5 В (современные ТТЛ схемы – 2...3В);
- уровень нуля в диапазоне от +0,05 до +0,4 В;
- уровень единицы в диапазоне от +2,4 до +4,9 В;
- помехоустойчивость средняя – это диапазон между нижним уровнем единицы и верхним уровнем нуля;
- потребление среднее (1 – 10 мВт);
- среднее время задержки 10 нс;
- температурный диапазон –10 – +70 °С;

Принципиальная схема одной из логических ТТЛ-схем изображена на рисунке 2.4.

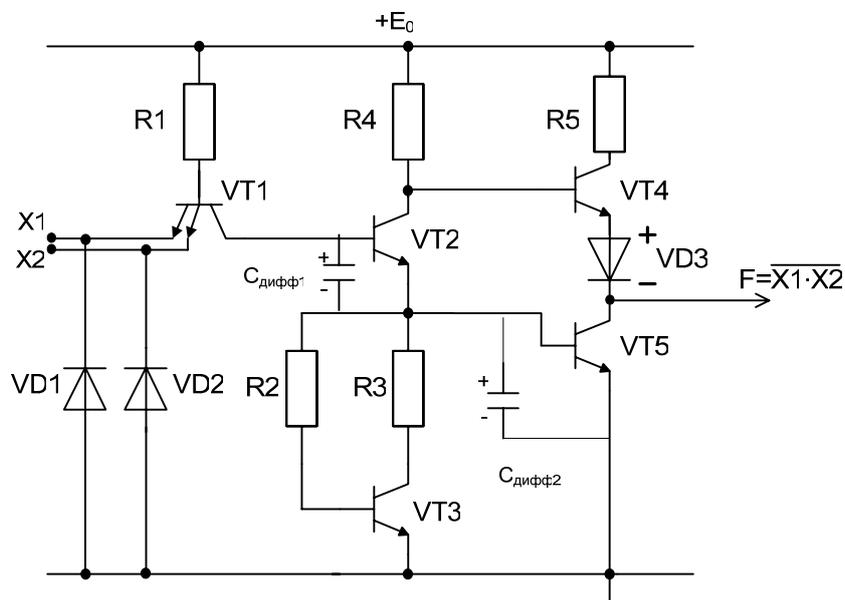


Рисунок 2.4 – ТТЛ логическая схема

Диоды VD1 и VD2 имеют два назначения:

1 Противозвонное назначение. Смысл в том, что при переходе от нуля к единице или наоборот возникают колебательные процессы. И эти колебательные процессы затухают быстрее, если есть диоды VD1, VD2.

2 Входы ЛЭ не допускают даже кратковременную подачу отрицательных уровней, но иногда такое случается. Диоды их закорачивают, защищают входы.

VT1 – многоэмиттерный транзистор. Каждый отдельный эмиттер – отдельный вход. Количество в среднем до десяти, т. е. эта схема содержит усилительные элементы в отличие от предыдущей, поэтому к выходу можно подключить до десяти точно таких же логических схем.

Многоэмиттерный транзистор действует в двух режимах:

1 В прямом режиме, если на одном или на всех входах низкие уровни, образованные открытым транзистором VT5 предыдущей логической схемы. В этом случае входной электрод или оба одновременно действуют в эмиттерном

режиме, коллекторный – в коллекторном режиме, базовый – в базовом. Токи протекают по следующим цепям:

+E₀ ... R₁ ... Б – Э VT1 ... X₁ ... вых F ... VT5 предыдущей логической схемы ... земля

Из базы VT2 ... К – Б – Э VT1 ... X₁ и т.д.

2 Если одновременно на все входы без исключения подается высокий уровень с выхода другой логической схемы, то VT1 действует в инверсном режиме, а именно: оба эмиттерных электрода действуют в коллекторном режиме, а коллекторный электрод VT1 в эмиттерном режиме. Токи:

+E₀ ... R₁ ... Б – К VT1 ... Б – Э VT2 ... Б – Э VT5 ... земля, а часть тока протекает в цепь ГСТ, образованного R₃, R₄, VT3. Открывается VT2, начинает протекать ток по цепи:

+E₀ ... R₄ ... открывающийся VT2 ... Б - Э VT5 ... земля

Эта цепь открывает VT5, следовательно, выход F через открытый VT5 соединяется с землей, выходное сопротивление F невелико, этим ускоряется разряд емкостей нагрузки, повышается быстродействие схемы. Т.к. выход F почти соединен с землей, на нем низкий уровень, называемый нулем.

Резистор R1 устанавливает необходимую величину базового тока VT1 (≈4кОм).

Транзистор VT2 предназначен для усиления по току, действует в основном в эмиттерном режиме, хотя есть и коллекторный резистор R₄, с которого снимается ток в цепь базы VT4.

R₂, R₃, VT3 – генератор стабильного тока (ГСТ).

Физический смысл работы схемы заключается в следующем. В некоторых случаях, в книгах, изображают резистор вместо этой схемы, подразумевая эту схему. Для того, чтобы уменьшить потери на подложке, а также площадь на поверхности подложки, используют процессы, изображенные на рисунке 2.5.

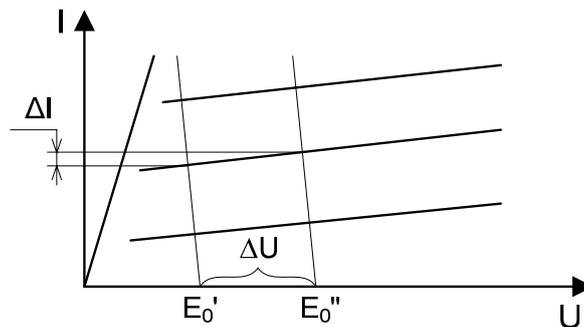


Рисунок 2.5 – Процессы в схеме ГСТ

По отношению к VT3, цепь VT2–R₄ имеет небольшое сопротивление. Поэтому нагрузочная прямая изображается с малым наклоном влево из точки E₀^I. При повышении напряжения до E₀^{II} происходит одновременное смещение нагрузочной прямой.

$$R_{\text{динами.}} = \frac{\Delta U}{\Delta I} \quad (\text{высокое})$$

Таким образом, в случае нестабильности напряжения питания в диапазоне от E_0' до E_0'' динамическое сопротивление высокое. С другой стороны, высокое сопротивление только в диапазоне ΔU , а статическое сопротивление постоянного тока примерно на порядок меньше. Следовательно, потери тоже небольшие. В сравнении с эквивалентным резистором, снижается нагрев подложки микросхемы.

Транзистор VT5 совместно с VT4 образует инвертор, который в литературе называют мощным инвертором. Если на входы X1 и X2 одновременно подать высокие уровни, транзистор VT1 работает в инверсном режиме, через переходы Б – Э VT2, VT5 протекают токи, следовательно, VT2, VT5 открыты.

С одной стороны выход F через открытый транзистор VT5 соединен с землей. На нем низкий уровень, “0”. Выходное сопротивление выхода F минимальное.

С другой стороны, так как VT2 открыт, образуется цепь $+E_0 \dots R_4 \dots VT2 \dots БЭ VT5 \dots земля$ – это основная токовая цепь, открывающая транзистор VT5. Т. е. ток резистора R4 не ответвляется в цепь базы VT4, а уходит в открытый VT2. На диоде VD3 выделяется падение напряжения в соответствии с рисунком 2.6

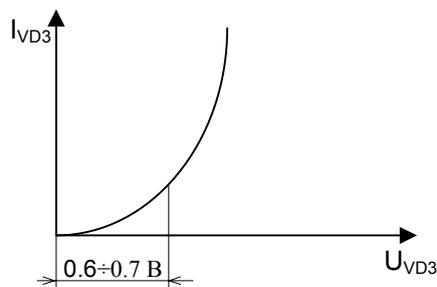


Рисунок 2.6 – Типовая диодная характеристика

Плюс падения напряжения на VD3 прикладывается к эмиттерному электроду транзистора VT4, а минус через открытый VT5…открытый VT2… к базе VT4, удерживают VT4 закрытым. Следовательно, на выходе F будет наблюдаться низкий уровень при двух высоких на входах X1, X2.

Так как в цепях Б – Э VT2, Б – Э VT5 протекают открывающие токи, то образуются диффузионные заряды в объемах баз. Условно считаем, что это эквивалентно подключению двух конденсаторов $C_{дифф.1}$ и $C_{дифф.2}$ (в действительности их нет). Напряжение каждого такого конденсатора равно падению напряжения на переходе Б – Э $0.6 \div 0.7$ В (см. рисунок 2.6, как у диода). Теперь подадим на любой из входов (X1, X2 или на оба одновременно) низкий уровень. Транзистор VT1 переходит в нормальный для него режим. Эмиттерный электрод выполняет эмиттерную роль, коллекторный – коллекторную.

Из базы транзистора VT2 вытекает ток, поэтому VT2 закрыт. Вместе с ним закрыт VT5, следовательно, ток резистора R4 не может протекать через закрытый VT2, направление ему в Б – Э VT4, VD3, выход F и нагрузку, не изображенную на схеме и т. д. Следовательно, VT4 открыт. Образуется цепь $+E_0 \dots R_5 \dots VT4 \dots F \dots нагрузка$. На выходе F выделяется высокий уровень,

называемый единицей. Выходное сопротивление F невелико, т.к. VT4 открыт, а источник питания E_0 по переменной составляющей считается связанным с землей.

Выводы:

- 1 Схема инвертирует входные логические сигналы.
- 2 Это схема безусловного подчинения нулю (низкому уровню) по одному или всем входам. Если на любой из входов подать нуль, на выходе принудительно выделится единица.

Включение ускоряется потому, что в схеме три транзистора включены как один, а именно: если на все входы одновременно подать высокие уровни, то протекают токи, открывающие VT2, VT5 по цепи.

$X_1 \dots VT1$ иверсный режим $\dots Б - Э VT2 \dots Б - Э VT5 \dots$ земля

Форсирование закрывания объясняется тем, что условные конденсаторы $C_{\text{дифф.1,2}}$ были заряжены на интервале открытого состояния VT2, VT5, и после подачи низкого уровня на любой из входов образуется цепь

+ базы VT2 \dots открытый VT1 \dots например $X_1 \dots$ открытый VT5 предыдущей логической схемы \dots земля $\dots C_{\text{дифф.2}}(Э - Б VT5) \dots C_{\text{дифф.1}}(Э - Б VT2)$.

Собственно в этой цепи включены два источника с напряжением $0.6 \div 0.7$ В (в сумме $1.2 \div 1.4$ В), которые образуют этот разрядный ток для диффузионных емкостей, одновременно форсирующий закрывание VT2, VT5.

При переключении транзисторов VT4, VT5, на интервале времени, равном десятым долям наносекунды, когда один транзистор из пары открылся, а второй еще не закрылся из-за наличия этапа рассасывания, протекает сквозной ток по цепи:

$\dots +E_0 \dots R5 \dots$ закрывающийся VT4(например) \dots диод VD3 \dots открывающийся VT5 \dots земля.

Этот сквозной ток в среднем на порядок превышает ток нагрузки, образуя выброс. В соседних цепях печатной платы, в жгутах возникают наводки, которые могут привести в ложному срабатыванию соседних микросхем. Для предотвращения рекомендуется к электродам питания микросхем (например 7, 14) припаивать конденсаторы емкостью до 100 ПФ. В моменты переключений транзисторов выбросы сквозных токов потребляются из конденсаторов, тем более потому, что цепи питания имеют распределенные индуктивности, представляющие для быстро протекающих процессов повышенное сопротивление. Следовательно, уровень помех в цепях питания снижается.

Сквозные токи – один из основных недостатков ТТЛ серии. На электрических принципиальных схемах часто изображают несколько конденсаторов, включенных параллельно. Объяснение здесь в том, что разные конденсаторы неодинаково фильтруют помехи. Например, электролитические конденсаторы с большой емкостью плохо фильтруют высокочастотные составляющие. Электролитическая лента внутри конденсатора свернута в трубку, представляющую собой индуктивность, препятствующую прохождению высокочастотных помех. Поэтому параллельно электролитическим включают керамические конденсаторы, емкость которых меньше, но они лучше фильтруют высокочастотный спектр.

Некоторые особенности ТТЛ-серии:

1 Состояние типа “Z”.

Выходы микросхемы, изображенной на рисунке 2.4, нельзя соединять напрямую с выходами такой же схемы, потому что, если транзистор VT5 одной из них открыт, а второй – закрыт, то произойдет короткое замыкание. В таком случае необходимы микросхемы, у которых не два состояния, а три (третье – типа “Z”, при котором VT4, VT5 одновременно закрыты). Программированием исключается состояние короткого замыкания. Выход F в этом случае имеет высокое выходное сопротивление, так как оба транзистора закрыты.

Схема логического элемента с состоянием типа Z изображена на рисунке 2.7.

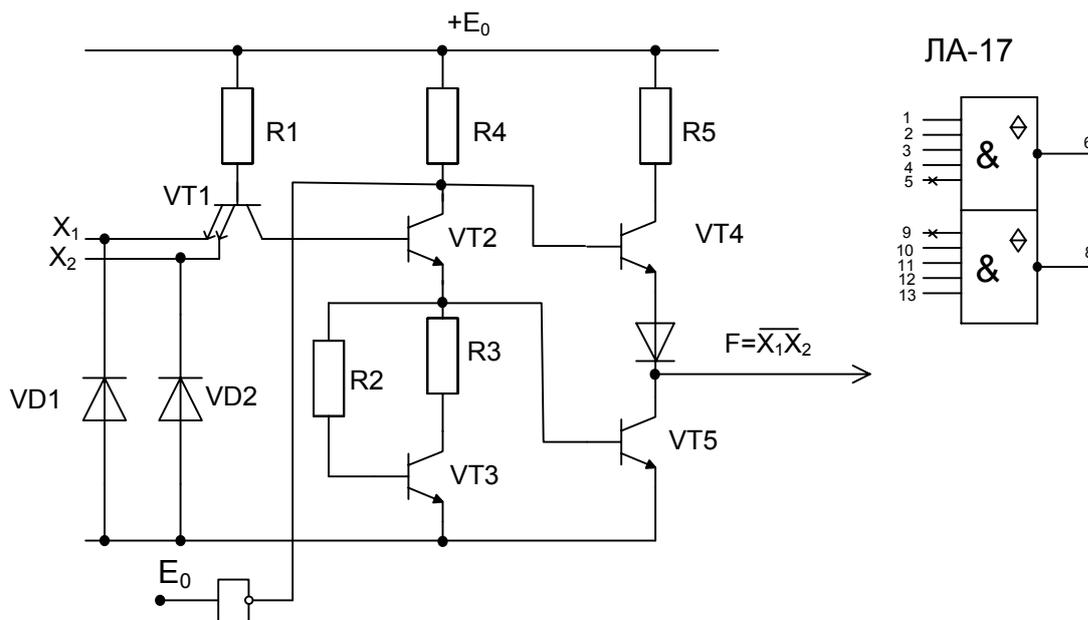


Рисунок 2.7 – Логический элемент с состоянием типа “Z”.

Если на входе E_0 инвертора “1”, то на выходе будет “0”, следовательно, образуется цепь, соединяющая VT2 с землей (коллекторный электрод). VT2, VT4, VT5 одновременно закрыты, так как ток транзистора VT1 уходит через Б–К VT2 на землю и ток R_4 тоже уходит на землю.

2 Объединение выходов.

Используется микросхема (см. рисунок 2.8) с открытым коллектором (бывает с открытым эмиттером).

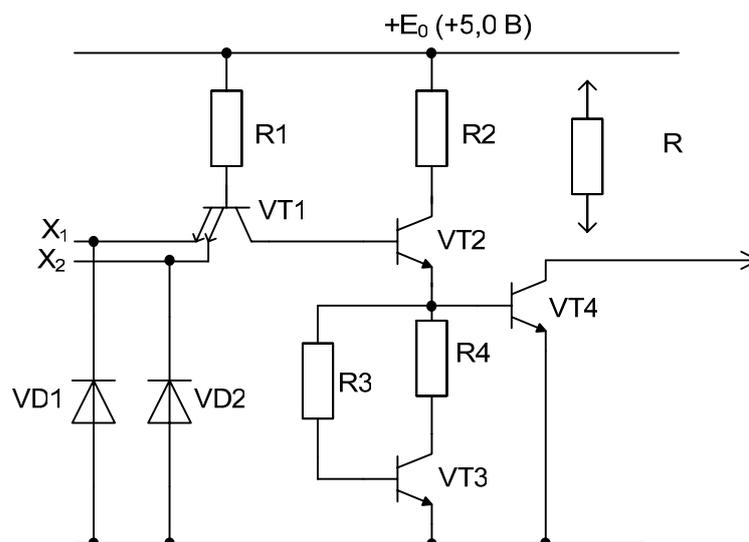


Рисунок 2.8 – Микросхема с открытым коллектором

Выходы этих микросхем можно соединить друг с другом, но величину тока необходимо рассчитывать по наихудшему случаю. Обычно последовательно с коллекторным электродом включают элементы индикации, светодиоды, обмотки реле, цепи других логических элементов.

Если на входы подавать импульсы, то на выходе в этом виде импульсов не будет, так как нет напряжения. Чтобы наблюдать импульсы, необходимо дополнить схему резистором R. Тогда в цепи этого резистора и транзистора VT4 появится импульсный ток, а на экране осциллографа импульсы напряжения. Допустимые величины тока для ЛА7 - 15 мА, ЛА8 - 5 мА.

2.4 Особенности 530, 531, 533, 555 серий

На рисунке 2.9 приведена микросхема 530, 531 серий.

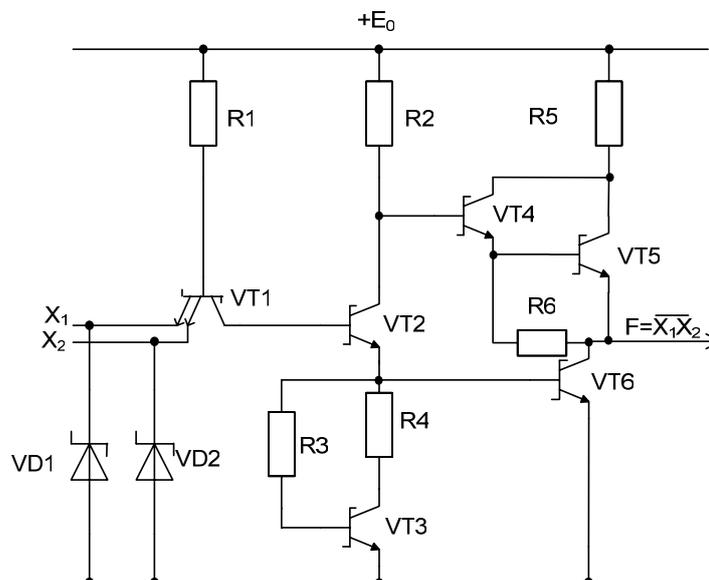


Рисунок 2.9 – Микросхема 530, 531 серий

На рисунке 2.10 приведена микросхема 533, 555 серий.

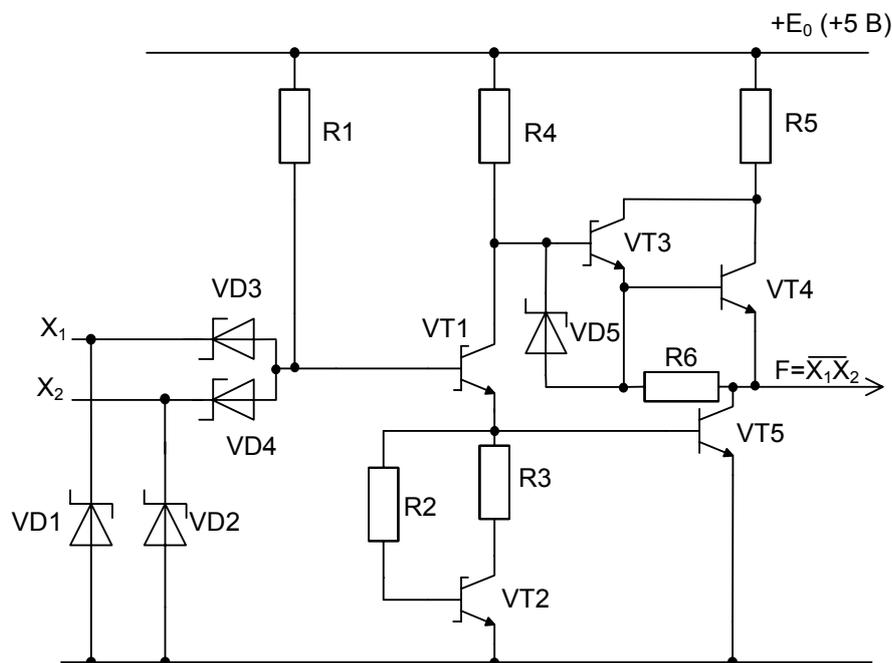


Рисунок 2.10 – Микросхема 533, 535 серий

В действительности транзистора Шоттки нет, есть схема, представленная на рисунке 2.11, которая в упрощенном виде изображается как транзистор Шоттки.

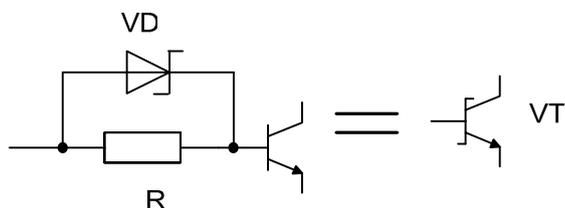


Рисунок 2.11 – Схема транзисторного ключа с диодом Шоттки

Последующие серии ТТЛ являются развитием 155 серии. Эти микросхемы взаимозаменяемы, в том числе и с 155 серией. Они обладают большей мощностью, так как на выходе находятся составные транзисторы. Величина коэффициента разветвления может достигать 20, это значит, что можно подключать до 20 таких же логических схем. Обладают повышенным быстродействием: 5 ÷ 6 нс. Применяются диоды и транзисторы Шоттки.

У серий 530, 531 входы образованы многоэмиттерными транзисторами, а у серий 533, 535 – диодными логическими схемами умножения (см. диодные логические схемы).

Микросхемы ТТЛ серий SN74/SN54 (74 – коммерческая, 54 – для военного применения). Аналог :

SN74 – серия 155

SN74S/ SN54S – серии 530, 531

SN74LS/ SN54LS – серии 533, 555

Серия SN74F/ SN54F фирмы Faizchild (Fast-Faizchild Advanced Schottky), аналог 1531

Серия SN74ALS/SN54ALS - аналог 1533

Серия SN74AS/SN54AS

S – Schottky, LS – Low power Schottky, ALS – Advanced Low Power Schottky, AS – Advanced Schottky, Advanced – усовершенствованный.

Полное совпадение номеров выводов и обозначений типа для ИМС одинакового функционального ряда.

В обозначении микросхем на первом месте могут стоять цифры 1, 5, 6, 7 – полупроводниковые.

2, 4, 8 – гибридные, 3 – прочие (пленочные, керамические). На втором месте цифры номера серии от 00 до 99 или от 000 до 999. Третий элемент условного обозначения – две буквы, обозначающие подгруппу и вид микросхемы, определяющие основное функциональное назначение. Четвертый элемент – число, обозначающее порядковый номер разработки ИС по функциональному признаку в данной серии.

Отсчет электродов – по часовой стрелке от метки, смотреть надо на электроды.

2.5 Станковая логика. 511 серия

Основные параметры:

– напряжение питания +15 В, но может быть до 25 В без гарантии на параметры;

– уровень единицы +12 В ($0.9 E_0$);

– уровень нуля 1.5 В ($0.1 E_0$);

– температурный диапазон -10 – +70 °С;

– высокая помехоустойчивость, так как велика разность между нулём и единицей;

– невысокое быстродействие (50 нс);

– большое потребление (100 мА на корпус).

На рисунке 2.12 приведена схема данной серии.

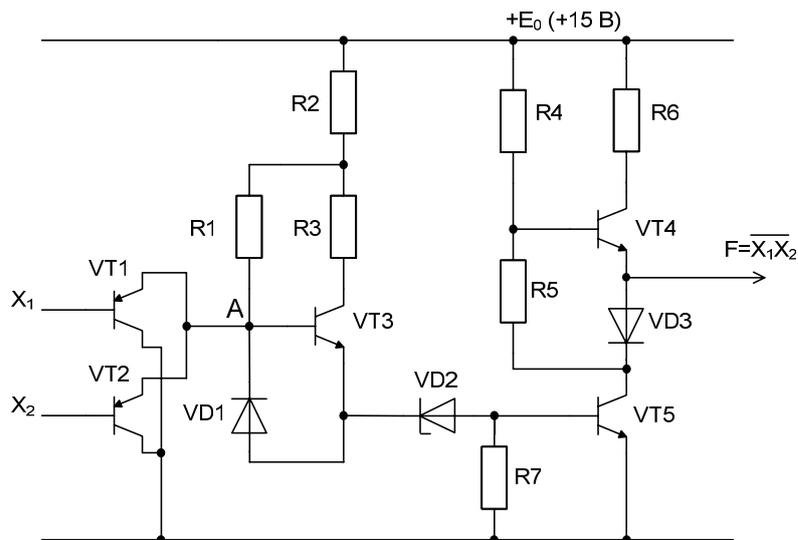


Рисунок 2.12 – Микросхема 511 серии

Это тоже ТТЛ, но с некоторыми отличиями:

1 На входе стоят транзисторы с ОК, подобные схемы обладают высокой стабильностью, на 1 – 2 порядка большей в сравнении со схемой с ОЭ.

2 Резистор R1 включен по схеме с неполной отрицательной ОС по напряжению. Здесь коллекторный резистор разделен на R2 и R3, следовательно, неполная ОС по напряжению.

3 Между базой и эмиттером транзистора VT3 включен диод VD1, который предназначен для термостабилизации каскада VT3.

Физический смысл:

Например, при повышении температуры, сопротивление VD1 в обратном направлении падает (диод “плывет”), следовательно, ток диода возрастает, а базовый ток транзистора VT3 убывает, т. е. каскад стабилизируется.

4 В базовой цепи VT5 включен стабилитрон VD2 с падением напряжения ≈ 1.5 В. Выполняет роль эквивалента источника напряжения полярностью ± 1.5 В, “+” направлен против стрелки эмиттерного электрода VT3. Это закрывание необходимо, когда на любом входе (или на всех) низкий уровень (т. е. нуль). Образуется цепь:

$+E_0 \dots R2 \dots R1 \dots \begin{matrix} \text{Э} - \text{Б } VT1 \\ \text{Э} - \text{Б } VT2 \end{matrix} \dots X1 \dots \text{выход } F \text{ предыдущей логической} \\ \text{схемы} \dots VD3 \dots \text{открытый } VT5 \dots \text{земля}$

В этом случае уровень точки А низкий, так как VT1 открыт, а на X1 логический нуль. Следовательно, “+” стабилитрона VD2, противодействуя стрелке эмиттерного электрода VT3, закрывает его. Так же, VT5 закрыт, образуется цепь:

$+E_0 \dots R4 \dots \text{Б} - \text{Э } VT4 \dots \text{выход } F \dots \text{входы другой логической схемы} .$

Следовательно, VT4 открыт. Образуется основная цепь

$+E_0 \dots R6 \dots \text{открытый } VT4 \dots \text{выход } F \dots \text{входы другой логической схемы} .$

На выходе появляется высокий уровень +12 В.

5 Резистор R7 между базовым электродом VT5 и землей предназначен для шунтирования базового тока. Образуется утечка большей части $i_{к0}$ VT5 на землю через R7. Следовательно, меньшая часть $i_{к0}$ втекает в базу VT5, улучшается его закрытое состояние.

6 Базовый электрод VT4 подключается к источнику питания через делитель R4, R5 как у обычного транзисторного каскада с делителем (см. рисунок 2.13). Делитель предназначен для термостабилизации рабочей точки VT4.

7 Выход F включен выше диода VD3, в отличие от предыдущей логической схемы 155 серии. Этим достигается лучшее симметрирование относительно $+E_0$ и земли при нуле и единице.

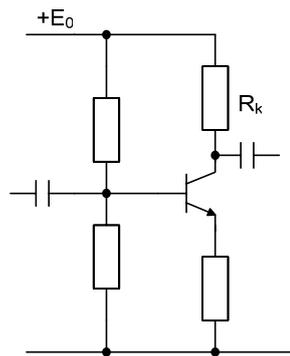


Рисунок 2.13 – Транзисторный каскад с делителем

2.6 Логика на униполярных транзисторах

Наиболее микромощная в сравнении с другими известными логиками (можно сравнить по потреблению с И²Л). Типовые серии 176, 561, 564.

Основные параметры:

- напряжение питания +9 В;
- уровень единицы +8.3 В;
- уровень нуля +0.3 В;
- потребление микромощное;
- среднее время задержки 50 нс
- высокая помехоустойчивость;
- температурный диапазон -10 – +70 °С.

В основе КМОП логики лежат КМОП ключи, (рисунки 2.14, 2.15).

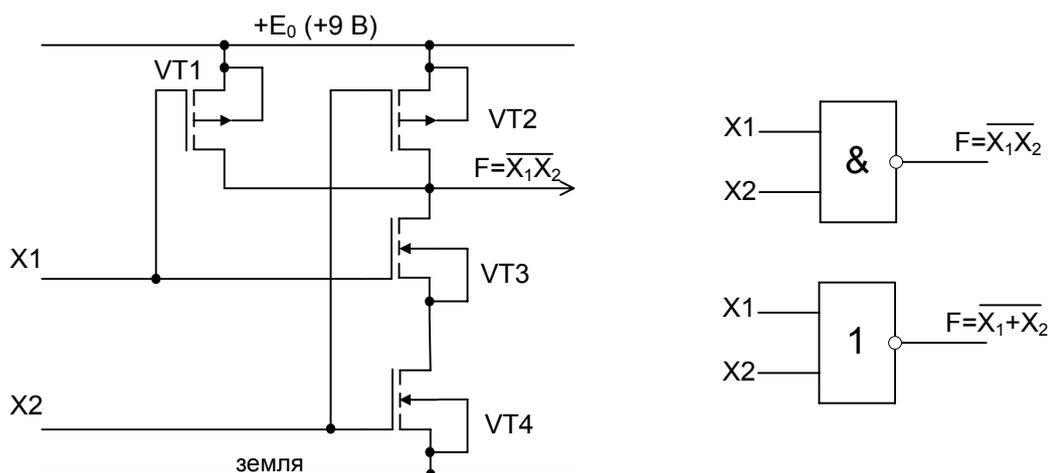


Рисунок 2.14 – Типовая схема КМОП логики

Физика процессов:

Ключи VT1, VT3 и VT2, VT4 – обычные КМОП ключи (см. раздел КМОП ключи).

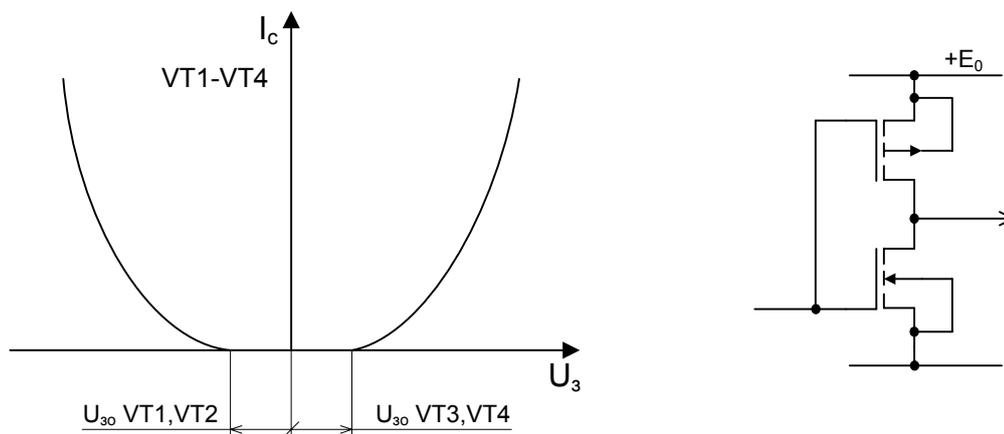


Рисунок 2.15 – Входные характеристики и схема КМОП ключа

Подадим на один любой из входов (или на все вместе) низкий уровень с выхода такой же логической схемы. Например, если это вход X1, то с земли через открытый ключ VT3–VT4, через выход F предыдущей логической схемы низкий уровень поступает на вход X1. Следовательно, транзистор VT3 закрыт потому что между затвором и истоком практически нуль, так как на истоке VT4 тоже нуль (земля), а между затвором и истоком VT1 напряжение велико (почти 8 В). Поэтому, VT1 открыт, и напряжение источника питания +E0 через открытый VT1 поступает на выход F этой схемы в виде высокого уровня, который называем единицей. Таким образом, низкий уровень (“0”) на одном любом (всех) входе приводит к появлению высокого уровня, т. е. инверсии, на выходе F. Удовлетворяется логическая операция умножения с инверсией. Только в том случае, если на всех входах одновременно высокие уровни, которые должны

быть приближены к напряжению питания $+E_0$, между истоками и затворами VT1, VT2 разность напряжений почти нулевая, VT1, VT2 одновременно закрыты, через них питание не проходит.

С другой стороны эти высокие уровни поступают на затворы VT3, VT4. Между затворами и истоками VT3, VT4 высокое напряжение и они открыты. Т.е. выход F через открытые VT3, VT4 соединен с землей, на нем низкий уровень.

Если принять, что низкие уровни названы единицами, а высокие нулями, то удовлетворяется операция сложения с инверсией.

Для соединения ТТЛ с КМОП логикой и обратного перехода применяют преобразователи уровня К176–ПУ1 (для прямого), К176–ПУ9, К176–ПУ10 (для обратного), но не К176–ПУ2 (для обратного).

2.7 Логика с оптическими связями

На рисунке 2.16, а изображена обычная ТТЛ, дополненная оптической связью (оптроном).

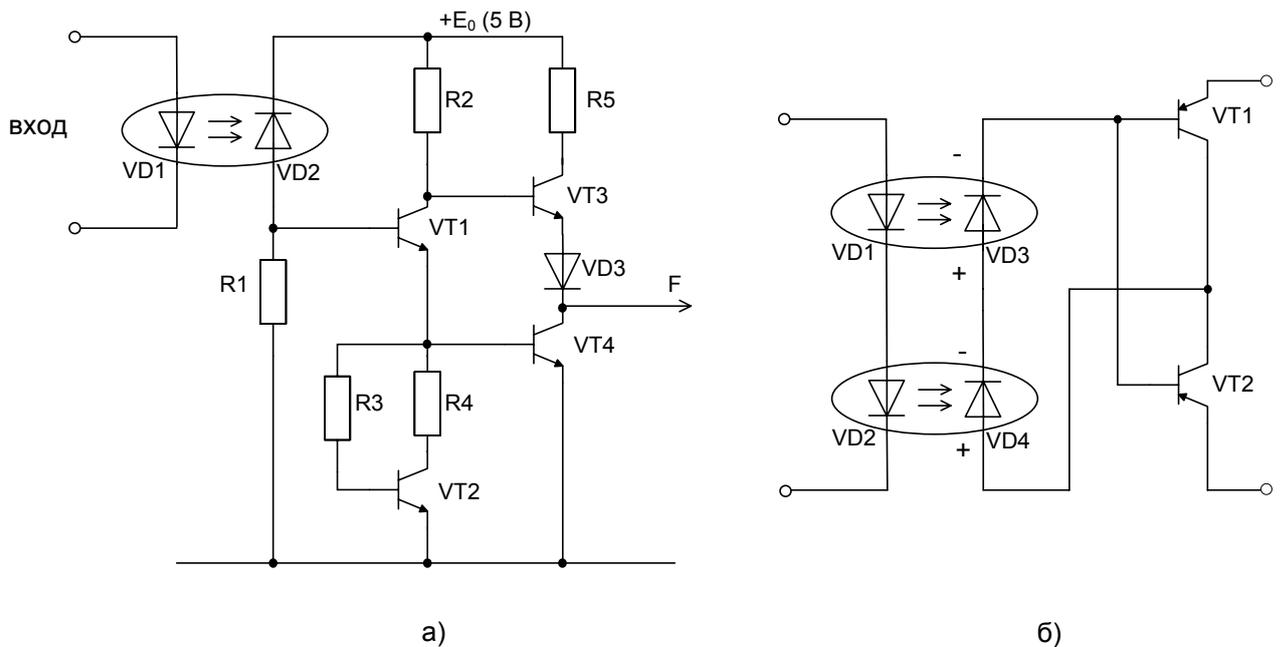


Рисунок 2.16 – 249ЛП1 – а; 249КН1 – б

На входе установлен диодно–диодный оптрон: VD1 – светодиод, VD2 – фотодиод. Эта пара, обладающая высокой частотной способностью. Подобные оптопары применяются волоконнооптических каналах преобразования световых потоков в электрические сигналы и наоборот. Здесь выполняет роль гальванической развязки.

5 5 5 ЛА 3 2 4 9 ЛП 1
 I I I III IV I I III IV

I. означает тип микросхемы (1, 5, 6, 7 - полупроводниковая, 2, 4, 8 - гибридная или 3 - прочная);

- II. серия микросхемы, цифры от 00 до 99 (или от 000 до 999). Обычно употребляют номер серии совместно признаком (полупроводниковая или гибридная);
- III. назначение микросхемы;
- IV. подвид микросхемы, номер разработки.

Следовательно, здесь гибридные микросхемы.

Если ток светодиода VD1 нулевой, то свечения нет. Поэтому, VD2 закрыт, его сопротивление несколько МОм, тока в цепи Б – Э VT1 ... Б – Э VT4 нет, они заперты. Образуются цепи:

+E₀ ... R2 ... Б – Э VT3 ... VD3 ... выход F (нагрузка), открывается VT3, образуется основная цепь:

+E₀ ... R5 ... откр. VT3 ... VD3 ... F (нагрузка), на выходе выделяется высокий уровень.

Если в цепи входа есть ток порядка 10мА и более при напряжении 3,5 ÷ 4 В, то выделяется в оптроне световой поток, проходящий через разделительную среду на фотодиод VD2, сопротивление которого в обратном направлении уменьшается до нескольких кОм. Образуется цепь:

+E₀ ... VD2 вобр. направлении ... Б – Э VT1 ... Б – Э VT4 ... земля

Следовательно, VT1, VT4 открываются, образуются цепи:

+E₀ ... R2 ... откр. VT1 ... Б – Э VT4 ... земля, открывающая VT4, в результате выход F соединен с землей и имеет низкий уровень.

Таким образом, оптрон здесь выполняет роль обычной гальванической развязки. Стандартное напряжение гальванической развязки 100 ÷ 400 В и другие величины. Развязка потому, что сигнал передается через оптический луч, который не проводит электрический ток.

В схеме, изображенной на рисунке 2.16, б, фотодиоды работают, в отличие от предыдущей схемы, в фотогенераторном режиме. Известно, что если фотодиод осветить, то он генерирует напряжение до 0,4 В с указанной на схеме полярностью. Так как этого напряжения не хватает для открытия транзистора, то два фотодиода включают последовательно, образуется напряжение 0,8 В. Следовательно, +VD4 внизу поступает на коллекторные электроды VT1, VT2 транзисторов типа р-п-р, включенных в инверсном режиме, далее К – Б VT1, К – Б VT2 ... –VD3 сверху.

Транзисторы открываются, могут пропускать ток до нескольких мА.

2.8 Эмиттерно–связная логика (ЭСЛ)

Типовая микросхема ЭСЛ изображена на рисунке 2.17. Основной представитель – 500 серия.

Параметры ЭСЛ:

отрицательная логика, напряжение питания -5 В; земля вверху.

Уровень единицы относительно земли в среднем составляет -0,8 В, уровень нуля – -1,8 В; помехоустойчивость средняя; температурный диапазон -10 –

+70°C; потребление высокое (50 и больше мВт на корпус); среднее время задержки меньше 5 нс; быстродействие сверхвысокое.

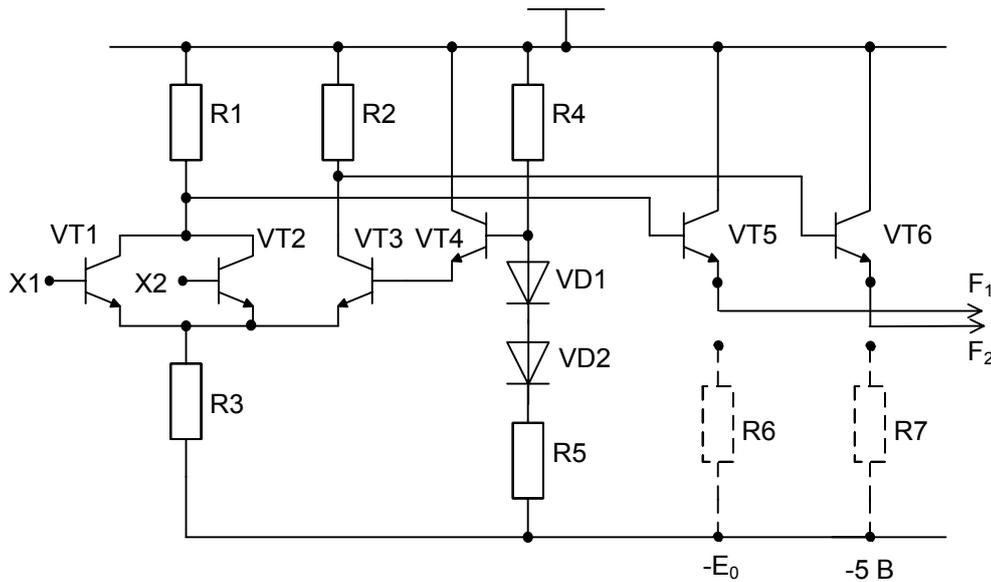


Рисунок 2.17 – Типовая микросхема ЭСЛ

Отличительной особенностью микросхемы является наличие кроме отрицательного напряжения питания эмиттерных повторителей.

VT1, VT2 действуют почти в эмиттерном режиме. Основная нагрузка – резистор R3 (R1 меньше R3). VT5, VT6 действуют в эмиттерном режиме. Их эмиттерные электроды в микросхеме не подключены, этот вариант называется “с открытым эмиттером”. Сопротивления R6, R7 – условные сопротивления – их нет в микросхеме, обычно это входы X1, X2 последующей схемы или навесные резисторы с сопротивлением несколько сотен Ом. Насыщение транзисторов практически нулевое, поэтому время рассасывания тоже почти нулевое. В сущности здесь активный режим, быстродействие максимальное. Земля вверху потому, что воздействующие на микросхему электромагнитные помехи, наводки стекают лучше в направлении меньших сопротивлений.

VT5, VT6 вообще не обладают сопротивлением в цепи стекания наводок.

Транзистор VT4 совместно со схемой выполняет роль стабилизатора напряжения и, следовательно, тока. Диоды VD1, VD2 образуют стабильное напряжение на базовом электроде VT4, а поэтому, на эмиттерном электроде VT4 стабильное напряжение и стабильный ток, в цепи VT3 тоже будет стабильный ток по цепи земля...R2...VT3...R3...-E₀.

Транзисторы VT1, VT2 включены по схеме переключателя тока. На резисторе R3 выделяется падение напряжения порядка 3,2 В. Оно приложено “+” к эмиттерному электроду VT3 и закрывает VT3. Если одновременно VT1 и VT2 закрыты, то составляющая тока в R3 от этих транзисторов нулевая. Следовательно, опорное напряжение против стрелки эмиттерного электрода VT3 не действует и VT3 открывается, протекает ток земля...R2...VT3...R3...-E₀, образуя на R3 падение напряжения порядка 3 В (меньше предыдущего). Таким

образом возможны состояния: VT1, VT2 закрыты, создается цепь земля...R1...Б-Э VT5... ^{выход F₁} или R6...-E₀. При этом VT3 открыт. В результате основная цепь: земля...R2...открытый VT3...R3...-E₀.

Так как VT3 открыт, то в цепи Б – Э VT6 меньшая величина тока, следовательно, VT6 приоткрывается, на выходе F₂ по отношению к земле на приоткрывшемся VT6 выделяется больший уровень напряжения -1,8 В, который называем нулем.

Подадим одновременно на все входы нули, т. е. уровни -1,8 В относительно земли. Так как на R3 напряжение 3 В от опорного VT3, VT4, а ко входам приложено -1,8 В, то транзисторы VT1, VT2 закрыты. Следовательно, тока через них нет. Основная часть тока R1 уходит в базу VT5, приоткрывает VT5, на выходе F₁ по отношению к земле на приоткрывшемся VT5 выделяется меньшее напряжение -0,8 В, которое называем единицей. Таким образом, одновременные нули входов X1, X2 на F₁ выделяют единицу, следовательно, F₁ с инверсией.

В связи с тем, что VT3 открыт, большая часть тока R2 уходит в VT3, а меньшая в базу VT6, поэтому VT6 приоткрыт. У него повышается сопротивление, на выходе F₂ по отношению к земле выделяется большее напряжение, по уровню -1,8 В, которое называем нулем. Таким образом, два нуля на входах X1, X2 выделяют на выходе F₂ тоже нуль, инверсии нет.

Подадим на любой вход (или оба) единицу -0,8 В. Следовательно, если на R3 приблизительно 3 В, между X1 и землей 0,8 В, то между базой и эмиттером VT1 падение напряжения больше вольта, что достаточно для его надежного открывания.

Ток резистора R1 в большей части будет уходить через открывшийся транзистор VT1 и резистор R3 на – E₀, в меньшей части – в базу VT5. Следовательно, падение напряжения на R3 возрастает, закрывается транзистор VT3, поэтому теперь ток резистора R2 в большей части протекает в базу транзистора VT6. В итоге, транзистор VT5 приоткрывается, VT6 – приоткрывается, на выходе VT5 выделяется большее падение напряжения (-1,8 В), называемое нулем, а на выходе F2 выделяется меньшее падение напряжения (-0,8), называемое единицей. В целом, реализуется логическая операция в соответствии с изображением рисунка 2.18.

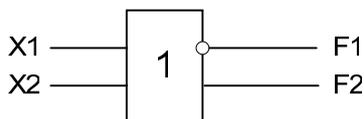


Рисунок 2.18 – Условное изображение ЭСЛ

Если отмеченные уровни инвертировать, т.е. -0,8 В назвать нулем, а -1,8 В – единицей, то будет удовлетворяться логическая операция умножения, в соответствии с принципом двойственности.

2.9 Интегральная инжекционная логика

Основные параметры:

- напряжение питания $+1,1 \dots +1,5$ В;
- потребление десятки мкВт на схему (сравнимое с КМОП);
- уровень нуля $+0,1$ В;
- уровень единицы $+0,4$ В;
- температурный диапазон $-10 - +70$ °С;
- среднее время задержки $100 \div 500$ нс (невысокое быстродействие);

В основе логики лежит НСТЛ (см. рисунок 2.19) (транзисторная логика с непосредственными связями).

Достоинство НСТЛ: возможность несложных соединений на подложке микросхемы.

Недостатки НСТЛ: невысокое быстродействие, среднее время задержки 1000 нс. Поэтому не применяется, последующая модернизация (введение ГСТ вместо резисторов, образование микрорежимов по току и снижение напряжения питания) привело к разработке интегральной инжекционной логики, у которой вместо резисторов ГСТ (генератор стабильного тока), вводится транзистор р-п-р (см. рисунок 2.20). Это включение по схеме с ОБ имеет вид редко встречающихся характеристик (см. рисунок 2.21).

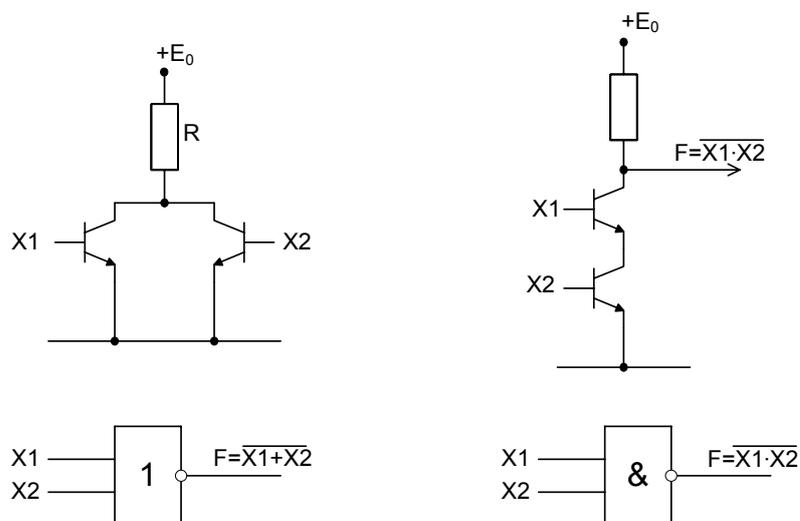


Рисунок 2.19 – НСТЛ

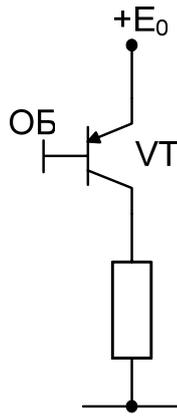


Рисунок 2.20 – Генератор стабильного тока

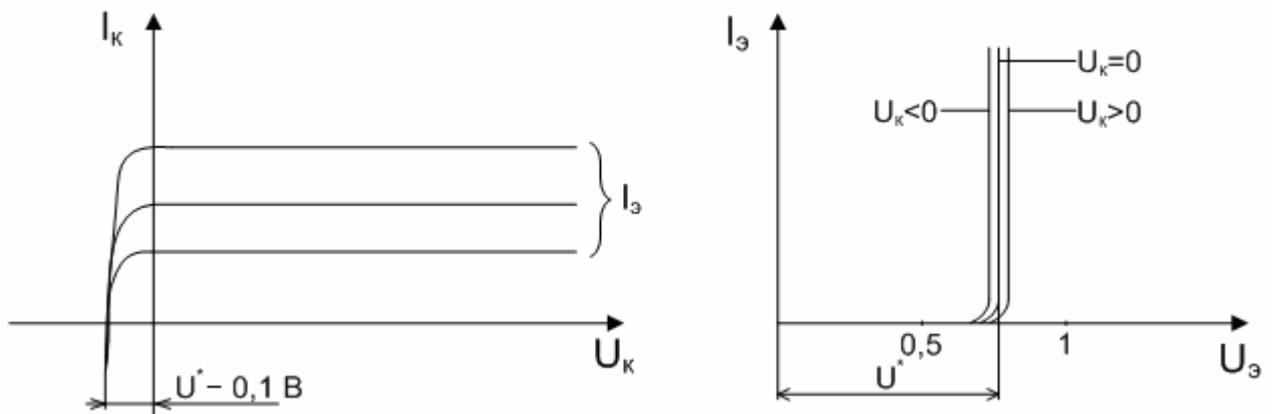


Рисунок 2.21 – Характеристики транзистора в схеме ОБ

Из построения видно, что в окрестности нуля влево и вправо эмиттерные характеристики практически горизонтальны, следовательно, динамическое сопротивление велико. Т. е. в этом режиме транзистор при положительном и отрицательном коллекторном напряжении выполняет роль резистора длинной дорожки, стабилизируя ток. Следовательно, если приложить $+E_0$ и стабилизировать этот ток, то он протекает по цепи Э·Б·З, образуется режим насыщения, особенность которого в том, что часть неосновных носителей базы попадают в область коллектора, потом инжектируются в нагрузку.

Таким образом, резисторы заменяют транзисторами и получают логику с инжекционным питанием, изображенную на различных вариантах схем рисунка 2.22, а, б, в, г.

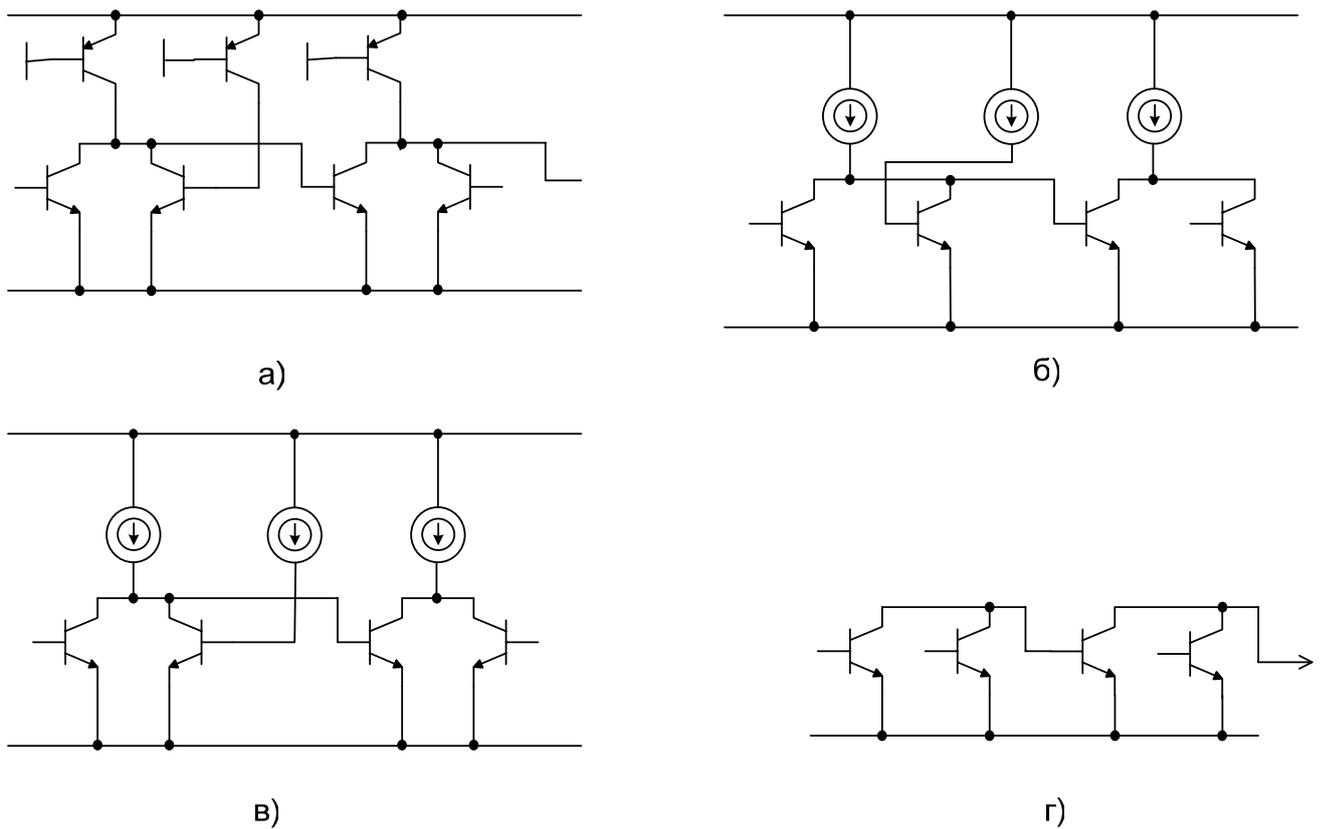


Рисунок 2.22 – Логика с инжекционным питанием:

- а) с ГСТ вместо резисторов;
- б) с условным изображением ГСТ кружками;
- в) в плоскости рисунка базовые электроды второго и четвертого транзисторов повернуты вправо;
- г) с целью упрощения ГСТ не приведены, но подразумевается, что они есть.

Широко применяются в калькуляторах, часах, т. е. там, где необходимо малое питание и микромощное потребление. Потому что микрорежимы ГСТ в схеме с ОБ обладают малой чувствительностью к изменению напряжения питания, а тип соединения несложен в конструктивном исполнении. Дают простую связь между каскадами. Применяется в больших СБИС схемах (сверхбольшие интегральные схемы). Как ГСТ, так и транзисторы логики (здесь логика “или”, а для инверсных уровней “и”, по принципу двойственности), выполнены многоколлекторными (см. рисунок 2.23), что и позволяет несложным образом достигать широкого разветвления.

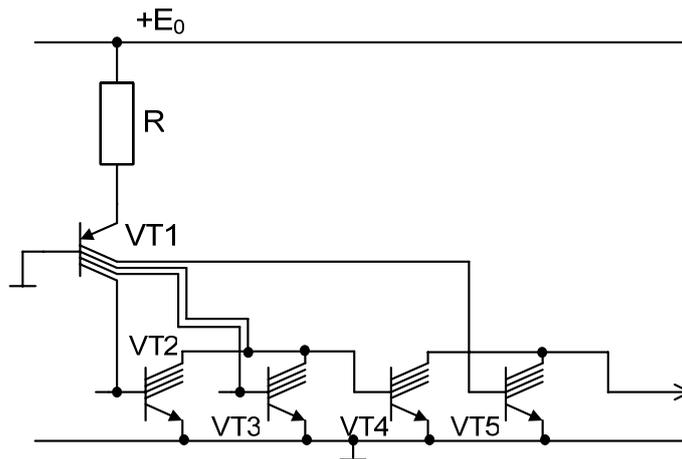


Рисунок 2.23 –И²Л

Резистор R включают для того, чтобы сделать характеристику I_3 на рисунке 2.21 более горизонтальной. В этом случае обеспечивается высокая стабильность динамического сопротивления.

2.10 Логика ПТШ (полевые транзисторы Шоттки)

Основные параметры:

- потребляемая мощность 0,5 ÷ 2,5 Вт на корпус;
- напряжение питания $+4 \text{ В} \pm 0,2 \text{ В } U_{\text{ип1}} (U_{\text{cc1}})$
 $-3,95 \text{ В} \pm 0,12 \text{ В } U_{\text{ип2}} (U_{\text{cc2}})$;
- уровень единицы $U^1 +0,95 \dots 1,5 \text{ В } (U_{\text{он}})$ out high;
- уровень нуля $U^0 -(0,2 \dots 0,1) \text{ В } (U_{\text{ол}})$ out low;
- быстродействие 0,16 ÷ 0,3 нс;
- температурный диапазон $-10 - +70 \text{ }^\circ\text{C}$;
- частотный диапазон свыше 1000 МГц;
- входной ток низкого уровня 0,5 мА;
- входной ток высокого уровня 1 мА;
- выходной ток около 30 мА.

GaAs – химическое соединение – арсенид галлия

InP – фосфид индия,

Типовая серия :

$\underbrace{6}_{\text{I}} \underbrace{500}_{\text{II}}$

Схема логики ПТШ приведена на рисунке 2.24.

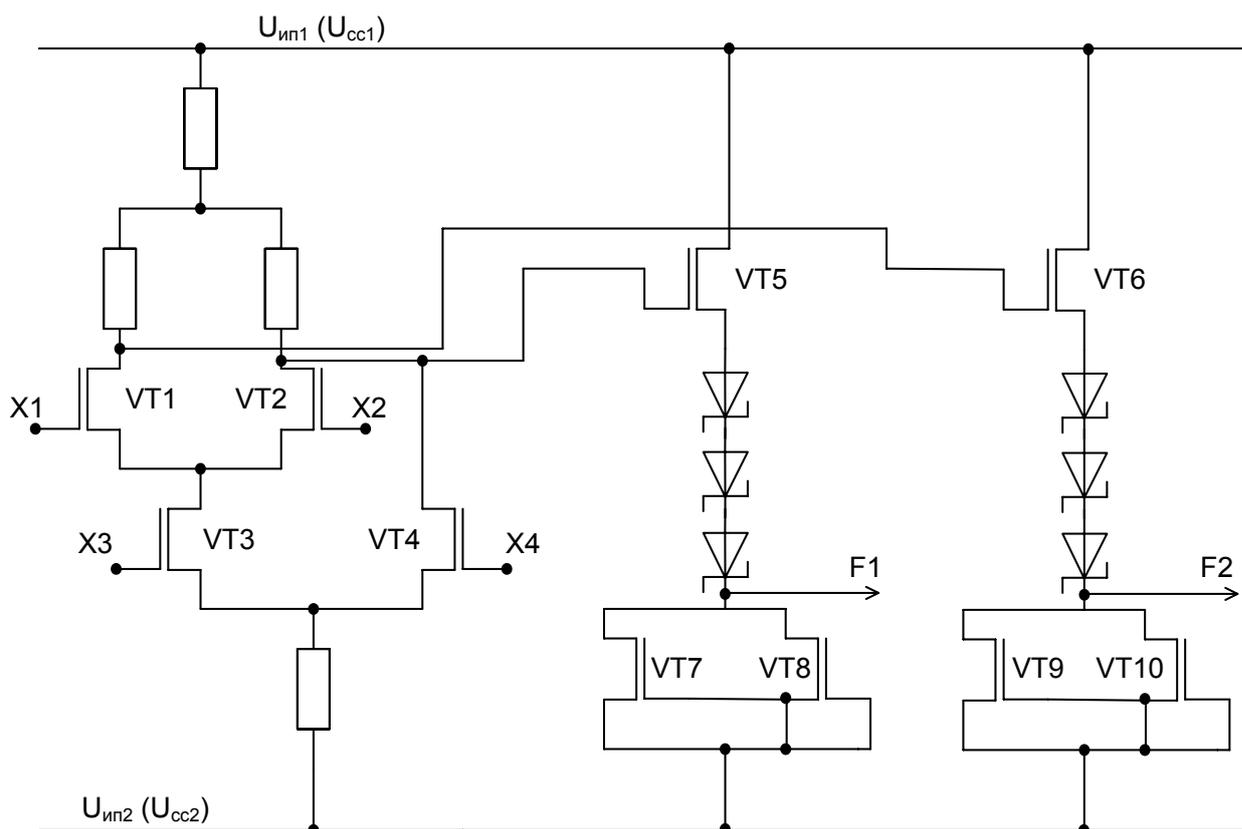


Рисунок 2.24 – Логика ПТШ

Это подобие ЭСЛ, но транзисторы здесь ПТШ (и диоды), работающие почти без задержки. Транзисторы VT1, VT2 образуют схему логического сложения, как у ЭСЛ на транзисторах VT1, VT2. Аналогичная пара VT3, VT4.

Транзисторы VT5, VT6 подобны VT5, VT6 ЭСЛ (там были эмиттерные повторители, здесь – истоковые повторители). Транзисторы VT7-VT10 используются как эквиваленты резисторов в транзисторном исполнении.

VT1, VT2 – сложение;

VT3, VT4 – сложение;

VT5, VT6 – усиление в истоковом исполнении.

Истоковые повторители усиливают по току, но не усиливают по напряжению. Так как истоковый режим, то быстродействие предельно возможное.

2.11 Согласование логических схем

Варианты согласования или соединения логических схем представлены на рисунке 2.25.

На схеме, изображенной на рисунке 2.25, а, диод VD включен для того, чтобы устранять ЭДС самоиндукции на обмотке реле. Если бы не было диода, то в момент закрывания выходной транзистор микросхемы с открытым коллектором был бы пробит (сожжен).

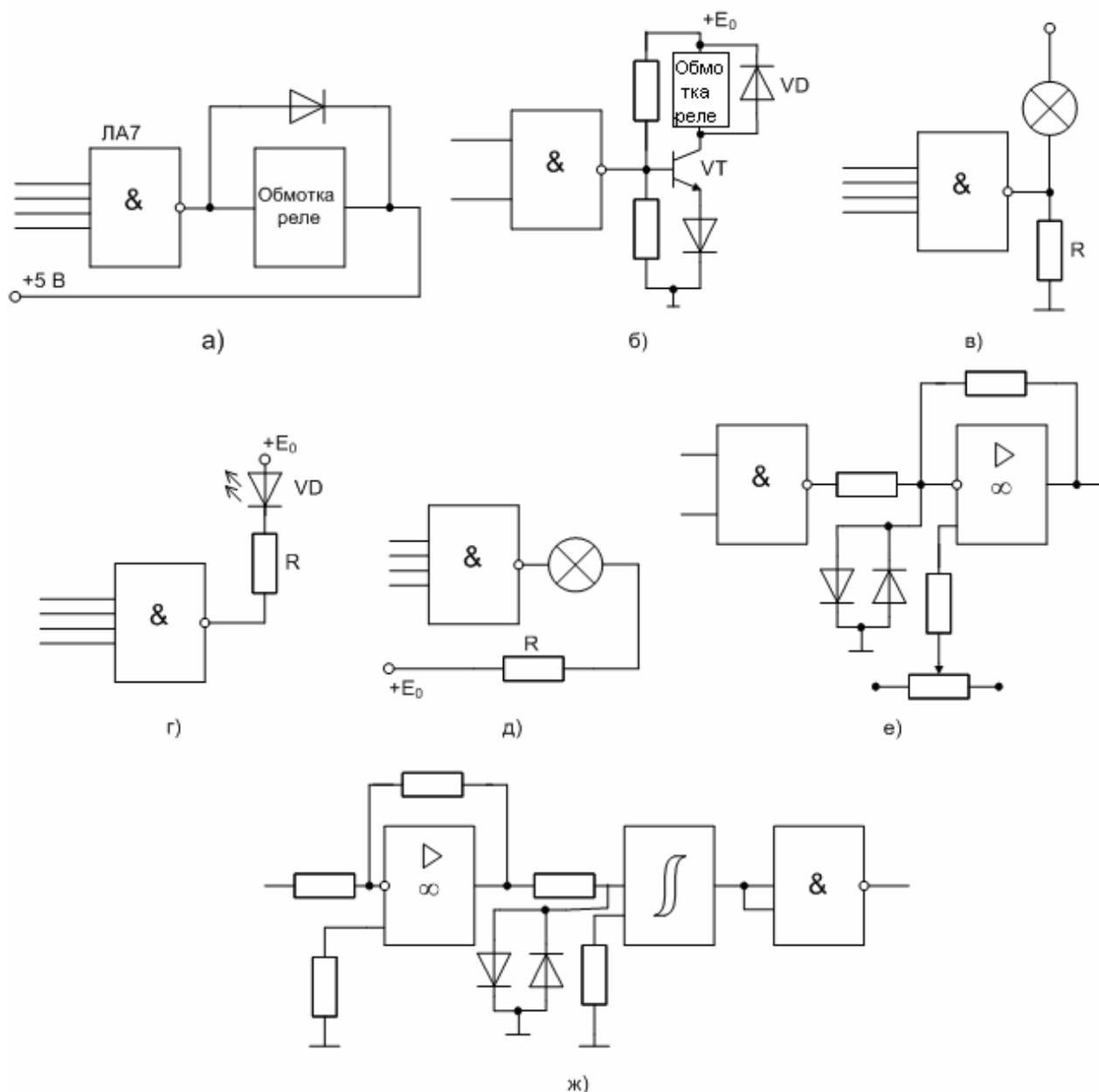


Рисунок 2.25 – Согласование логических схем

Физика процессов: в момент закрывания вследствие закона сохранения тока происходит переключение (переход) тока в контур, образованный катушкой индуктивности и диодом. Следовательно, к транзистору микросхемы (к ключу) прикладывается напряжение питания и падение напряжения на открытом диоде, и так как транзистор выдерживает эту сумму, то пробоя нет.

К достоинствам можно отнести несложность конструкции. Недостаток: задерживается размыкание контактов реле, потому что в контуре продолжает протекать ток. Этот ток удерживает магнитный поток и притянутый магнитопровод.

На схеме на рисунке 2.25, б логический элемент сопрягается с транзисторным каскадом. Делитель предназначен для задания величины базового тока, а диод в

эмиттерной цепи выполняет роль генератора напряжения. Поэтому низкий уровень на выходе логического элемента не может преодолеть напряжение на диоде и транзистор закрыт. Но высокий уровень выхода логического элемента преодолевает падение напряжения на диоде, открывая транзистор.

В схеме, изображенной на рисунке 2.25, в включается и выключается лампа накаливания. Если ключ открытого коллектора открыт, то ток протекает через лампу накаливания, если ключ закрыт, то через лампу накаливания и резистор. Т. е. резистор здесь введен для того, чтобы удерживать ток лампы на таком уровне, чтобы свечение не было заметно, но был подогрев нити накала. Следовательно, не было броска тока в цепи лампы в момент включения ключа. Схемы г и д не требуют особых пояснений.

На схеме, представленной на рисунке 2.25, е, введен потенциометр, с помощью которого устанавливается состояние выхода ОУ в + области, когда на входе ОУ низкий уровень +0,4 В с выхода логического элемента. Если на выходе логического элемента высокий уровень, то он преодолевает опорное напряжение на + входе ОУ и выход ОУ скачком переходит в состояние “-”, т. е. например $U_{\text{вых}} = -12 \text{ В}$.

На рисунке 2.25, ж показано соединение логического элемента с операционным усилителем. Напрямую соединять выход ОУ с логикой нельзя, так как -12 В или +12 В сожгут логический элемент. Поэтому введен компаратор, например, К554СА3.

Для обеспечения максимального быстродействия и помехоустойчивости неиспользуемые входы должны находиться под постоянным потенциалом. Это позволяет исключить перезарядку емкости разомкнутого эмиттера входного транзистора относительно выводов схемы, которая увеличивает задержку сигнала.

Несколько методов включения неиспользуемых входов:

- 1 Можно подключить непосредственно к источнику +4,5 В (пониженное напряжение).
- 2 Если напряжение источника питания превосходит 4,5 В (+5 В), то из-за опасности пробоя следует подключать через резистор, ограничивающий ток (более 1 кОм). При этом к одному резистору можно подключать до 20 входов.
- 3 Неиспользуемые входы можно соединять с используемыми входами напрямую, если при этом не будет превышена нагрузочная способность предыдущей логической схемы при выходном напряжении, соответствующем уровню логической единицы.
- 4 Неиспользуемые входы могут быть подключены к выходу неиспользуемой инвертирующей микросхемы, на вход которой подается напряжение логического нуля.
- 5 При необходимости на отдельные входы микросхемы может быть подано напряжение логического нуля, что определяется таблицей истинности.

Длительность фронта входных сигналов не должна превышать 150 нс (кроме ЛА7, ЛА8 - для них длительность фронта импульса любая).

Серии КМОП, ЭСЛ, логические матрицы также имеют свои особенности в соответствии с паспортными данными.

2.12 Программируемые логические интегральные схемы (ПЛИС)

Это микросхемы, представляющие собой герметичный корпус с большим числом выводов, полупроводниковой или гибридной технологии, в плоскости подложки которой выполнены отдельные логические элементы сложения, умножения, памяти, а также системы проводников (иногда называемых термами).

Имеющаяся система проводников, подключается к элементам матрицы И(ИЛИ) буферными каскадами. Программирование сводится к установлению связи между горизонтальной и вертикальной шинами (проводниками). Возможны следующие способы установления этих связей:

1 Неперепрограммируемые логические схемы. Это значит, что в местах пересечения проводников внутри микросхемы имеются нихромовые или другие переключки. Следовательно, изначально вертикальные и горизонтальные проводники соединены друг с другом. Программирование сводится к пережиганию (переплавлению) тех переключек, которые не нужны. Пропускается ток через переключку порядка 150 мА в течение 50 – 100 мс, переключка разрушается. При этом программа составляется таким образом, чтобы мощность, выделяющаяся при пережигании переключек, была распределена во времени. Если переплавить одновременно все ненужные, можно сжечь микросхему. Повторное перепрограммирование невозможно.

2 В местах пересечения проводников устанавливаются транзисторы специального исполнения, у которых между затвором и подложкой слой нитрида кремния, Si_3N_4 , который выполняет роль изоляции (см. рисунок 2.26, а). Известно, что обычные униполярные транзисторы имеют входную и выходную характеристики, представленные на рисунке 2.26, б. Транзистор МНОП имеет такую же входную характеристику, но допускает программирование порога U_{30} , причем если к затвору приложить напряжение +5 В, а к подложке порядка -30 В, то программируется открытое состояние (рисунок 2.27, характеристика 1). А если приложить к затвору -30 В, к подложке +5 В, то программируется закрытое состояние (рисунок 2.27, характеристика 2). Включается этот транзистор между горизонтальными и вертикальными проводниками в соответствующих точках.

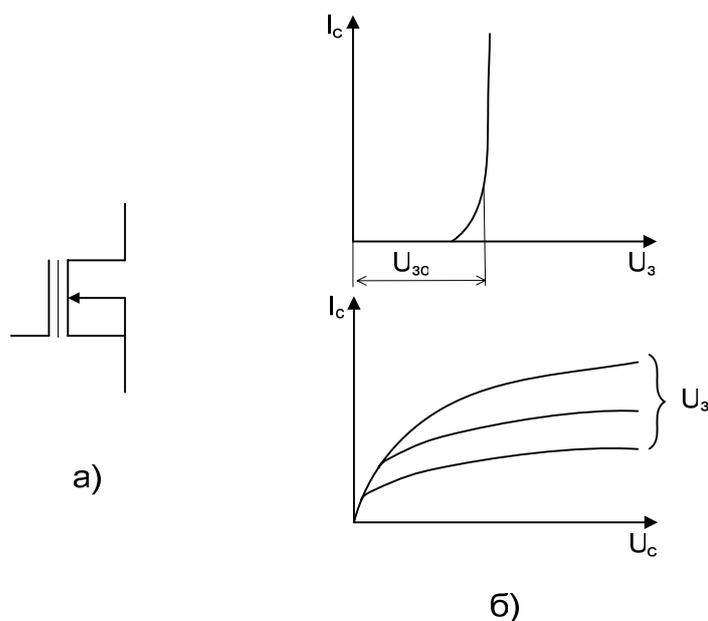


Рисунок 2.26– МНОП транзистор – а; входная и выходная характеристики – б

Если нет сигнала опроса (порядка +6 В), то связи между горизонтальными и вертикальными проводниками нет. Если подается на затвор сигнал опроса, то имеется связь для 1-го случая (см. рисунок 2.27). Если же запрограммирован случай 2, то связи нет, транзистор остается закрытым.

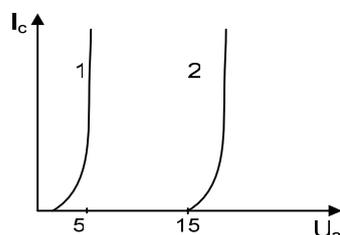


Рисунок 2.27 – Входные характеристики МНОП транзистора

Физический смысл программирования: в первом случае из подложки в слой нитрида кремния инжектируются электроны, образующие “электронный пузырь”, изолированный от затвора и подложки, и образующей 1-ый (см. рисунок 2.27) вид характеристик. Во втором случае, аналогично, образующееся дырочное облако тоже изолировано от затвора и подложки, но с положительными зарядами (2-ое семейство характеристик). Сохраняется этот “пузырь” примерно 10 лет. Со временем деградирует, может потребоваться подпрограммирование. Возможно перепрограммирование до нескольких тысяч циклов. При этом микросхема тоже деградирует. Этот вид ПЛИС называется с электрическим программированием и перепрограммированием.

3 ЛИПЗ – технология (лавинный инжекционный плавающий затвор – рисунок 2.28).

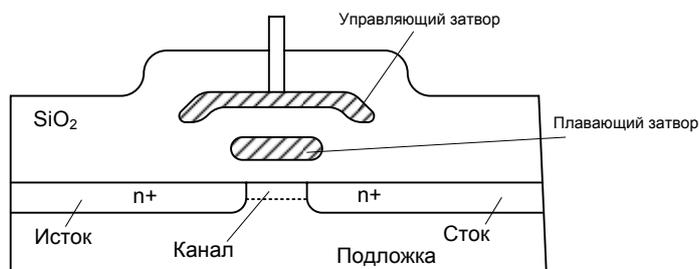


Рисунок 2.28 – Униполярный транзистор, изготовленный по ЛИПЗ технологии

Здесь все аналогично второму пункту, но нет Si_3N_4 . Есть плавающий затвор (облако). Если его нет, то первый вид характеристик (рисунок 2.27), если есть – то второй. При программировании производится инжекция из подложки в SiO_2 зарядов, образующих плавающий затвор, характеристика смещается в область 2 на графике. Стирание плавающего затвора происходит электрическим программированием или через окошко ультрафиолетовым освещением. Дозы длительности по паспорту для конкретной микросхемы. Количество циклов аналогично предыдущему случаю. При отсутствии сигналов опроса связи между горизонтальными и вертикальными проводниками матрицы нет и она обнаруживается в случае подачи сигналов опроса, т. е. уровней между 1 и 2 характеристикой (см. рисунок 2.27).

4 Оперативное программирование, когда между горизонтальными и вертикальными проводниками включены транзисторы того или иного рода и дополнительные триггеры (рисунок 2.29). Если триггер в нуле, то транзистор, подключенный стоком и истоком к горизонтальным и вертикальным проводникам, закрыт, связи нет. Если триггер в единице, то связь есть.

Достоинства: оперативность связи, высокое быстродействие, возможность бесконечного количества перепрограммирований.

Недостатки: необходимо либо иметь аккумулятор, чтобы сохранить программу при отключении напряжения питания, либо программировать каждый раз перед началом работы.

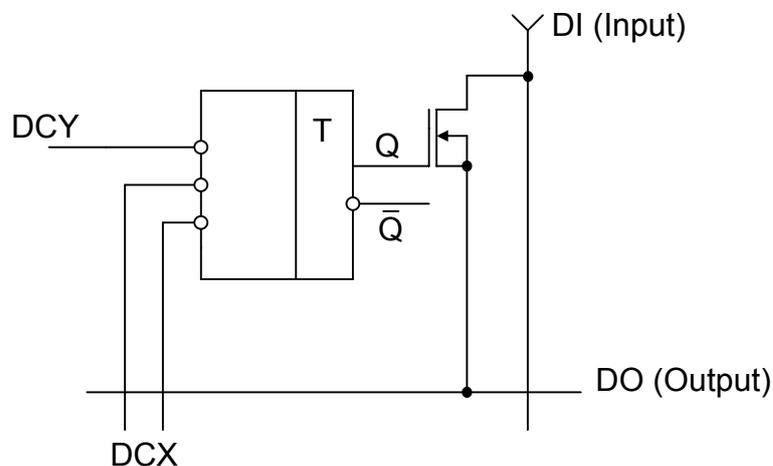


Рисунок 2.29 – Оперативное программирование

Прямоугольник (см. рисунок 2.29) – триггер, в который записывается при программировании “0” или “1”. Если “1” – верхний вывод Q, транзистор открыт и шина DI через открытый транзистор соединена с проводником DO, следовательно, содержимое вертикальной шины передается горизонтальной, образуется эквивалент плавкой перемычки. Если в триггере “0”, то связи между вертикальной и горизонтальной шинами нет. Такие соединения имеются в каждом пересечении проводников.

Возможны иные варианты установления связей между горизонтальными и вертикальными проводниками (шинами, термами).

Выделяют матрицы ПЛМ (программируемые логические матрицы) и ПМЛ (программируемая матричная логика – рисунок 2.30 и 2.31).

Матрицы ПЛМ содержат две системы пересекающихся проводников, связи между которыми программируются. Матрицы в целом получают более универсальными (шире возможности программирования).

Матрицы ПМЛ содержат только одну систему пересекающихся проводников (шин), т. е. проще, дешевле, более высокий частотный диапазон, но более узкие возможности программирования.

На входах матрицы переменные, которые поступают через буферные каскады, преобразующие входные переменные в прямой и инверсный сигналы, согласующие по мощности, напряжению и току.

1-ый прямоугольник – это элементы умножения И со своей системой перекрещивающихся проводников. Связи в пересечениях уже есть и ненужные необходимо выжечь. Если это матрица с переплавляемыми перемычками, то эти связи программируются примерно в течение примерно 1 с. В том случае, когда используются транзисторы с нитридом кремния или ЛИПЗ, производится электрическое программирование, с возможностью перепрограммирования, причем информация хранится до 10 лет. Если это оперативное программирование, то связи программируются с большой скоростью.

2-ой прямоугольник – это элементы сложения со своей системой перекрещивающихся проводников.

Справа, на рисунках 2.30, 2.31 – фрагменты функциональных и принципиальных схем. Буферные каскады на входах и на выходах. Связи приведены для случая плавких перемычек. Ненужные связи удаляются при программировании. Причем, схемы изображены в американском стандарте, который отличается от европейского. Характерной особенностью европейского стандарта являются прямоугольники.

Схемы рисунка 2.30 называются ПЛМ-программируемыми логическими матрицами. Их отличительная особенность в том, что имеются две системы программируемых связей (точек). Благодаря этому функциональные возможности выше. Но схемы дороже, меньше быстродействие. Поэтому были также разработаны матрицы ПМЛ – программируемая матричная логика. Они имеют только одну систему связей (рисунок 2.31), проще, дешевле, выше быстродействие, но функциональные возможности хуже.

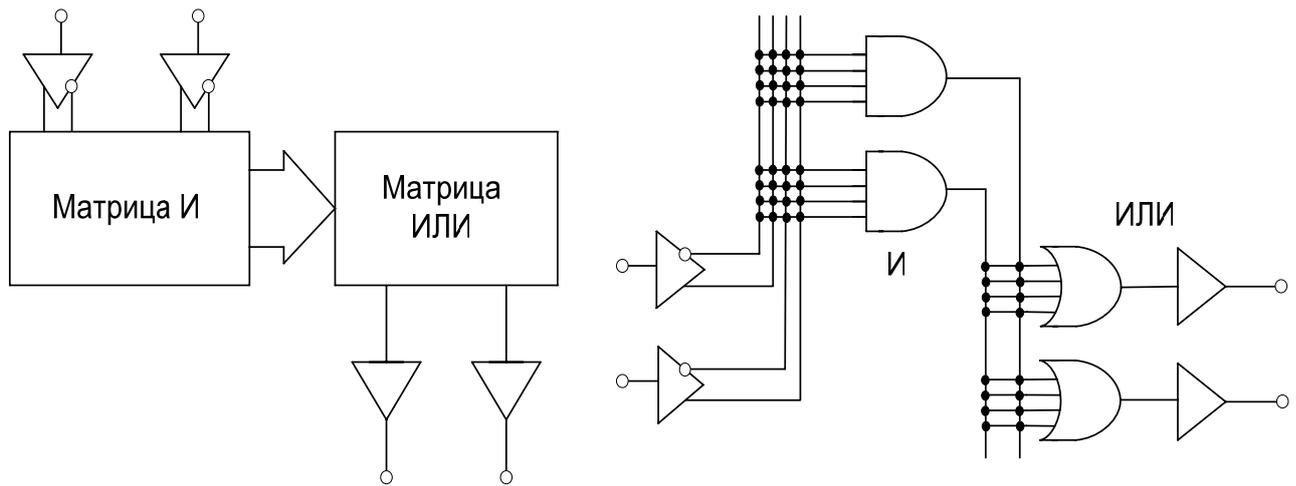


Рисунок 2.30 – ПЛМ

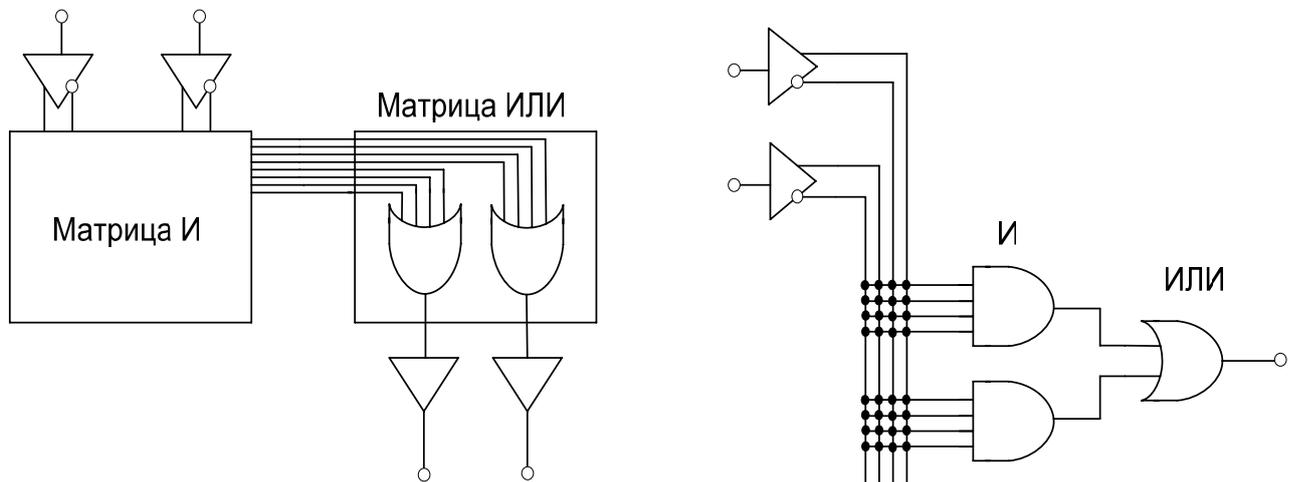
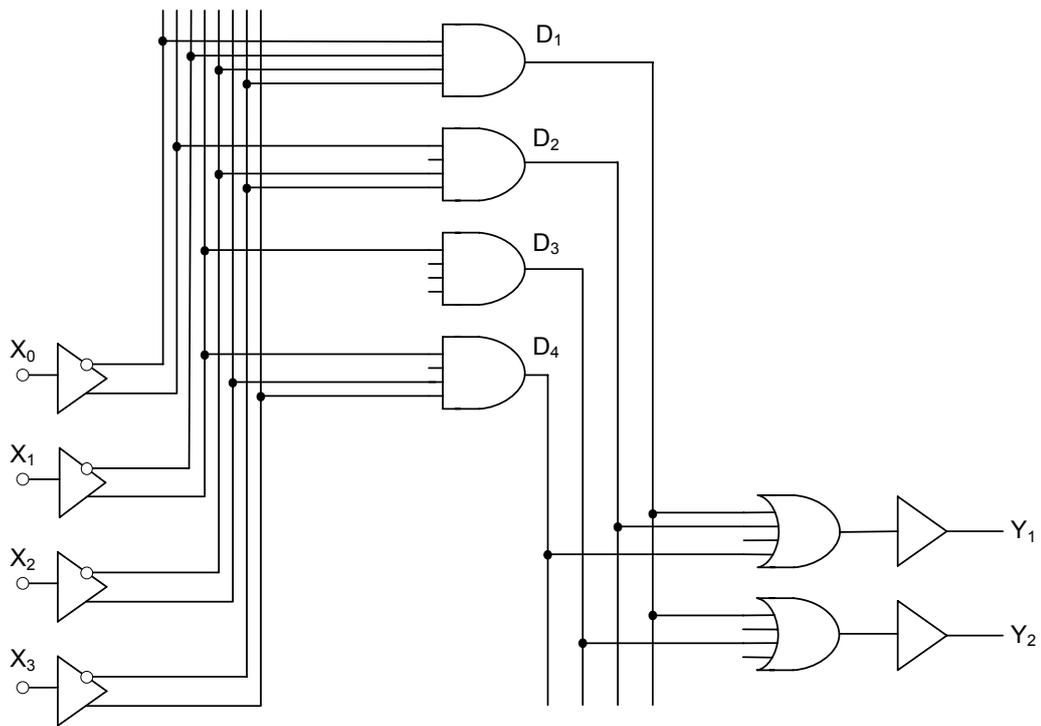


Рисунок 2.31 – ПМЛ

На рисунке 2.32 приведен пример программирования в матрице ПЛМ. Вначале связи были между всеми вертикальными и горизонтальными проводниками (для плавких перемычек). После переплавления ненужные связи удалены, оставлены только те, которые соответствуют приведенным комбинационным выражениям. Здесь используются две системы связей, поэтому матрица ПЛМ.

Итак, выделяют два вида разработки электронных устройств: на жесткой логике и на гибкой логике.



$$Y_1 = \bar{X}_0 \bar{X}_1 \bar{X}_2 \bar{X}_3 + X_0 \bar{X}_2 \bar{X}_3 + X_1 X_2 X_3 + \dots$$

$$Y_2 = \bar{X}_0 \bar{X}_1 \bar{X}_2 \bar{X}_3 + X_1 + \dots$$

Рисунок 2.32 – Схема ПЛМ на гибкой логике

2.13 Обобщенная модель ПЛИС

На рисунке 2.33 представлена обобщенная модель ПЛИС.

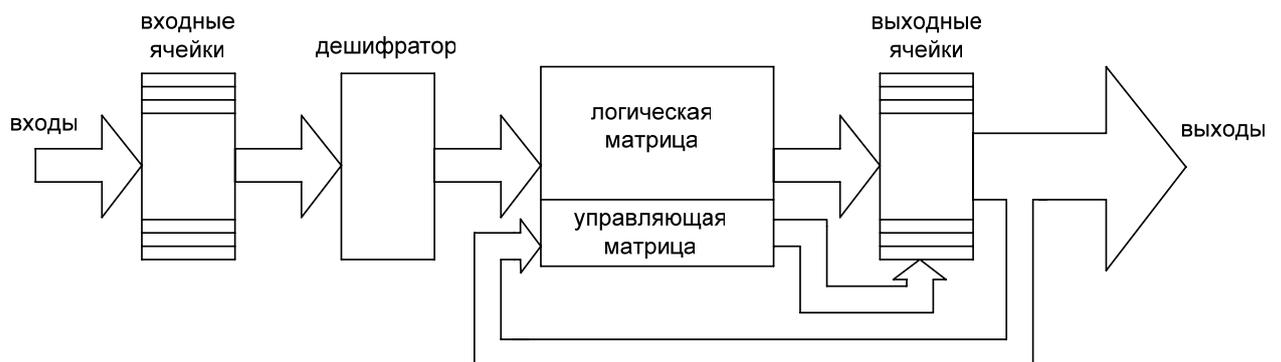


Рис. 2.33 – Обобщенная модель ПЛИС

На данной схеме входные ячейки могут содержать элементы запоминания, например триггеры. Дешифраторы могут быть одноразрядными и многоразрядными.

Логическая матрица может быть ПЛИМ или ПМЛ. Параллельно логической введена управляющая матрица. Ее задачей является выбор функции многофункциональных выходных ячеек, изображенных на рисунке 2.34.

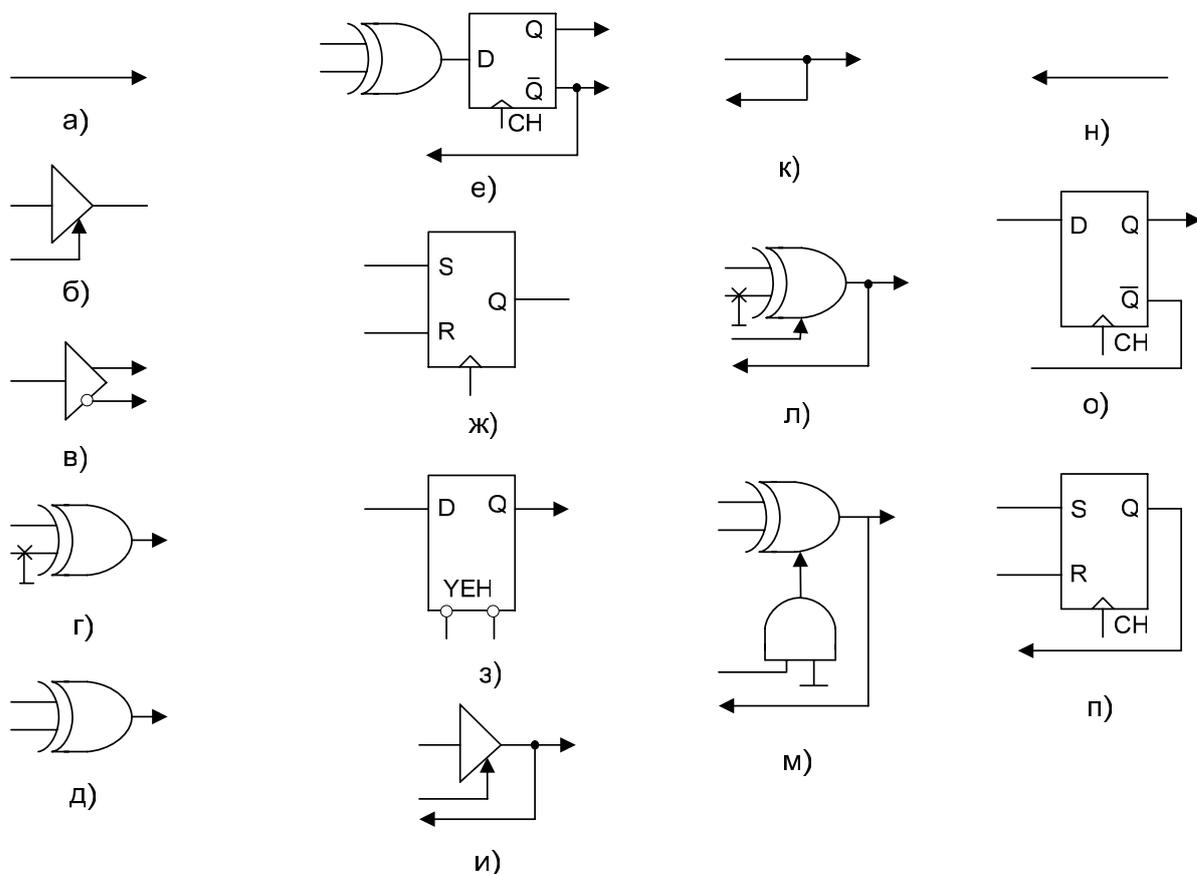


Рисунок 2.34 – Многофункциональные выходные ячейки

- а) прямая;
- б) прямая с разрешением;
- в) комплементарная ячейка;
- г) прямая с программируемой полярностью;
- д) прямая с программируемой полярностью и разрешением;
- е) D–триггер с программируемой полярностью и ОС;
- ж) RS–триггер;
- з) D–защелка;
- и) ввод–вывод;
- к) прямая с ОС;
- л) ввод–вывод с программируемой полярностью;
- м) ввод–вывод с программируемой полярностью и двойным разрешением;
- н) ввод;
- о) D–триггер с ОС;
- п) RS–триггер с ОС.

После программирования получаем необходимые комбинационные или последовательностные логические схемы.

2.14 Микросхема ПЛМ (К556 РТ 1)

На рисунке 2.35 приведено условное графическое изображение и функциональная схема К556 РТ 1.

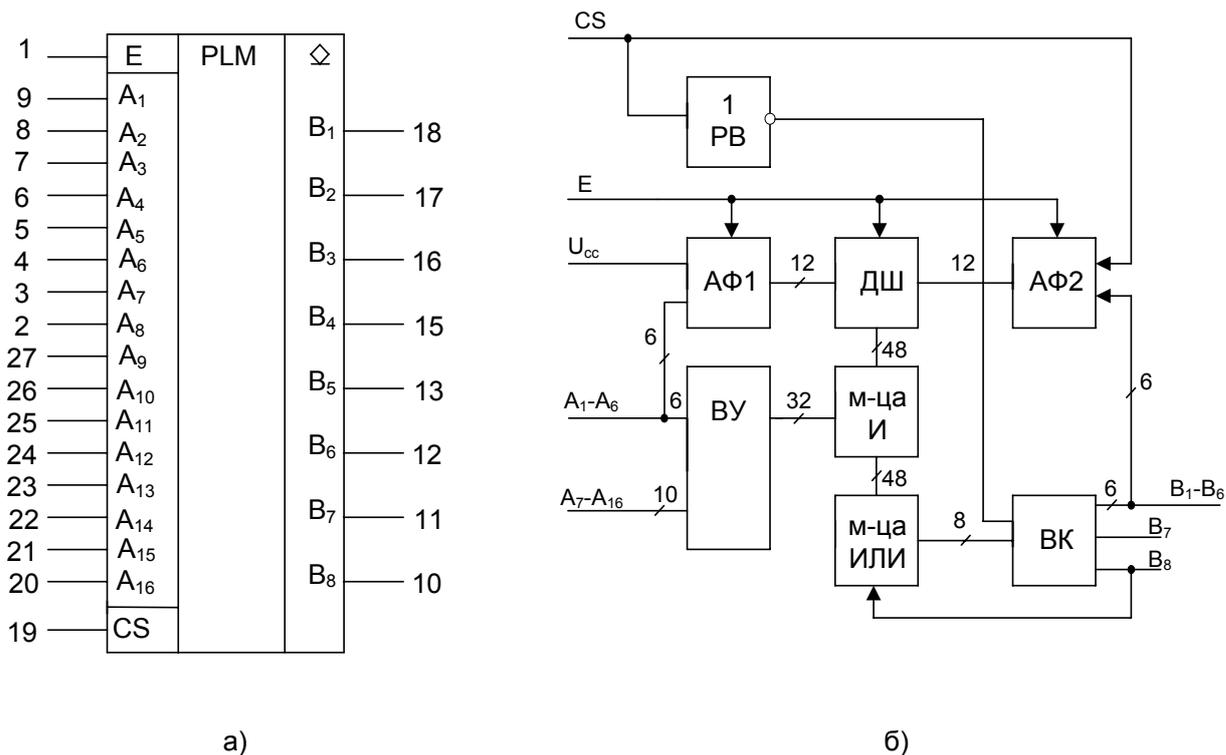


Рисунок 2.35 – Микросхема ПЛМ, а – условное графическое изображение, б – функциональная схема

На корпусе микросхемы, если смотреть на него со стороны электродов, должна быть метка в виде точки, углубления или выступа. Отсчет выводов от метки осуществляется по часовой стрелке, если смотреть на схему со стороны электродов. Четырнадцатый вывод здесь не обозначен, но он есть – это общий, земля. Назначение выводов:

- 2 – 9 – входы A₈ – A₁;
- 20 – 27 – входы A₁₆ – A₉;
- 10 – 13 – выходы B₈ – B₅;
- 15 – 18 – выходы B₄ – B₁;
- 14 – общий, не приведен;
- 19 – выбор микросхемы CS;
- 28 – питание U_{cc}=+5В;
- 1 – сигнал программирования.

На рисунке 2.35, б изображена функциональная схема, где приняты следующие обозначения:

ВУ – блок входных усилителей;

ВК – блок выходных каскадов;

РВ – схема разрешения выборки кристалла;

ДШ – программируемый дешифратор;

АФ1, АФ2 – программируемые адресные формирователи;

Черточки и цифры – количество проводников.

ВУ формирует прямые и инверсные значения входных переменных (“0” или “1”), поступающих на матрицу И. Построение осуществляется на основе двух последовательно включенных схем “И-НЕ”. Матрица И содержит 48 шестнадцативходовых конъюнкторов, каждый из которых через плавкие нихромовые переключатели соединяется со всеми шестнадцатью входами, а также 8 сорокавосемивходовых дизъюнкторов, т. е. каждый конъюнктор может иметь до шестнадцати входов по “И”, если сохраняются все переключатели. При этом каждая входная переменная (“0” или “1”) может входить в конъюнкцию с прямым или инверсным значением либо не входить вообще, если переключатель переплавлен. Таким образом матрица И образует первый уровень логических функций. Выходные сигналы матрицы И вводятся в матрицу ИЛИ, образующую второй уровень логических функций.

В матрицу ИЛИ входят 8 дизъюнкторов (8 выходов), каждый из которых имеет 48 входов, т. е. может быть связан с любым из сорока восьми конъюнкторов.

Шины, связывающие эти две матрицы, называют шинами конъюнкции (К1 – К48), а шины, связывающие матрицу ИЛИ с выходными каскадами – шины дизъюнкции (S1 – S8). На рисунке 2.36 представлен фрагмент принципиальной схемы.

F – инверторы со входами $A_1 - A_{16}$. На выходах прямой и инверсный сигналы ($A_1 - A_{16}, \bar{A}_1 - \bar{A}_{16}$).

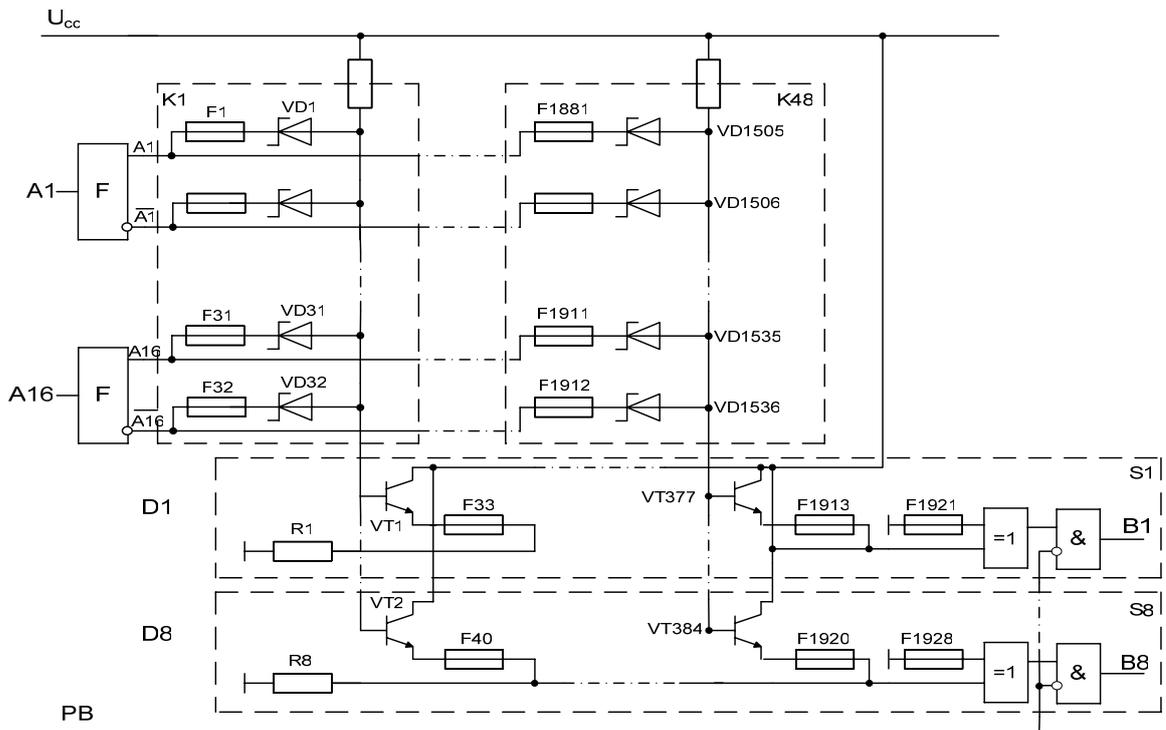


Рисунок 2.36 – Фрагмент принципиальной схемы

F1–F1928 – плавкие перемычки. Они либо пережигаются (тогда связей нет), либо сохраняются при программировании.

VD1–VD1536 – диоды схемы логического умножения (см. рисунок 2.37, а).

Схема логического сложения на транзисторах VT1–VT384 в эмиттерном режиме необходима для того, чтобы получить максимальное быстродействие. Если X_1 или все X_{48} единицы (на схеме сложения, рисунок 2.37, б), то на эмиттерном резисторе наблюдается падение напряжения, т. е. “1”. Диоды Шоттки VD1–VD1536 необходимы для увеличения быстродействия. Можно было бы применять обычные диоды, но быстродействие снизится.

В выходных цепях $\boxed{=1}$ – элемент неравнозначности (схема сложения по модулю 2, также называют “исключающее” ИЛИ: три варианта названия одного и того же элемента).

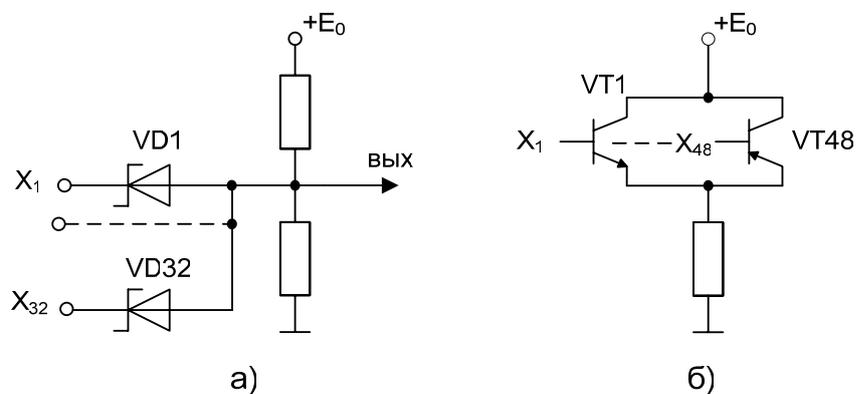


Рисунок 2.37 – Схема умножения – а; схема сложения – б

Программирующим элементом матрицы И являются диоды Шоттки с плавкой нихромовой перемычкой. Матрица ИЛИ включена по схеме эмиттерного повторителя $n-p-n$ транзистора с плавкой нихромовой перемычкой в цепи эмиттера. Исключающее ИЛИ позволяет инвертировать уровень выходного сигнала в зависимости от сигнала на входе, т. е. запрограммировать активный высокий или активный низкий уровни выходного сигнала. Заземление одного из двух входов исключающего ИЛИ через плавкую перемычку приводит к тому, что активным уровнем выходного сигнала становится напряжение низкого уровня.

Возможны следующие режимы работы ПЛМ:

- считывание;
- программирование и контроль матриц;
- программирование и контроль активного уровня выходов;
- хранение.

Управление указанными режимами осуществляется с помощью различных комбинаций сигналов, в качестве которых используют различные уровни напряжения питания и входного напряжения на входе CS. Уровни напряжений могут быть

по входу E (17 ± 1) В;

по входу CS (10 ± 0.5) В.

Питание $U_{cc} = 5$ В или 0.

На рисунке 2.38 изображены графики – фрагмент программирования какой-то логической функции, рассчитанной на выделение определенного тепла, не приводящего к выгоранию матрицы.

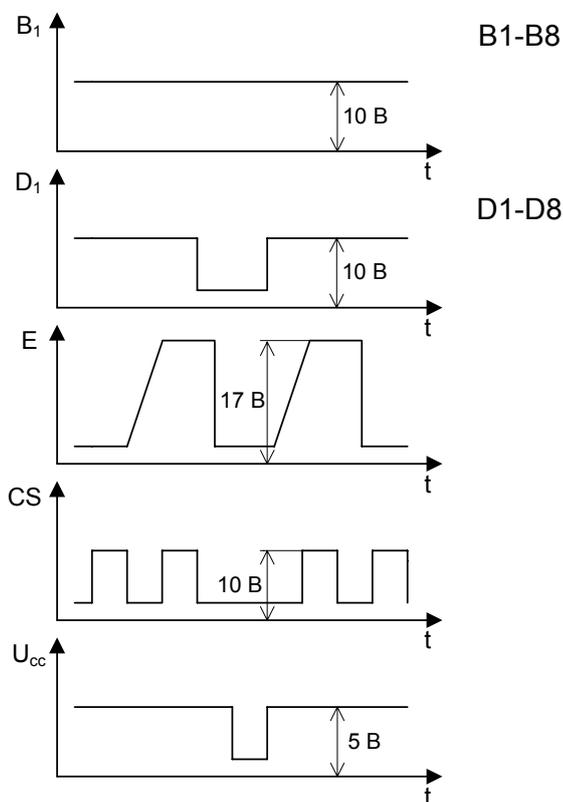


Рисунок 2.38 – Фрагмент программирования логической функции

Для развязки низкочастотных и высокочастотных помех (сквозные токи) включаются электролитические и керамические конденсаторы (рисунок 2.39).

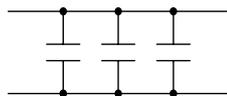


Рисунок 2.39 – Конденсаторы в виде навесных элементов

Выбираются конденсаторы с различными свойствами: одни фильтруют низкочастотные помехи, другие – высокочастотные; так как, например, низкочастотные конденсаторы с электролитической фольгой, намотанной в виде катушки индуктивности, плохо фильтруют высокочастотные составляющие, индуктивность их не пропускает. С другой стороны на плате рекомендуется устанавливать (припаивать) на выводы питания каждой микросхемы (или на группу) электролитические конденсаторы емкостью не менее 0.1 мкФ, а также керамические конденсаторы емкостью 0.01 мкФ, которые объединяются в виде группы. Электрические принципиальные схемы часто содержат фрагменты вида рисунка 2.39, когда несколько конденсаторов включены параллельно. Это означает, что применены либо конденсаторы различных типов, одни из которых электролитические, фильтруют низкочастотные помехи, другие пластинчатые, фильтруют высокочастотные помехи, либо конденсаторы разнесены по элементам платы, припаяны к соответствующим выводам микросхем, но изображены в виде параллельного соединения, как на рисунке 2.39.

Если конъюнкторы микросхемы не входят в логическую структуру, то их желательно исключить, т. е. пережечь в процессе программирования. Этим будет уменьшено число параллельно включенных диодов Шоттки, и быстродействие возрастет. Можно не пережигать, но при этом снизится быстродействие.

Если используются не все дизъюнкции, то выжигание можно не производить, так как там включены параллельно закрытые транзисторы. Они практически не снижают быстродействие. Но если будет произведено выжигание, то это улучшит работу микросхемы. Микросхемы предназначены для совместного включения с ТТЛ. Если логика другого типа, согласование производится посредством преобразователей уровня (например, К500ПУ-124, 125, К176ПУ-1, К176ПУ-8).

3 ТРИГГЕРЫ

Триггеры предназначены для запоминания информации, придания искаженным помехами сигналам прямоугольной формы и т.д. Электронные схемы, содержащие элементы памяти, называют последовательностными.

Различают триггеры

- на транзисторах;
- на логических элементах;
- на туннельных диодах;
- на тиристорах;
- интегральные
- на двухбазовых диодах;
- на операционных усилителях и т.д.

Выделяют

- RS–триггеры (простейшие триггеры, почти не применяются в виду их недостатков);
- JK–триггеры (применяются вместо RS–триггеров);
- D–триггеры (триггеры задержки);
- DV–триггеры и т.д.

Известны прозрачные и непрозрачные триггеры.

Различают триггеры

- одноступенчатые;
- двухступенчатые или MS–триггеры (Master–Slave);
- шестиэлементные.

3.1 Триггеры на биполярных транзисторах

Триггеры такого типа в настоящее время практически не применяются, но они имеют учебное значение, строятся на двух инверторах. Электрическая принципиальная схема триггера на биполярных транзисторах изображена на рисунке 3.1. Вначале принимаем, что связи выход1-вход2 и выход2-вход1 отсутствуют. Каждый отдельный каскад – это инвертор.

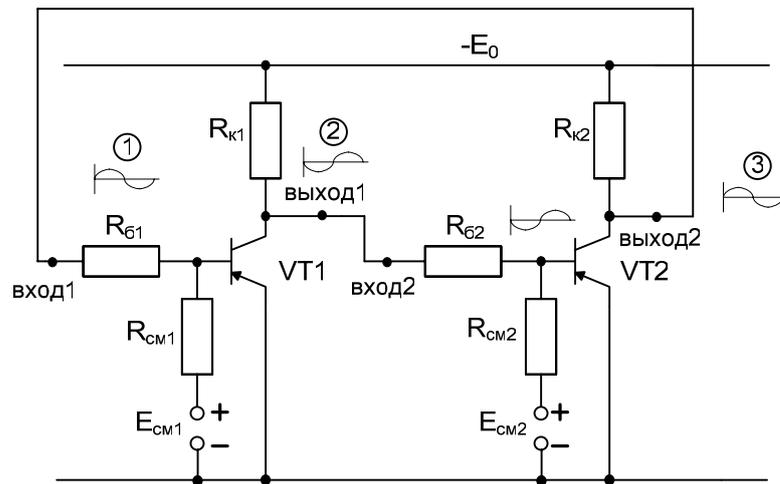


Рисунок 3.1 – Триггер на биполярных транзисторах

Источники смещения введены для того, чтобы закрыть транзисторы, тогда на выходах одновременно будут высокие уровни (“1”). Если соединить выходы со входами (вх1–вых2, вх2–вых1) и подать напряжение питания, то в схеме образуется триггерный эффект, на одном из выходов будет “0”, а на другом “1”. Таким образом, для построения триггера необходимо:

- положительная ОС (она здесь образуется, так как присутствуют два каскада, два инвертора, каждый из которых дает фазовый сдвиг 180° , а в итоге 360°);
- гистерезис, (рисунок 3.2).

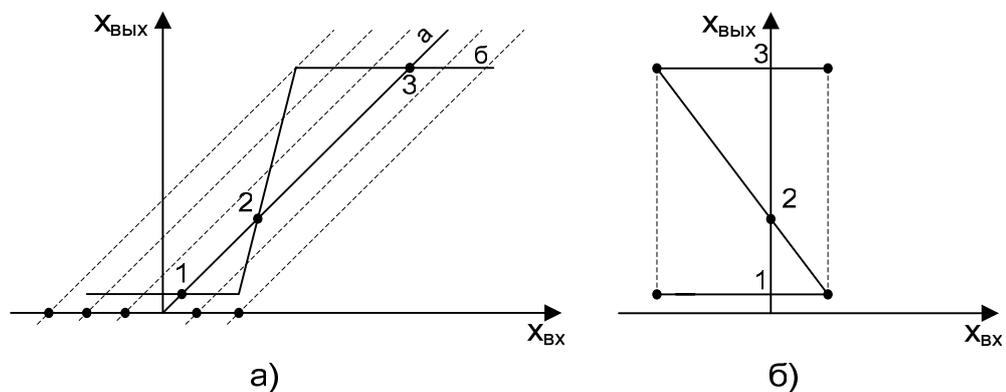


Рисунок 3.2 – Гистерезис

Должно быть, именно такое расположение характеристик как показано на рисунке 3.2, где б – соответственно усилительная характеристика двух каскадов, а – линия, коэффициент передачи цепи ОС. Здесь приведен пассивный случай цепи ОС в виде проводника, $k=1$.

Для построения гистерезиса (см. рисунок 3.2, б) на рисунке 3.2, а проводят ряд штриховых прямых, параллельных характеристике цепи ОС. Измеряют величины, отсекаемые штриховыми линиями на горизонтальной оси, и откладывают эти значения на графике, изображенном на рисунке 3.2, б.

Находят точки пересечения штриховых линий с характеристикой б, и из точек пересечения опускают перпендикуляры на вертикальную ось. Отсчитывают цифры вертикальной оси и откладывают на втором графике. По результатам отсчета строят характеристику рисунка 3.2, б. Из ее внешнего вида следует, что имеется гистерезис. Он является необходимым условием триггерного эффекта. На графике также видны две точки устойчивого равновесия 1 и 3, точка 2 – точка неустойчивого равновесия.

Желательно, чтобы точка 2 располагалась примерно на середине прямой 1–3 (рисунок 3.2, а), тогда гистерезис будет симметричен относительно вертикальной оси $X_{\text{ВЫХ}}$, т. е. его “центр тяжести” будет уравновешен. Но можно сделать и так, как показано на рисунке 3.2, б.

Элементы триггерной схемы рассчитываются из следующих соображений:

1 Выбираются транзисторы. На семействе выходных характеристик, откладывается напряжение питания E_0 (рисунок 3.3). Проводится нагрузочная прямая. Если необходимо максимальное усиление по мощности, то выбирается среднее положение; если необходимо максимальное усиление по току – ближе к вертикали; если необходимо усиление по напряжению – ближе к горизонтали. Выбранный наклон даёт цифру коллекторных резисторов, R_{k1} и R_{k2} .

2 Базовые токи рассчитываются приближенным образом по соотношению 1:10 для несоставных транзисторов и 1:100 для составных. Наиболее точным образом по семейству выходных характеристик в соответствии с разделом 1.3.2. определяют $I_{\text{бгр}}$ и $I_{\text{б1}}$ (рисунок 3.3). По этим величинам рассчитываются величины сопротивлений $R_{\text{б1}}$ и $R_{\text{б2}}$.

3 Источники смещения $E_{\text{см}}$ принимаются допустимыми для перехода Б – Э в закрытом состоянии. Приближенное значение находится в диапазоне $0,2 \div 0,6$ В.

4 $R_{\text{см1}}$, $R_{\text{см2}}$ – смещающие резисторы. Принимаются не менее чем в 10 раз больше в сравнении с базовыми. Физический смысл заключается в том, что ответвление токов базовых резисторов в смещающие должно быть незначительным.

Форсирующие конденсаторы, которые включают параллельно базовым резисторам, рассчитывают по методике форсирующих ключей (раздел 1.9).

Триггеры могут работать без конденсаторов, но в этом случае форсирования (улучшение фронта) нет.

После включения напряжения питания один из транзисторов (например, VT1, рисунок 3.1) откроется, а другой (VT2) – остается закрытым. Какой из транзисторов будет открыт, определяется несимметрией схемы. При этом, так как VT2 закрыт, на его выходе высокий уровень (почти равный E_0). Образуется цепь земля · Э – Б VT1 · $R_{\text{б1}}$ · \dots · выс. уровень кол. VT2 · R_{k2} · \dots · E_0 . Следовательно, VT1 открыт, на коллекторном электроде VT1 низкий уровень (“0”). Этот низкий уровень недостаточен для преодоления напряжения смещения $E_{\text{см2}}$, поэтому VT2 закрыт, на его выходе наблюдается высокий уровень (как и было принято).

Для опрокидывания триггера необходимо или закрыть VT1 (тогда откроется VT2), или открыть VT2 (тогда скачком закроется VT1).

Выделяют четыре этапа процесса переключения. Примем, что переключение производится путем закрывания открытого VT1. Процессы опрокидывания частично иллюстрируются рисунком 3.3.

1 Рассасывание неосновных носителей в базовой области. Открытый транзистор выходит к подножию, началу активной области, т.е. базовый ток $I_{б1}$ на линии насыщения убывает в направлении точки 1.

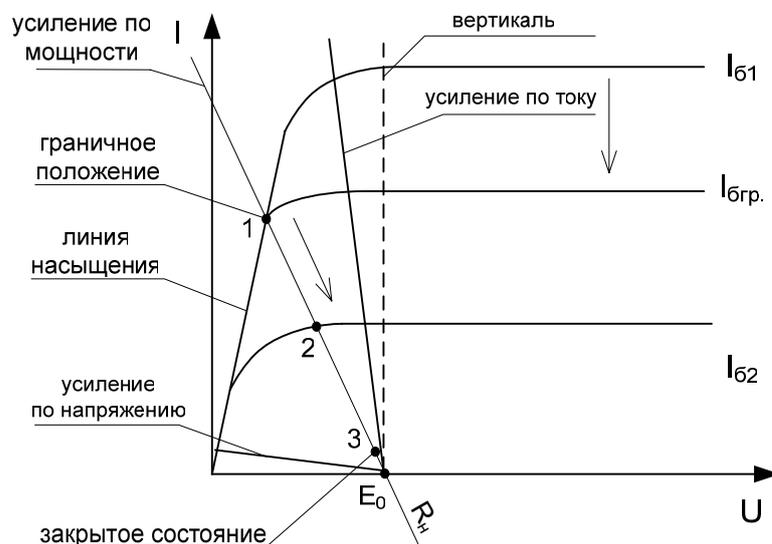


Рисунок 3.3 – Семейство выходных характеристик

2 Этап подготовки. Продолжающееся уменьшение базового тока, движение на интервале колена $I_{бгр.}$ (см. рисунок 3.3). В сущности, это небольшая область в окрестности точки 1. Пересекается граница между областью насыщения и активной областью. Второй этап называется подготовкой.

3 Этап регенерации. При дальнейшем уменьшении базового тока $I_{б2}$ рабочая точка из положения на границе переходит в положение $I_{б2}$, следовательно смещается по нагрузочной прямой от колена по стрелке (см. рисунок 3.3) и т. д. до полного закрывания, т. е. до выхода в точку 3, почти совпадающую с E_0 .

Итак, на третьем этапе транзистор VT1 закрывается, VT2 в это же время открывается. Переключаются они одновременно, поэтому третий этап называется этапом регенерации, т. е. действием ПОС.

4. Четвертый этап – это VT1 закрыт, VT2 – открыт, но емкости (в том числе базовые конденсаторы), продолжают перезаряжаться до полного установления. Поэтому четвертый этап называют этапом установления. Этот этап занимает по времени большую часть процесса опрокидывания триггера.

По отношению к обратным связям (третьему этапу) требуются дополнительные пояснения, которые иллюстрируются рисунками 3.4, 3.5 и 3.6. Примем вначале обычный транзисторный каскад на VT и установим в его базовой цепи определенный ток смещения, обозначенный на рисунке 3.4 тонкой непрерывной горизонтальной линией. Этому току смещения соответствует напряжение $U_б$. Наложим на него два вида сигналов:

синусоидальный и импульсный. Здесь также изображены выходные синусоидальные и импульсные напряжения.

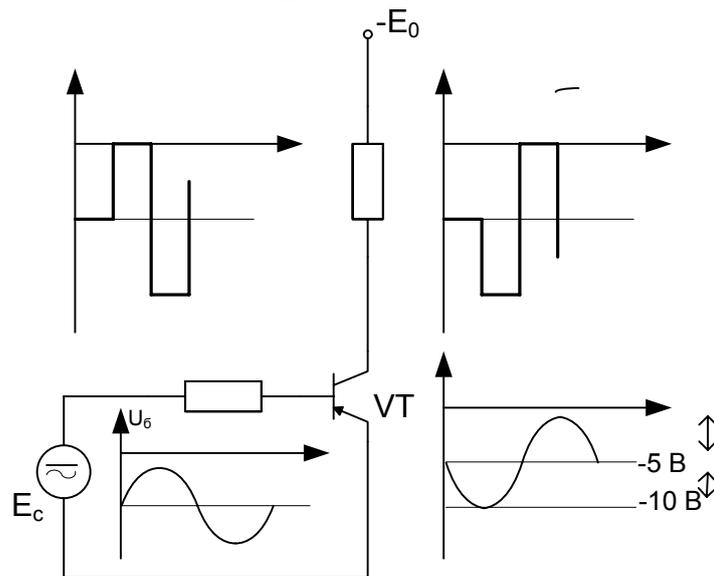


Рисунок 3.4 – Транзисторный каскад с наложением входных и выходных напряжений

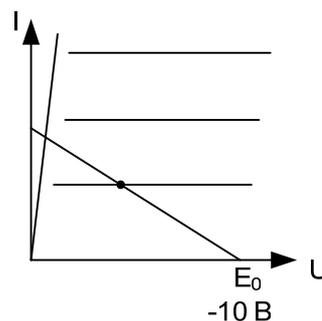


Рисунок 3.5 – Нагрузочная прямая и рабочая точка на семействе выходных характеристик

1 полупериод: транзистор подзакрывается, так как напряжение в 1 полупериоде идет в направлении горизонтали, то есть уменьшения базового тока. Напряжение на коллекторном электроде возрастает в отрицательной области.

2 полупериод: все наоборот.

Из графиков видно, что это инвертор, фазовый сдвиг 180° (нельзя утверждать, в какую сторону этот сдвиг, положительную или отрицательную). Это нереактивный сдвиг.

Подадим импульсный сигнал вместо синусоиды. Видно, что на выходе тоже инверсия, причем если достигаются уровни горизонтальной оси времени и уровни напряжения питания, то вершины и основания импульсов формируются нелинейностями: напряжением питания и нулем. Эти нелинейности называются

насыщением. В отличие от линий насыщения биполярного транзистора на семействе выходных характеристик, здесь принципиально другой смысл. В том случае, когда импульсы действуют в активной области, то вершины и основания не упираются в E_0 и ось времени t , получаются формы вершины и основания управляющего сигнала. Если условно принять третий этап соответствующим активной области, а на базовом электроде первого транзистора поместить синусоиду с первым положительным полупериодом, то на коллекторном электроде VT1 рисунка 3.1 первый полупериод будет отрицательный. На базе VT2 тоже отрицательный полупериод, на коллекторном электроде VT2 – положительный.

По сравнению с системами автоматического управления, которым присущи отрицательные обратные связи, в этой схеме действует положительная обратная связь, поэтому получаем «+». «+» означает совпадение фаз входного и выходного напряжений. Положительная обратная связь может быть, если W не вносит фазового сдвига или вносит фазовый сдвиг 360° или $360^\circ \cdot n, n = 2, 3, \dots$, как на рисунке 3.6.

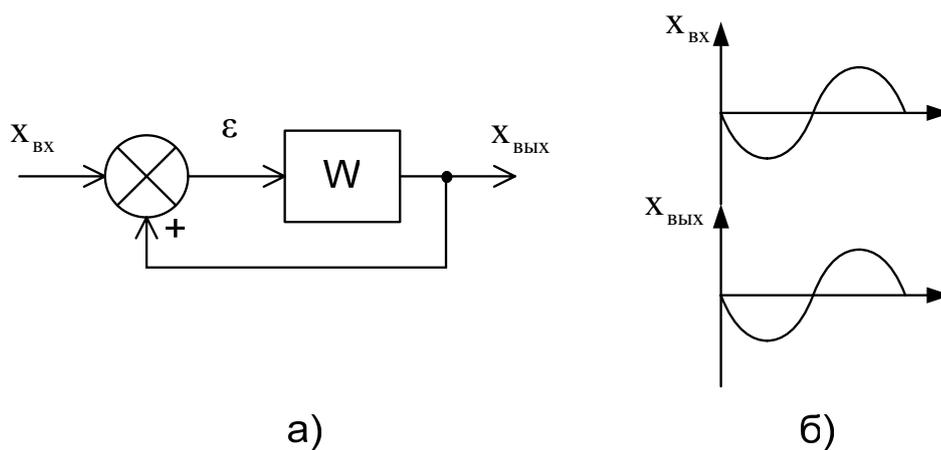


Рисунок 3.6, а – Структурная схема системы управления с единичной положительной обратной связью, б – совпадение фаз входного и выходного сигналов при ПОС

Передаточная функция этой системы:

$$\Phi = \frac{W}{1 - W} = \frac{x_{\text{вых}}}{x_{\text{вх}}}$$

Минус в знаменателе означает положительную обратную связь (ПОС).

Примем условно $W = 1$ и будем увеличивать или уменьшать его. Если $W < 1$, то получаем электронную схему (систему управления) с устойчивым процессом усиления, регенеративным процессом.

Если $W = 1$, то выражение будет стремиться к бесконечности. Это устойчивые процессы генерации непрерывных сигналов постоянных по уровню или синусоидальных сигналов, если W содержит в своем решении характеристического уравнения комплексные корни.

Если $W > 1$, то это будет неустойчивый процесс. Такое устройство либо разрушается, либо упирается в насыщение.

У триггера именно это обстоятельство. На рисунке 3.7, точки 1 и 3 означают окончание взрывных электронных процессов, точка 1 – упор в нуль, точка 3 – упор в напряжение питания, точка 2 – неустойчивое равновесие.

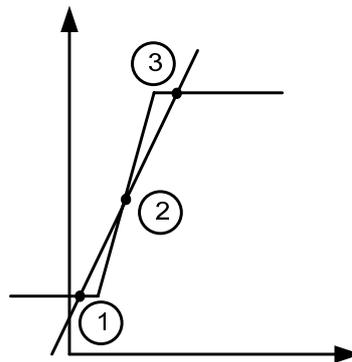


Рисунок 3.7 – Точки устойчивого равновесия 1, 3; 2 – неустойчивого равновесия

Таким образом, в схеме триггера на коротких интервалах времени третьего этапа регенерации можно принять графики, представленные на рисунке 3.8. Первый график на базе транзистора VT1 схемы рисунка 3.1. Второй – на коллекторном электроде VT1 и на базе VT2. Третий – на коллекторном электроде VT2. Они подтверждают наличие ПОС, сигнал третьего графика по цепи обратной связи поступает на базу VT1 (рисунок 3.1), складывается с сигналом первого графика, так как они совпадают по фазе.

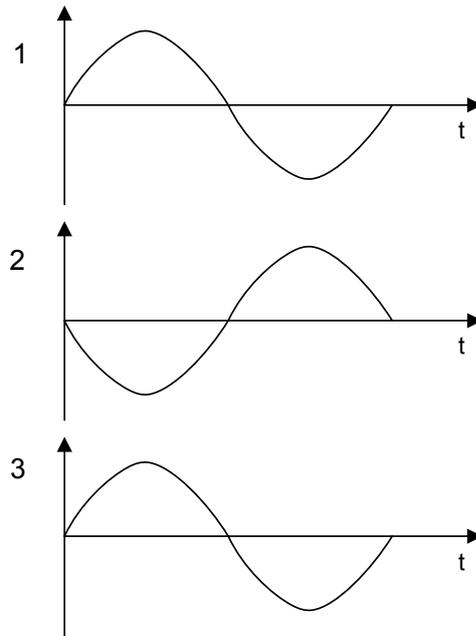


Рисунок 3.8 – Процессы в двухкаскадном усилителе (триггере)

Эти графики для синусоиды, но в схеме триггера имеют место импульсные процессы. Они подобны синусоидальным.

Перерисуем схему триггера рисунка 3.1 в более привычный вариант рисунка 3.9. Здесь почти все тоже самое, но два источника смещения заменены одним.

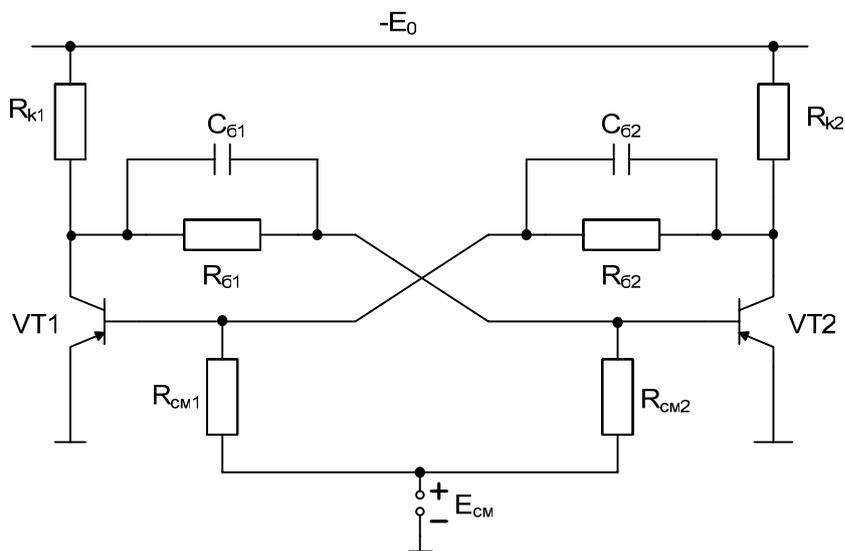


Рисунок 3.9 – Схема триггера с одним источником смещения

В электронике выделяют 2 вспомогательные цепи – дифференцирующую и интегрирующую, изображенные на рисунках 3.10 и 3.12.

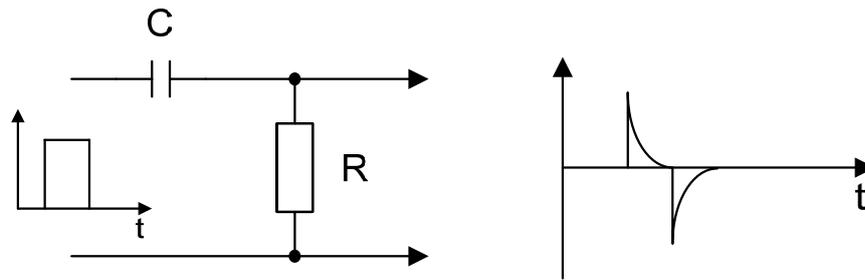


Рисунок 3.10 – Дифференцирующая цепь

Дифференцирующая цепь (укорачивание). Ее передаточная функция имеет вид:

$$W(p) = \frac{U_{\text{вых}}(p)}{U_{\text{вх}}(p)} = \frac{R}{1/pC + R} \quad \text{т.е. передаточная функция – это отношение}$$

сопротивления выхода цепи к сумме всего сопротивления.

В частотной области предельный фазовый сдвиг $+90^\circ$. Но коэффициент передачи по мере роста частоты стремится к "1"; фронт прямоугольных импульсов на входе практически без изменений проходит на выход, потому что содержит высокочастотную составляющую спектра, а сопротивление емкости для высокочастотной составляющей почти "0", потому на выходе выделяется тот же фронт, что и на входе. Затем, вследствие действия вершины импульса, происходит заряд конденсатора ... + -, на сколько зарядится конденсатор зависит от его величины, а также длительности импульса. Конденсатор малой емкости быстро заряжается, а большой – медленно. Предположим, что здесь средняя величина емкости. К концу действия входного импульса конденсатор заряжается полностью до напряжения уровня вершины, следовательно, зарядный ток почти нулевой, заряд происходит по экспоненте, поэтому на выходе напряжение убывает также по экспоненте, так как ток в резисторе равен нулю. В момент заднего фронта происходит разряд по цепи:

+ конденсатора слева → цепь источника сигнала → R → - конденсатора справа.

На выходе, на резисторе вначале фронт в отрицательной области (начало разряда конденсатора), затем по мере разряда по экспоненте напряжение стремится к нулю.

Из графика, изображенного на рисунке 3.10, видно, что есть укорачивание (если емкость меньше, то короче), поэтому цепь называется укорачивающей.

После преобразований получаем передаточную функцию укорачивающей цепи в следующем виде:

$$W(p) = \frac{pRC}{1 + pRC} = \frac{pT}{1 + pT}, \quad \text{где } T=RC.$$

Если перейти к частотной области, то имеем графики, изображенные на рисунке 3.11.

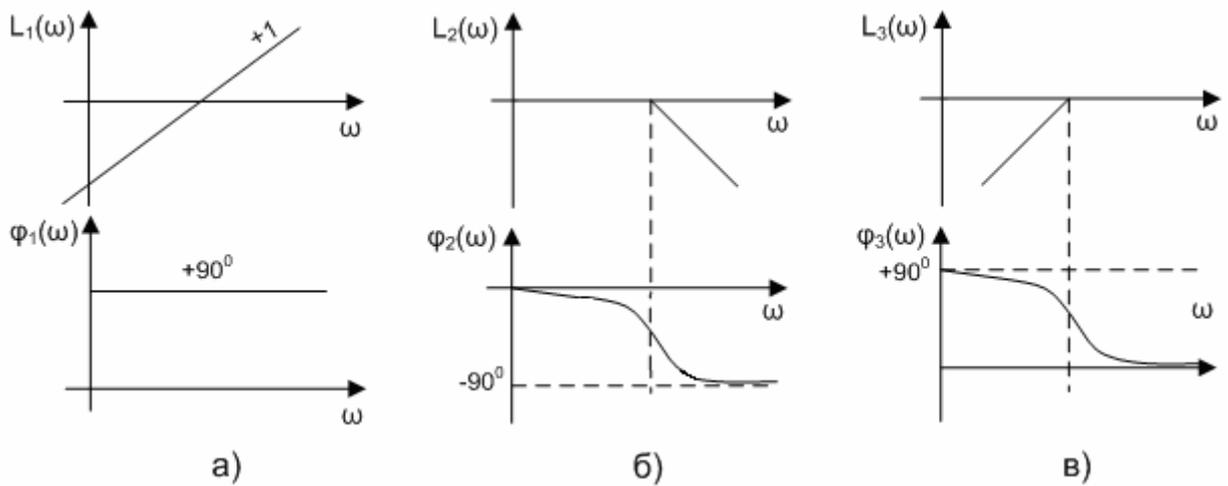


Рисунок 3.11, а – ЛАЧХ и ФЧХ укорачивающей цепи

На рисунке 3.11, а изображены ЛАЧХ и ФЧХ числителя передаточной функции, на рисунке 3.11, б – знаменателя, а на рисунке 3.11, в – общие ЛАЧХ и ФЧХ, как результат суммирования а) и б).

Интегрирующая цепь (см. рисунок 3.12). В цепях запуска она не используется, тем не менее часто встречается в схемах, например, генераторах синусоидальных колебаний с RC цепями. Передаточную функцию, ЛАЧХ и ФЧХ предлагается оценить самостоятельно.

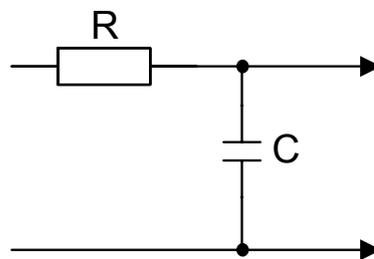


Рисунок 3.12 – Интегрирующая цепь

В триггере в качестве запускающей цепи используется укорачивающая цепь. Возможен запуск по базовой и коллекторной цепям, закрывающими, открывающими или чередующимися импульсами положительной и отрицательной полярности. Наилучший способ с точки зрения быстродействия – запуск импульсами закрывающей полярности. В схеме рисунка 3.9 это положительные импульсы.

В связи с тем, что запирающие импульсы рисунка 3.10 имеют фронт и спад, на выходе укорачивающей цепи образуются запирающий и отпирающий импульсы, один из них не нужен, поэтому вводят диодные пассивные ключи, изображенные на рисунке 3.13:

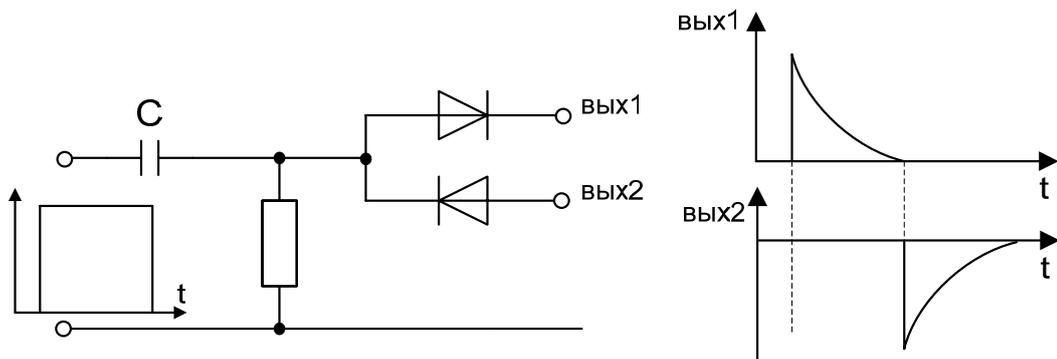


Рисунок 3.13 – Цепь запуска с диодными пассивными ключами

В итоге, схема триггера с возможными цепями запуска по базовым или коллекторным цепям выглядит так, как представлено на рисунке 3.14.

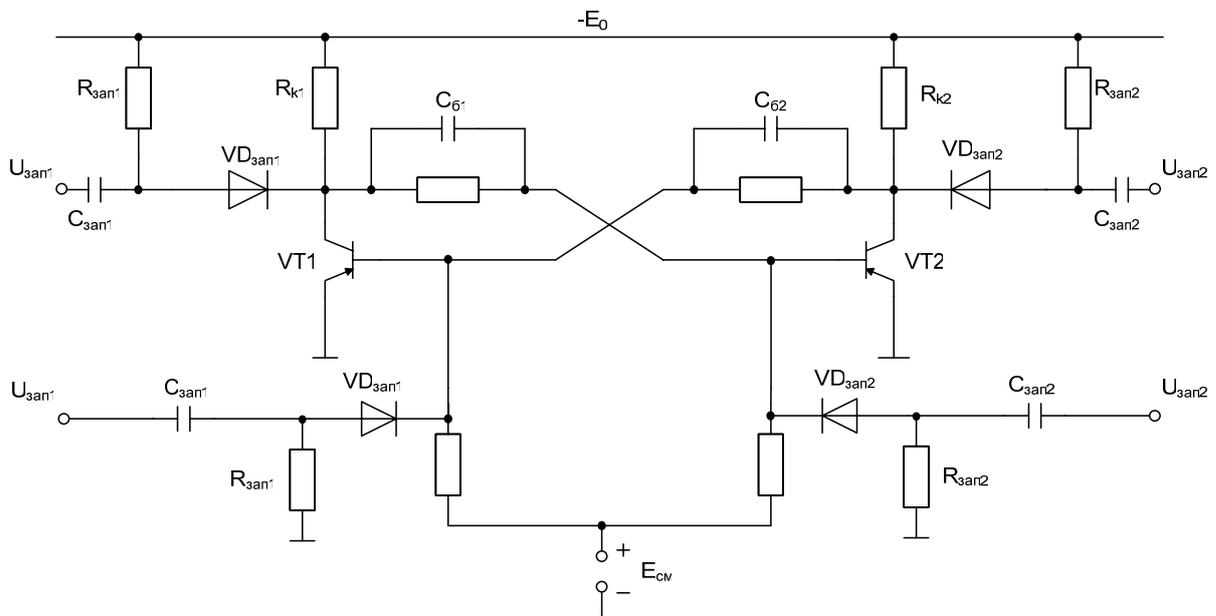


Рисунок 3.14 – Схема триггера на биполярных транзисторах с запуском в базовых или коллекторных цепях

Назначение диодов:

- 1 Пропускать импульсы закрывающей полярности на базовые электроды;
- 2 Выполнять отсекающую роль в связи с тем, что конденсатор $C_{б1}$ (или $C_{б2}$) (если они есть) заряжен до напряжения, близкого к E_0 . Например, если $VT1$ открыт и закрыт $VT2$, то слева на $C_{б2}$ плюс, справа – минус, потому что транзистор $VT1$ открыт и левая обкладка конденсатора $C_{б2}$ через открытый переход Э-Б $VT1$ связана с землей "+", а на коллекторе закрытого $VT2$ почти напряжение питания E_0 "—".

После прохождения импульса запираения через $VD_{зап1}$ протекают этапы: рассасывания, подготовки, регенерации – в итоге которых VT1 закрывается, а VT2 – открывается. "+" левой обкладки конденсатора C_{62} приложен с одной стороны к базе закрывшегося VT1, а другой – к правому электроду $VD_{зап1}$; с правой стороны "-" конденсатора C_{62} через открывшийся VT2 приложен к эмиттеру VT1 и через $R_{зап1}$ к электроду $VD_{зап1}$ слева.

$VD_{зап1}$ закрывается, отсекает "высокое напряжение" (т.е. то напряжение, до которого был заряжен C_{62}) от источника запускающих импульсов, защищает его.

Отличие запуска по коллекторной цепи в том, что требуется большая мощность, т.к. необходимо преодолеть сопротивление базовых цепочек, все остальное аналогично.

Условное изображение этого триггера показано на рисунке 3.15.

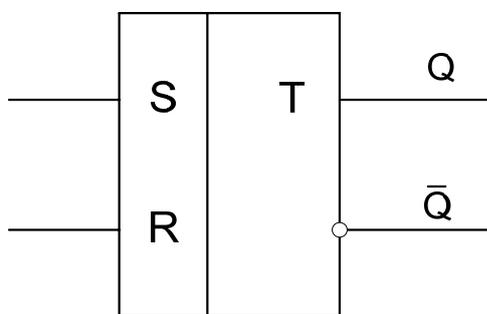


Рисунок 3.15 – Условное обозначение триггера

S и R – начальные буквы слов Set и Reset.

Нормальное положение выходов — "0" и "1"; два "0" или две "1" – запрещенное состояние; схема не выжигается, но нарушается логика.

По входам:

— режим ожидания: два "0".

— опрокидывание: поочередная подача "1"

В случае возникновения помех возможна одновременная подача "1", на выходах будут два "0", – запрещенное состояние.

Этот триггер самый непомяхоустойчивый; называется потенциальный, статический (в отличие от импульсных, динамических и их подобий).

3.2 Счетный триггер

В схеме, приведенной на рисунке 3.16, конденсаторы обязательны: без них триггер не опрокидывается, т.к. заряд конденсаторов выполняет роль памяти о предыдущем состоянии. Например, если заряжен C_{62} , то был открыт VT1 и закрыт VT2. Если заряжен C_{61} , то наоборот.

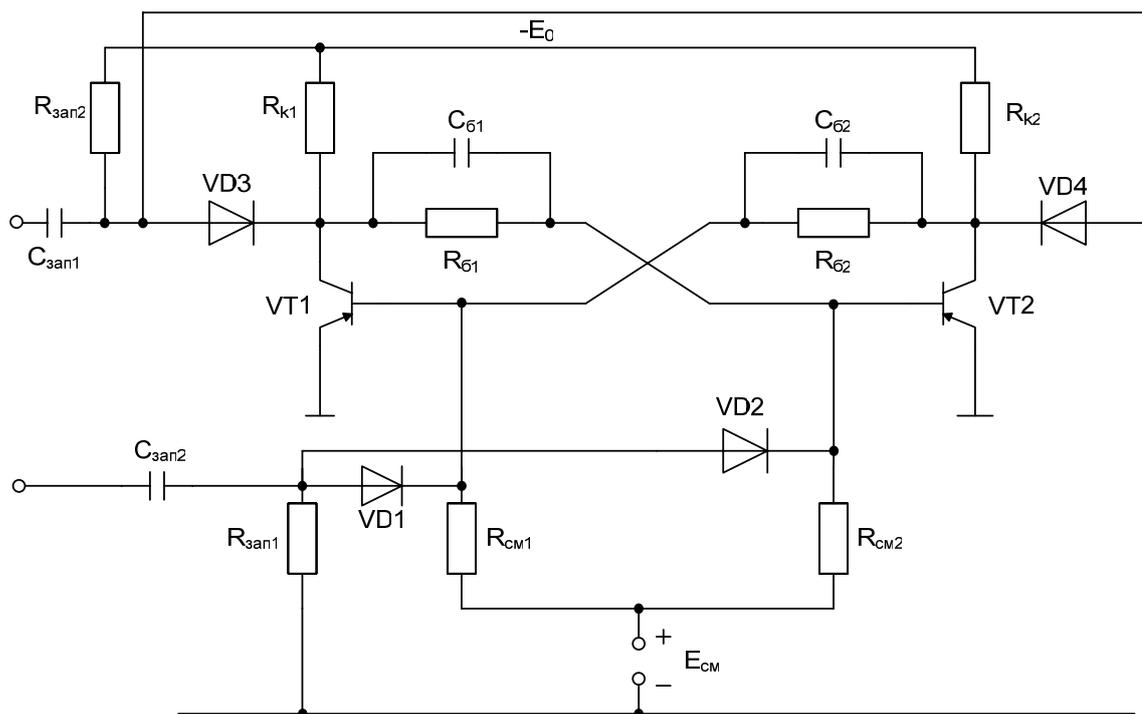


Рисунок 3.16 – Счетный триггер

Запускающий импульс должен быть короче времени разряда заряженного конденсатора, потому что если он будет длиннее, то он поступает через VD1 и VD2 на базы открытого, например VT1 и закрытого VT2. У открытого VT1 протекают этапы: рассасывания, подготовки, закрывания – а VT2 остается закрытым. Конденсаторы $C_{б1}$ и $C_{б2}$ разряжаются, а VT1 и VT2 все еще закрыты длинным закрывающим импульсом; на выходах две "1" (запрещенное состояние). После снятия запускающего импульса один из транзисторов (например, VT1) вновь придет в открытое состояние, а VT2 останется закрытым, опрокидывания не будет. Если же запускающий импульс короче времени разряда, то после снятия его VT1 будет удерживаться закрытым зарядом $C_{б2}$, а VT2 открывается, т.к. заряд $C_{б1}$ почти нулевой. По коллекторам все аналогично, только добавляется закрывание соответствующих диодов напряжением источника питания. Например, после опрокидывания открывается VT2, образуется цепь:

земля...открытый VT2... VD4 ...R_{зап2} ...E₀,

диод VD4 закрывается, отсекая запускающий сигнал.

3.3 Триггеры на униполярных транзисторах

Данные триггеры широко применяются в интегральных микросхемах (рисунок 3.17).

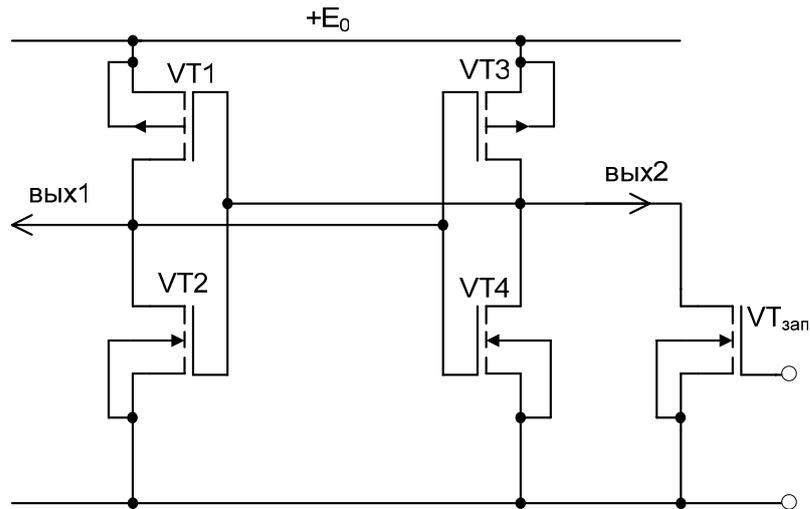


Рисунок 3.17 – Триггер на униполярных транзисторах

Здесь два ключа комплементарных на униполярных транзисторах, особенность лишь в том, что первый ключ повернут затворами в другую сторону.

Если соединить выходы со входами, то получим триггер.

На схеме, изображенной на рисунке 3.17, после включения напряжения питания устанавливается открытое состояние VT2 и закрытое VT4 (или наоборот, это зависит от несимметричности схемы).

Примем, что открыт VT2 и закрыт VT4, через открытый VT2 напряжение уровня земли подается на оба затвора VT3, VT4, следовательно, между затвором и истоком VT4 практически нулевая разность потенциалов, VT4 закрыт, как приняли, а VT3 открыт, т.к. между затвором и истоком VT3 разность потенциалов почти равна E_0 .

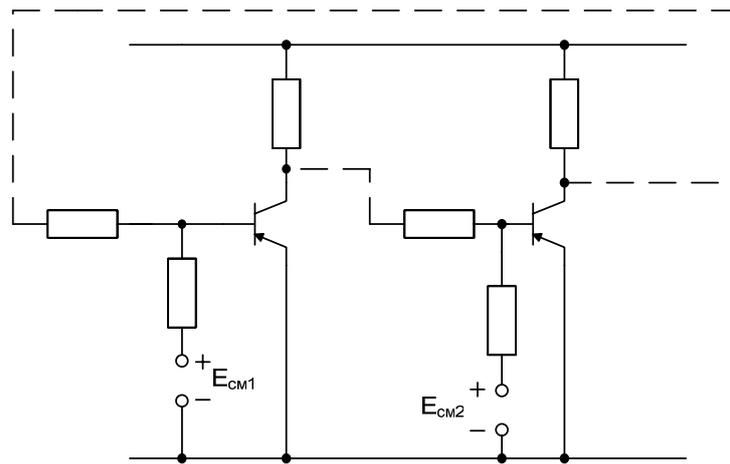
Таким образом, через открытый VT3 напряжение $+E_0$ поступает на оба затвора VT1, VT2 одновременно, поэтому между затвором и истоком VT2 разность потенциалов почти E_0 . VT2 открыт, как приняли, а VT1 – закрыт, потому как, к истоку и затвору VT1, приложено напряжение E_0 , разность потенциалов почти нулевая.

Для опрокидывания применяется укорачивающие цепочки или VT_{зап}.

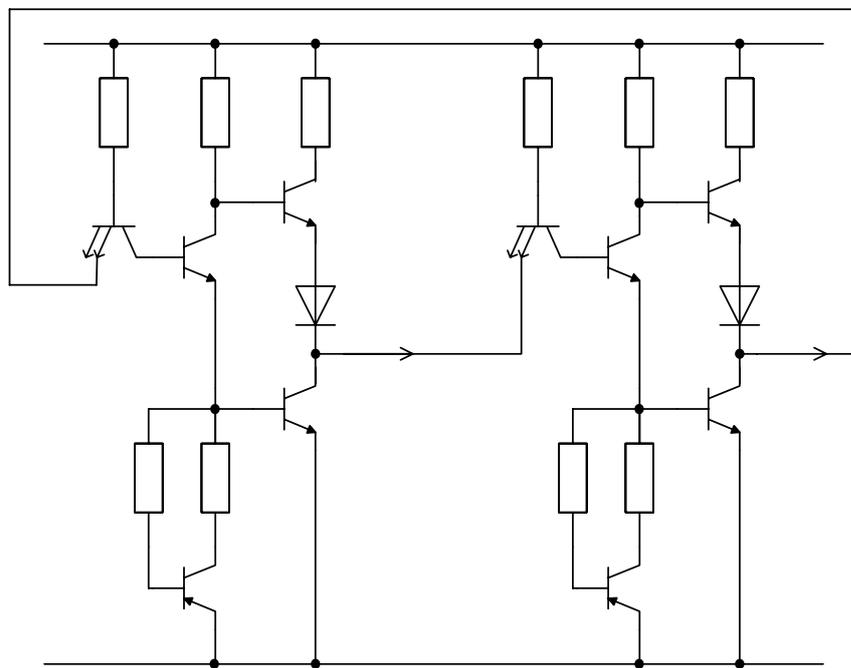
Если открыть VT_{зап}, то уровень земли приходит на затворы VT1, VT2; VT2 закрывается, VT1 – открывается. Триггер опрокидывается.

3.4 Триггеры на логических элементах

На рисунке 3.18, а изображена схема триггера, повторяющая схему рисунка 3.1. Она приведена здесь для того, чтобы видеть, как, по аналогии, построена схема триггера на логических элементах рисунка 3.18, б.



а)



б)

Рисунок 3.18 – Триггер на логических элементах

В первой схеме последовательное соединение выходов со входами образует RS-триггер на 2-х инверторах. Аналогично, на 2-х логических инверторах после соединения соответствующих выходов и входов тоже получаем RS-триггер. При этом свободные входы используются для управления триггером. Можно объединить оба входа одной и той же логической схемы – будет то же самое. Условное изображение триггера представлено на рисунке 3.19.

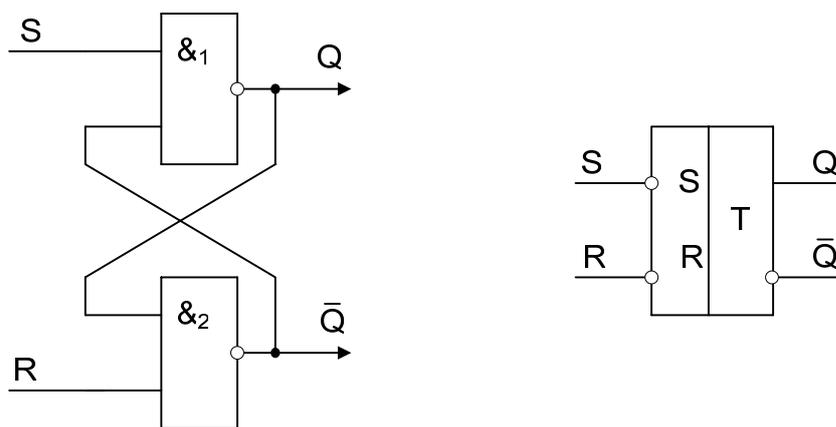


Рисунок 3.19 – Условное обозначение триггера

На рисунке 3.20 изображены режимы работы данного триггера.

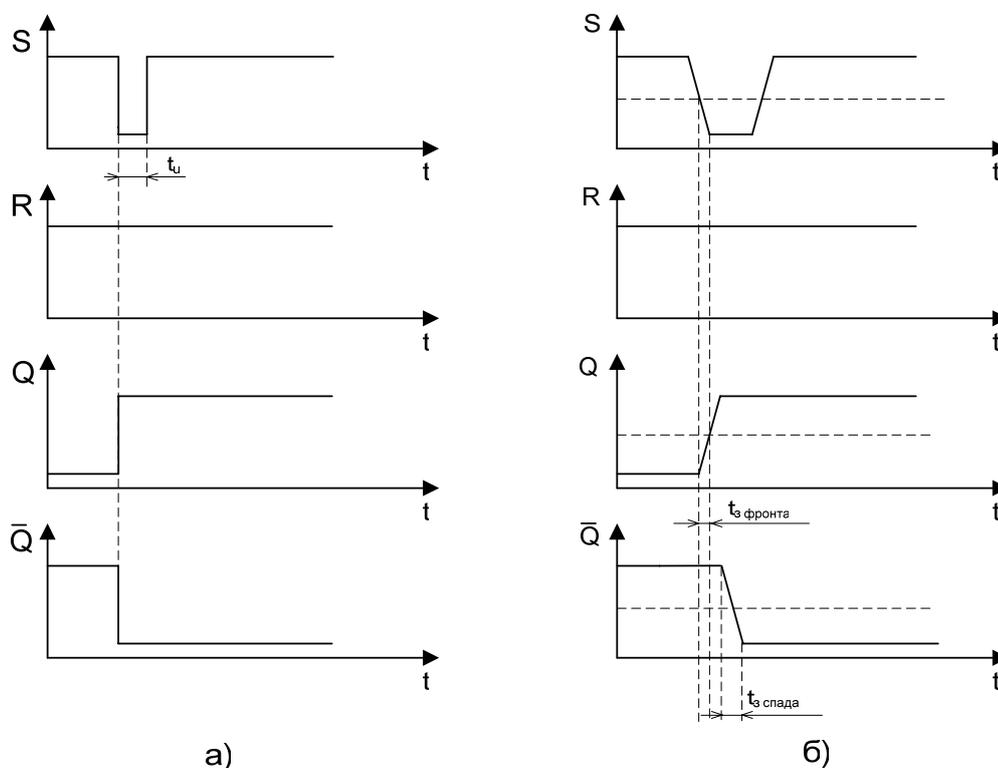


Рисунок 3.20 – Режимы работы триггера

В режиме ожидания на обоих входах «1», а управление переключения на обоих входах нулями (см. график 1). Поэтому на входах обычно ставят кружки – инверсное управление. Длительность импульса t_u не менее, нескольких средних времен задержки логики данной серии.

Графики рисунка 3.20,а изображают процессы в виде скачка. На самом деле на 3 и 4 графиках (рисунок 3.20, б) фронты и спады растягиваются и сдвигаются друг относительно друга. Из-за задержек одновременного процесса закрывания и открывания нет, поэтому нет и этапа регенерации, т.е. действия ПОС, как это было у триггеров на транзисторах.

В связи с тем, что оба логических элемента безусловно подчиняются нулю, на выходах возможно одновременное присутствие 2-х единиц (запрещенное состояние). Поэтому этот триггер не помехоустойчив, т.к. на один вход может поступать полезная информация, а на другой – помехи.

Триггер называется потенциальным, потому, что управляется в сущности вершинами и основаниями импульсов. Асинхронный триггер в связи с тем, что нет синхронизирующего входа.

3.5 Синхронный RS-триггер

На рисунке 3.21 представлен синхронный триггер.

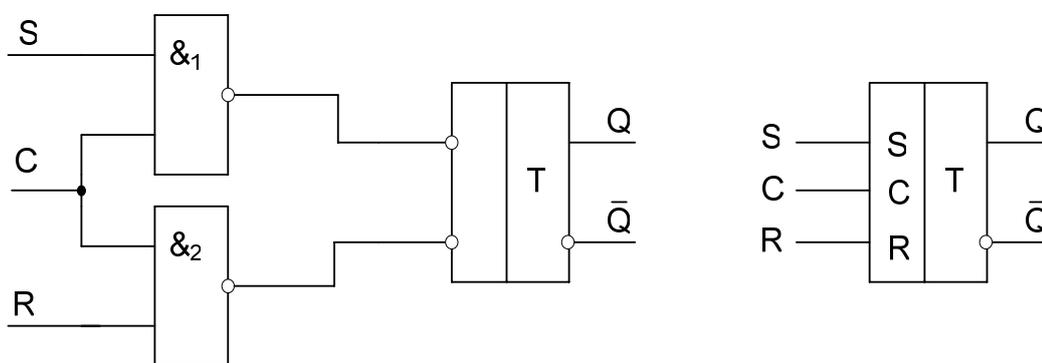
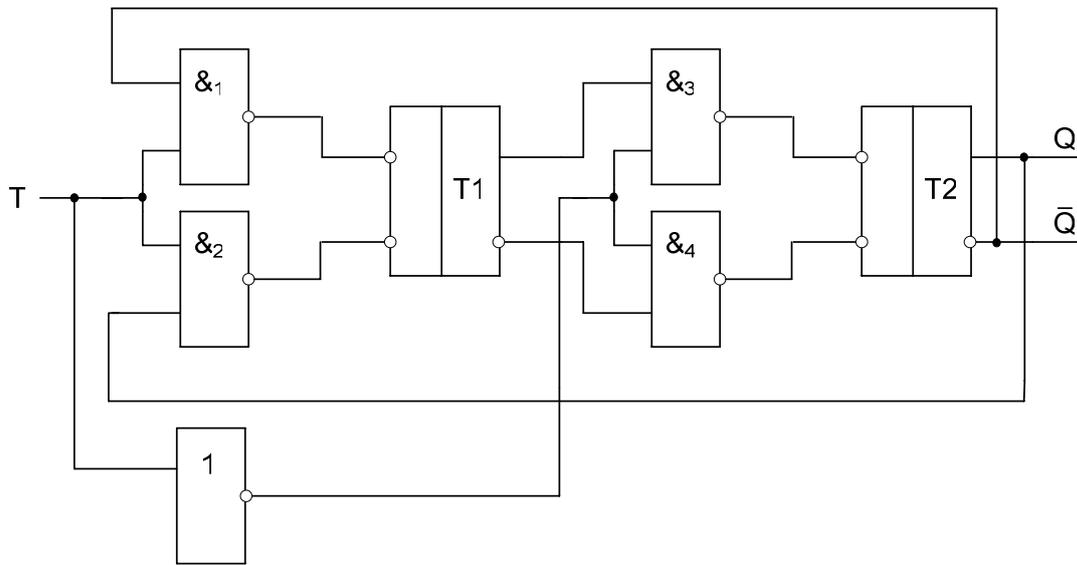


Рисунок 3.21 – Синхронный триггер

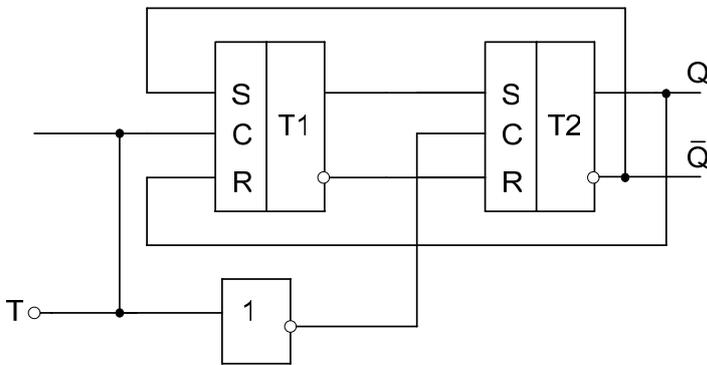
Здесь в режиме ожидания на входах S, C, R "0". Опрокидывание: две "1" одновременно на S и C устанавливают триггер в "1"; $Q = 1, \bar{Q} = 0$. Если две единицы на R и S, то устанавливается "0"; $Q = 0, \bar{Q} = 1$. Одновременная подача 3-х единиц (учитывая помехи) порождает на выходах &1 и &2 нули, следовательно, на Q и Q-bar триггера будет запрещенное состояние, – две единицы.

3.6 Счетный триггер на логических элементах

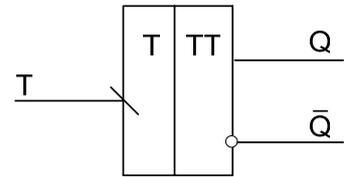
В связи с тем, что в интегральных микросхемах конденсаторы нецелесообразны по конструктивным соображениям, производят усложнение электронной схемы триггера, применяют принцип двухступенчатости M-S (master-slave, хозяин-раб). На рисунке 3.22 изображена двухступенчатая схема счетного T-триггера на логических элементах. Начальная буква T от английского слова toggle – кувыркатся.



а)



б)



в)

Рисунок 3.22 – Счетный триггер на логических элементах

Содержит ведущий T1 и ведомый T2 триггеры, поэтому на условном изображении рисунка 3.22, в две буквы T, в отличие от RS-триггера. В сущности здесь два синхронных предыдущих RS-триггера (это видно на схеме рисунка 3.22, б. У них в режиме ожидания "0", управление "1". Добавлен инвертор $\overline{1}$, плюс внешние соединения (печатные или проводниковые). Примем, что в триггере на выходе $Q = 0, \overline{Q} = 1$, то есть $T2 = 0$. На вход поступает T-импульс в виде "1", длительность которого не менее нескольких средних времен задержки логики данной серии; на выходе инвертора будет "0", который поступает на C-вход триггера T2 и запрещает передачу информации по входам S и R триггера T2.

Одновременно единица T-входа поступает на C-вход триггера T1. Кроме того "1" с выхода \overline{Q} триггера T2 поступает на вход S-вход T1. На R-вход T1 поступает "0" с выхода Q триггера T2. Следовательно, две "1" входа S и C записывают в T1 единицу (как это было в синхронном триггере). Эта "1" поступает на S-вход триггера T2 и дальше не передается до тех пор, пока действует "1" на счетном входе. Так как на выходе инвертора "0", то будет

запрет по С-входу Т2. После снятия "1" с Т-входа на выходе инвертора "1" , следовательно, на S и С-входах Т2 "1", которые запишут в Т2 "1". В сущности переносим информацию триггера Т1 в триггер Т2 по спаду Т-импульса. Поэтому на условном изображении рисунка 3.22, в наклонная косая черта с отрицательным наклоном. Если бы по фронту – черта с положительным наклоном.

3.7 D-триггер на логических элементах

D (delay)-задержка между фронтом импульса D-входа, на котором в ожидании "0", и спадом импульса С-входа. То есть этот триггер синхронный. Задержка может быть большой. В том случае, если на D входе в режиме ожидания "0" и спад С-импульса, то D-задержка должна быть принята от выбранного момента времени на D входе. Схема триггера изображена на рисунке 3.23. Начальная буква D от английского слова delay – задержка. Другое название – сохранять данные (date), поступившие однажды по D-входу.

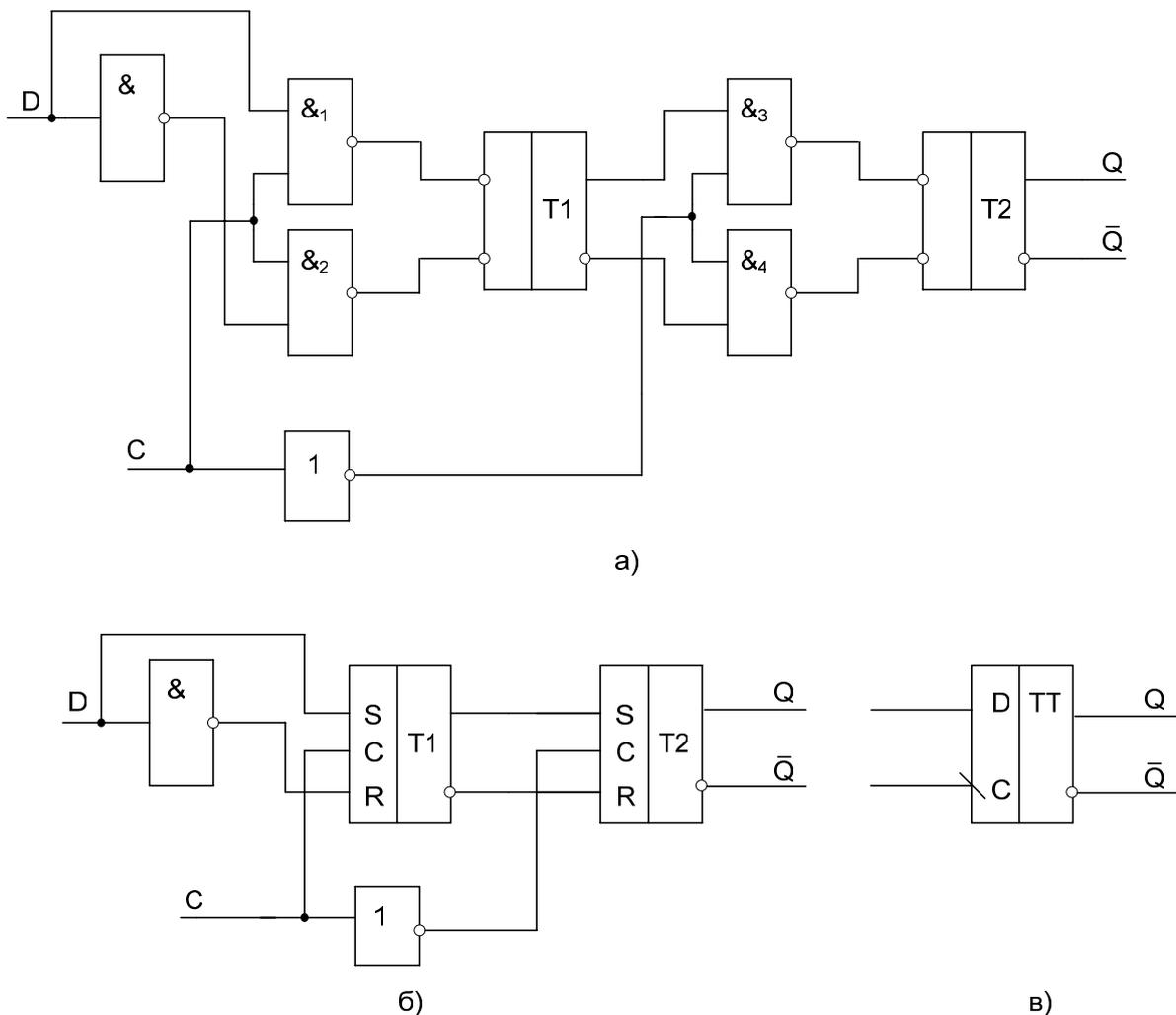


Рисунок 3.23 – D-триггер на логических элементах

Примем, что триггер находится в "0", следовательно, T1 и T2 "0", $Q = 0, \bar{Q} = 1$. D-импульс высокого уровня ("1") выделяет на выходе логического элемента & "0", который поступает на вход R ведущего триггера и образует запрет. Вместе с тем "1" поступает на вход S триггера T1. Фронт – это "1", начало отсчета задержки. Во время действия D-"1" поступает синхронный С-импульс, который с одной стороны на выходе инвертора выделяет "0", следовательно, на С-входе T2 тоже "0" (запрет). Одновременно "1" С-входа поступает на С-вход T1. Две "1" S и C T1 записывают в нем единицу. На верхнем выходе T1 "1", на нижнем "0". Далее передачи нет, так как на С-входе T2 "0".

Только после снятия С-импульса на выходе инвертора будет "1", поступающая на С-вход T2. Следовательно, в этом триггере записывается "1":

$$Q = 1, \bar{Q} = 0.$$

Для того, чтобы записать в D триггере "0", на D-вход подается "0" (или он уже там есть). Нужно принять решение относительно начала отсчета уже присутствующего "0". На С-вход подается "1", следовательно, по С и R-входам T1 записывают в него "0"; нижний выход "1". После снятия С-импульса на входе, на выходе инвертора "1", следовательно, С и R-входы T2 "1", которые записывают в T2 "0"; $Q = 0, \bar{Q} = 1$

3.8 JK-триггер на логических элементах

Схема JK-триггера на логических элементах изображена на рисунке 3.24. J и K – это начальные буквы английских слов jump и keep – бросать и удерживать соответственно.

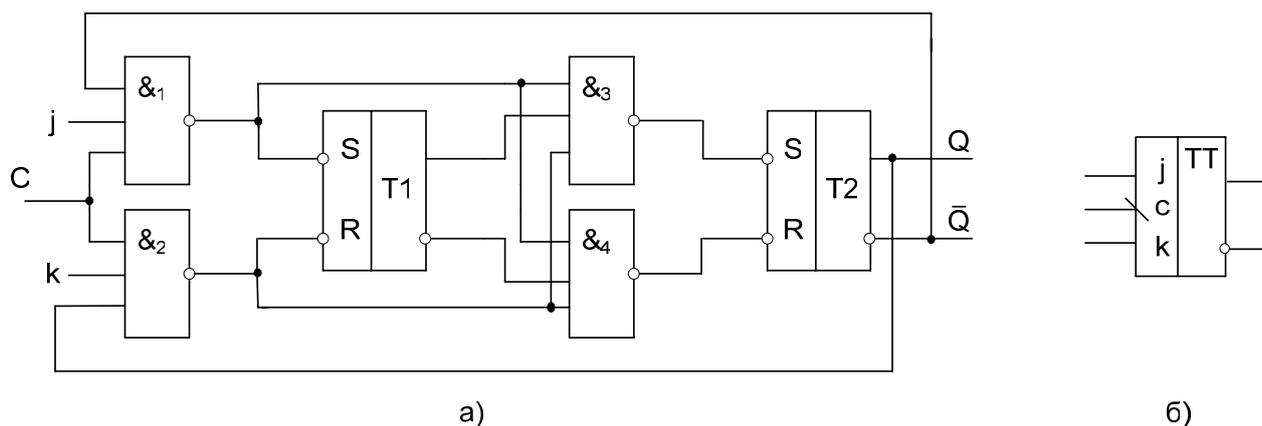


Рисунок 3.24 – JK- триггер на логических элементах

Это эквивалент RS-триггера:

$J \sim S$

$K \sim R$

но более устойчивый, помехозащищенный. У него нет запрещенного состояния на выходе.

Этот триггер может работать как D-триггер, для этого на входе нужен дополнительный инвертор, вход которого соединить с J и назвать символом D, а выход соединить с K, получаем D-триггер. Можно построить T-триггер: необходимо соединить J и K (спаять их), подать на спаянный вход высокий уровень (через резистор не менее 1 кОм от источника питания +5В или с выхода логического элемента, на котором присутствует высокий уровень. При этом вход С превращается в счетный T-вход).

Поэтому JK-триггер называют универсальным.

Работает он по спаду как обычный 2-хступенчатый MS-триггер (master-slave), у которого T1-ведущий, T2-ведомый.

В режиме ожидания на входах J, C, K "0", следовательно, на выходах $&_1$, $&_2$ принудительные "1", то есть на входах T1 единицы. Поэтому T1 может находиться в "1" или в "0" (это нормальное состояние для T1). Примем, что T1 находится в состоянии "0". Верхний выход "0" через $&_3$ выделяет на выходе "1", которая поступает на S-вход T2. На входах $&_4$ единицы, на выходе "0", который поступает на R-вход T2 (помним, что это инверсный триггер, то есть с инверсными входами). Если на R-входе T2 "0", то на выходе \bar{Q} "1", то есть в триггере T2 принудительно удерживается информация триггера T1.

"0" с выхода Q T2 поступает на нижний вход $&_2$, образуется запрет. Это означает, что какая бы ни была информация на входах C и K, все равно на выходе $&_2$ будет "1". "1" с выхода \bar{Q} поступает на верхний вход $&_1$, поэтому для опрокидывания триггера нужно подать еще на J и C "1". Здесь безразлично по времени, когда подавать, раньше на J, позже на K, или наоборот или одновременно, важно, чтобы в течение какого-то времени вершины импульсов на всех трех входах $&_1$ присутствовали одновременно. Подавать информацию на входы C и K бесполезно, так как нижний вход $&_2$ под запретом с выхода Q триггера T2.

Если поступили сигналы J и C "1", верхний вход $&_1$ тоже "1", то на выходе $&_1$ выделится "0", который через вход S триггера T1 запишет в T1 "1". Верхний выход T1 "1", нижний "0". "1" с верхнего выхода T1 поступает на средний вход $&_3$, но не передается через $&_3$, так как на верхнем входе $&_3$ "0" (запрет) с выхода $&_1$ до тех пор, пока действует две "1" на входах J и C. Только после того, когда либо J, либо на C (то есть по спаду импульса J или C) на входе $&_1$ образуется "0", соответственно, на выходе $&_1$ "1", следовательно, на всех входах $&_3$ будут "1", на выходе $&_3$ "0", который записывает в T2 "1":

$Q = 1, \bar{Q} = 0$. Произойдет опрокидывание триггера.

3.9 Интегральный шестиэлементный D-триггер TM2

Данный триггер (рисунок 3.25) может работать как RS-триггер, на входах \bar{S} и \bar{R} которого в режиме ожидания "1", а на D и C "0". Опрокидывание триггера как RS кратковременными "0"-ми, которые подаются на 13 и 18 входы $&_5$, $&_6$. По идее, при 2-х нулях на входах 13, 18, на выходах $&_5, &_6$ должно быть две "1",

но этого нет в реальной схеме. Если на входах R и S "1", то есть информация на них не подается – это синхронный D-триггер, работающий по фронту, 6-элементный, но не двухступенчатый. Поэтому в условном изображении одна T, а наклонная черта прямая (по фронту).

Таким образом, по фронту С-импульса (в момент фронта) при входе D "0" в триггере запишется "0", или подтвердится "0", если он был в "0". В том случае, когда на входе D действует импульс "1" и уже имеется его вершина, то в момент фронта С-импульса в триггере запишется "1" (если там был "0") или подтвердится "1" (если она там была). В триггере нет запрещенного состояния при работе от D и С-входов.

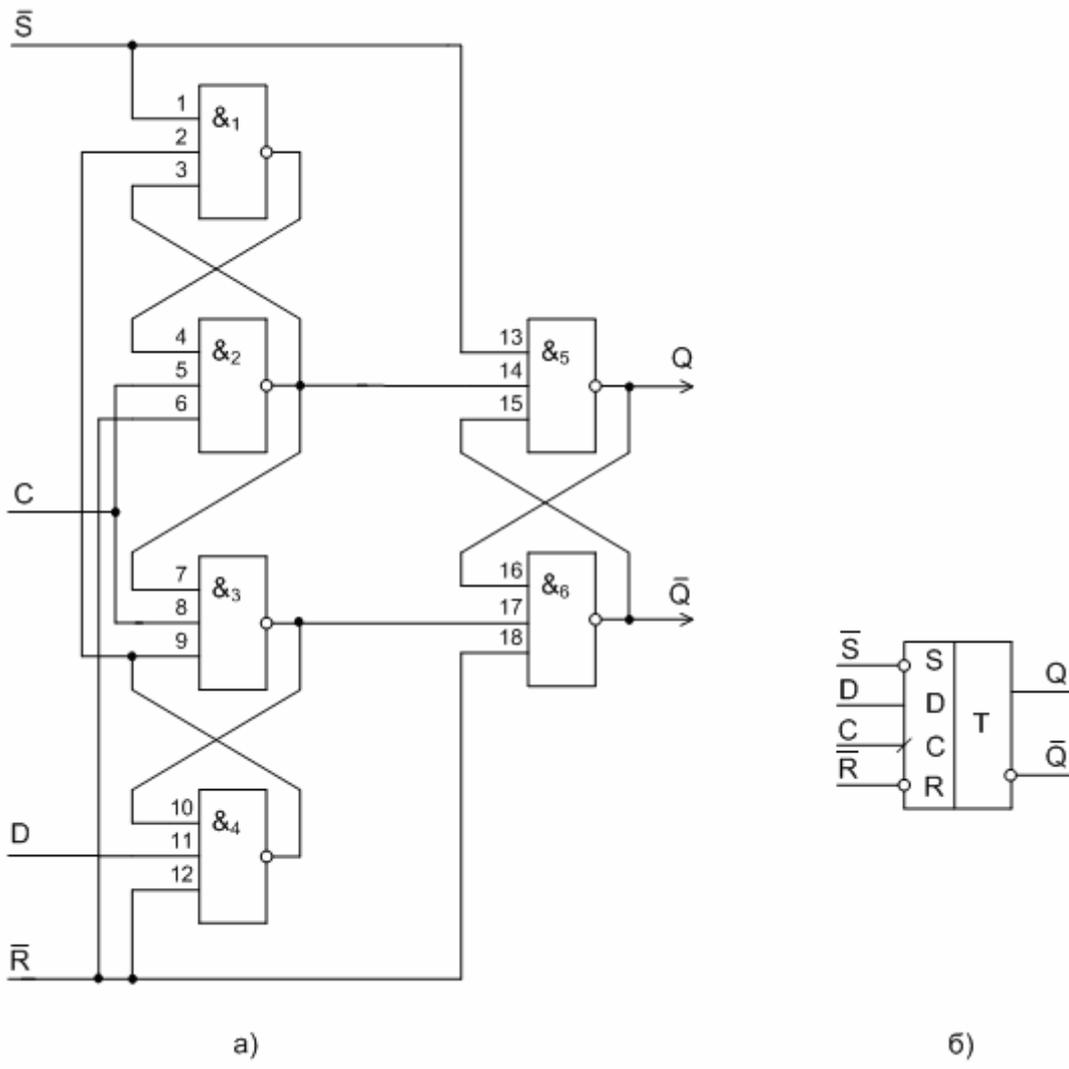


Рисунок 3.25 – Интегральный шестиэлементный D-триггер TM2

Таким образом, в момент фронта С-импульса производится запись в триггер. Записанное состояние продолжается до тех пор, пока действует "1" на С-входе. Следовательно, никакие другие манипуляции по D-входу (в том числе помехи) не приводят к изменению состояния, пока действует "1" на С. Именно поэтому, говорят о высокой помехоустойчивости триггера, так как опрокидывание происходит только в момент фронта С-импульса, остальные помехи не имеют значения. Но если помеха на С-входе (чередуются "1" и "0" в

виде дребезга), то каждый фронт дребезга приведет к записи той информации, которая будет на D-входе в момент фронта дребезга. В целом триггер называется непрозрачным, как и предыдущие 2-х ступенчатые, так как на интервале действия С-импульса информация на выход не поступает, в отличие от прозрачных триггеров (защелок), а также простейших RS-триггеров.

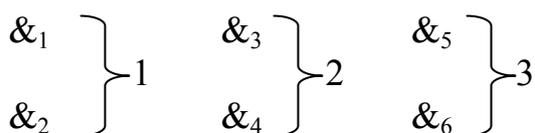
Принимаем режим ожидания, при котором:

$$\left. \begin{array}{l} \bar{S}, \bar{R} = 1 \\ C, D = 0 \end{array} \right\}$$

Следовательно, "0" поступает на 5 и 8 входы, запрещает передачу информации через $\&_2$, $\&_3$. На выходах $\&_2$, $\&_3$ "1", поступающие на 14 и 17 входы. Это нормальное состояние ожидания для $\&_5$, $\&_6$. 13 и 18 входы "1", на выходах Q и \bar{Q} "1"- "0" или "0"- "1".

Примем, $\&_5$, $\&_6$ $\left. \begin{array}{l} Q = 0 \\ \bar{Q} = 1 \end{array} \right\}$

В схеме 3 триггера:



Это не значит, что здесь 2-х ступенчатая структура, так как триггеры 1 и 2 не управляют принудительно триггером 3.

При $D=0$ в режиме ожидания на выходе $\&_4$ "1", которая поступает на 9 вход, но на 8-м запрет от $C = "0"$, поэтому передачи нет. "1" также поступает на 2 вход, на 1-м входе "1", на 3-м тоже "1" с выхода $\&_2$, потому что на С и на 5-м входе "0", принудительно выделяется на выходе $\&_2$ "1". Следовательно, на 3-х входах $\&_1$ "1", на выходе "0", так как это схема логического умножения с инверсией. Следовательно, на 4-м входе "0" (запрет), но он уже есть по 5-ому входу от С. Информация на выход $\&_2$ не передается, там "1".

Возможны 2 случая:

- 1 На D подается "1".
- 2 На D остается "0".

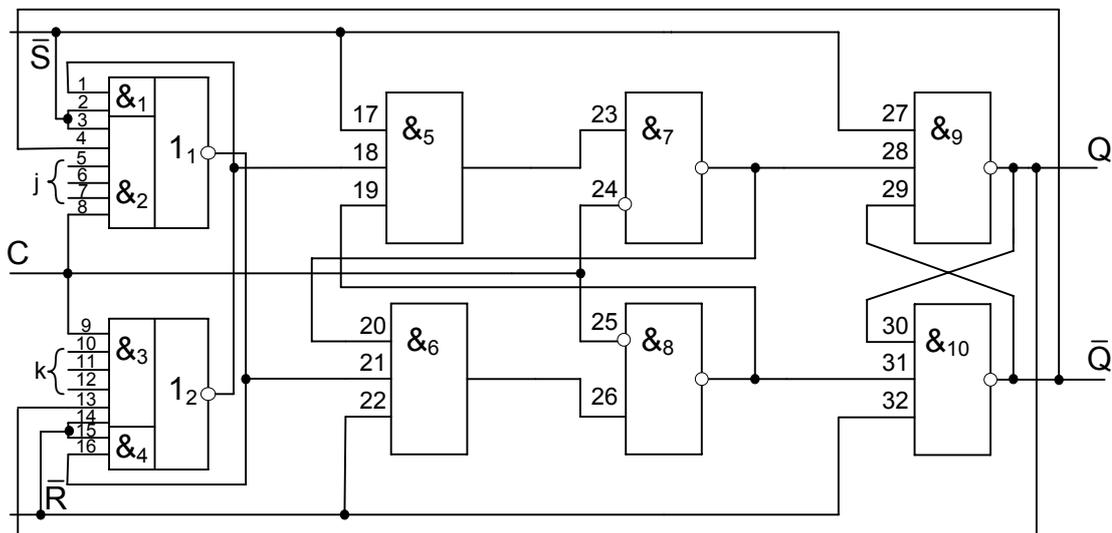
Если "0", то все, как и описано.

Если $D=1$, то на 10 вход "1" в режиме ожидания с выхода $\&_3$, так как на 8 вход $\&_3$ "0" от С-входа; на 11 вход поступила с D входа "1"; на 12 входе "1" в режиме ожидания. Следовательно, на выходе $\&_4$ "0", который по 9-му входу $\&_3$ образует запрет на передачу информации через $\&_3$. "0" с выхода $\&_4$ поступает на 2 вход $\&_1$ и на выходе $\&_1$ выделяется "1", поступающая на вход 4 $\&_2$. Других изменений от подачи "1" на D пока нет. Продолжается D-импульс.

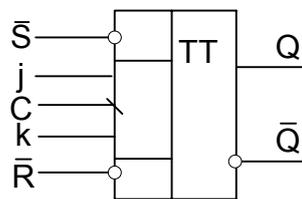
На протяжении действия $D=1$ подается C -импульс. Важен фронт C -импульса. На всех входах $\&_2$ "1", на выходе $\&_2$ "0", который с одной стороны поступает на вход 7 и образует дополнительный запрет для $\&_3$, с другой стороны поступает на 14 вход $\&_5$, следовательно, на выходе триггера $Q=1$, которая поступает на 16 вход. На 17-м входе "1" с выхода $\&_3$, а на 18-м входе "1" режима ожидания \bar{R} . Таким образом, все единицы на входах $\&_6$, следовательно, на выходе $\&_6$ "0". В триггере, в целом, единица. Рассматриваемый D -триггер относят к динамическим, так как опрокидывание происходит на интервале фронта C -импульса.

3.10 JK-триггер ТВ-1

На рисунке 3.26 изображен JK-триггер ТВ-1.



а)



б)

Рисунок 3.26 – JK-триггер ТВ-1

Элементы: $\&_1, \&_2, 1_1$ } комбинированные.
 $\&_3, \&_4, 1_2$ }

Входы 1 – 8, 9 – 16 образуют логическое умножение без инверсии, $1_1, 1_2$ – элементы логического сложения.

В том случае, если на всех входах $\&_1$ или $\&_2$ одновременно единицы, то на выходах $\&_1$ или $\&_2$, которые внутри микросхемы, будут "1". Оба выхода $\&_1$ и $\&_2$ внутри микросхемы объединены суммированием с инверсией сумматором 1_1 , таким образом, если на выходе $\&_1$ или на выходе $\&_2$ будет "1", то при суммировании на входах 1_1 единица инвертируется в "0".

Логические элементы $\&_5$, $\&_6$: если на всех 3-х входах одновременно "1", следовательно, на выходе "1". Если на любом из входов "0", следовательно, на выходе "0".

Элементы $\&_7$, $\&_8$: 23 или 26 входы прямые, а 24, 25 – инверсные. Это значит, что элементы $\&_7$, $\&_8$ работают как элементы умножения в том случае, если, например, на 23 поступает "1", а на 24 "0". Если на 23 или 26 поступает "0", то это схемы безусловного подчинения нулю: на выходе "1". То же самое, если на 24, 25 поступает "1", то на выходе "1" (безусловное подчинение как бы нулю, если бы был прямой вход).

Для исключения ложного срабатывания введены перекрестные связи с выходов триггера Q и \bar{Q} на входной триггер. Они исключают запрещенное состояние.

Здесь 3 входа по умножению j (5-7) и 3 входа по k (10-12), сделаны для удобства разводки электронных схем. Если разводка не требуется, то входы объединяют.

Таким образом, в схеме ведомый триггер ($\&_9$, $\&_{10}$) и ведущий триггер ($\&_1$, $\&_2$, 1_1 и $\&_3$, $\&_4$, 1_2).

В режиме ожидания на входах \bar{S}, \bar{R} единицы. Они поступают на 27 и 32 входы ведомого триггера $\&_9$ - $\&_{10}$. При подаче нуля на входы \bar{S} или \bar{R} в триггере устанавливается "1" или "0". Поэтому эти входы называют установочными, то есть JK-триггер работает как RS-триггер; при этом на входах J, C, K в режиме ожидания нули.

Если на входах $\bar{S}, \bar{R} = 1$ и они не используются, тогда схема может работать как JK-триггер двухступенчатый, образующий MS-структуру (master-slave). Так как структура двухступенчатая, информация на выходе появляется по спаду С-импульса.

Особенность схемы в том, что ведущий триггер имеет инверсное состояние по отношению к выходному ведомому триггеру, состояние которого он удерживает принудительно.

Примем, что ведомый триггер в нуле: $Q = 0, \bar{Q} = 1$. Это значит, что ведущий триггер должен быть в "1": выход $1_1 = "1"$, выход $1_2 = "0"$, поэтому, "1" с выхода 1_1 поступает на 16 вход $\&_4$ и одновременно "1" на 14 и 15 входы режима ожидания \bar{R} "1". Следовательно, на входах 15 и 16 "1", таким образом, на выходе $\&_4$ "1"; не важно, с чем она суммируется, но инвертируются в "0" на выходе 1_2 (как и должно быть).

"0" с выхода 1_2 поступает на 1 вход $\&_1$, на выходе $\&_1$ "0"; на выходе $\&_2$ "0" (режим ожидания), следовательно, на выходе 1_1 инвертируется "0" в "1".

С другой стороны выход $1_2 = "0"$ поступает на 18 вход $\&_5$ (схема безусловного подчинения нулю без инверсии), следовательно, на выходе $\&_5$ "0",

поступающий на 23 вход $\&_7$ (схема безусловного подчинения нулю), поэтому, на выходе $\&_7$ "1", передающаяся на 20 вход $\&_6$.

На 20-22 входах "1" (на 20 с выхода $\&_7$, на 21 с выхода 1_1 , на 22 \bar{R} режима ожидания). Одновременно 3 единицы входов $\&_6$ выйдут на выходе $\&_6$ "1" (схема логического умножения), которая поступает на 26 вход $\&_8$; а на 25 вход поступает "0" входа С режима ожидания, что эквивалентно "1" нормальной логической схемы с прямыми входами. Следовательно, на выходе $\&_8$ "0", который поступает на 31 вход $\&_{10}$. На выходе $\&_{10}$ принудительно удерживается "1" (как и было принято).

Для опрокидывания триггера на входы J, С – подать "1". На вход К нет смысла подавать "1", так как с выхода Q на 13-й вход $\&_3$ поступает "0" (запрет), как это было в предыдущем JK-триггере (рисунок 3.24). Процессы опрокидывания предлагается проанализировать самостоятельно.

Как и предыдущий шестиэлементный D-триггер, так и этот JK-триггер, относятся к непрозрачным.

3.11 Прозрачные триггеры-защелки

Они относятся к D-триггерам со специальной структурной схемой (рисунок 3.27).

Transparent latch — (англ.) прозрачный фиксатор.

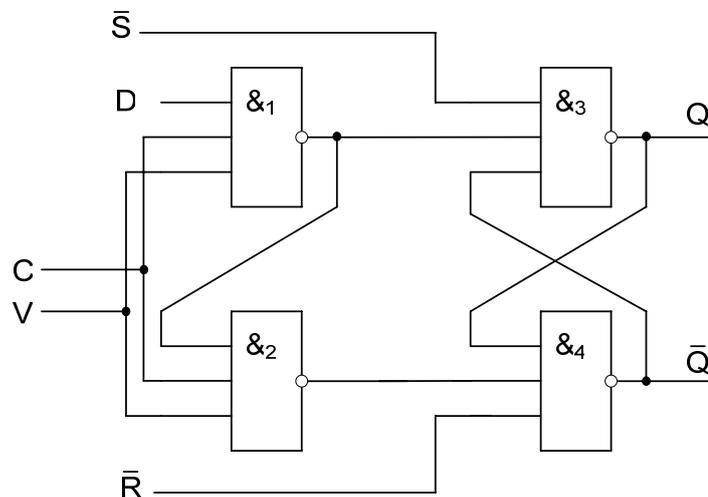


Рисунок 3.27 – Прозрачный D триггер–защелка

Здесь в режиме ожидания $\bar{S}, \bar{R} = 1$ — установочные входы. Воздействуют непосредственно на выходы триггера.

На входах D, C, V (V-valve-клапан) в режиме ожидания нули, следовательно, этот триггер может использоваться как простейший RS-триггер или как триггер-защелка (если используются входы D, C, V при $\bar{R}, \bar{S} = 1$).

Входы C и V одинаковы по результату воздействия. Если на входы C и V подать "1", а на вход D-импульсы, то на выходе Q эти импульсы появятся без

инверсии, на выходе \bar{Q} — с инверсией. В том случае, когда в моменты действия этих импульсов снять "1" с любого входа (С или V), то на выходе Q зафиксировается (защелкнется) то состояние, которое было в момент снятия С или V-единицы.

Эта схема иногда называется логическим эквивалентом триггера с эмиттерной связью (триггер Шмитта).

Прозрачный, потому что при С и V= "1" импульсы свободно проходят на выход Q без изменения формы.

3.12 Гонки

Примем функциональную схему в виде рисунка 3.28.

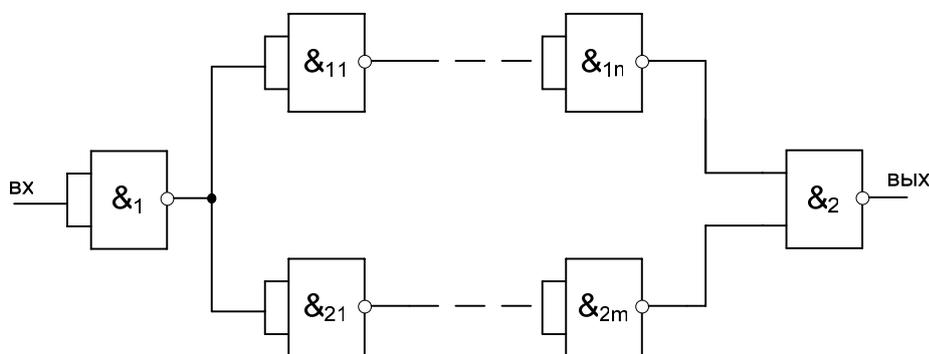


Рисунок 3.28 – Цепи передачи сигналов

В разветвленных электронных схемах может быть несколько подобных цепей передачи сигнала с произвольным количеством элементов, различными задержками и вероятностными отклонениями этих задержек.

На выходе сигналы могут объединяться, срабатывает исполнительное устройство по совпадению (несовпадению). Возникают гонки. Следовательно, необходимы расчеты для удовлетворения гонок.

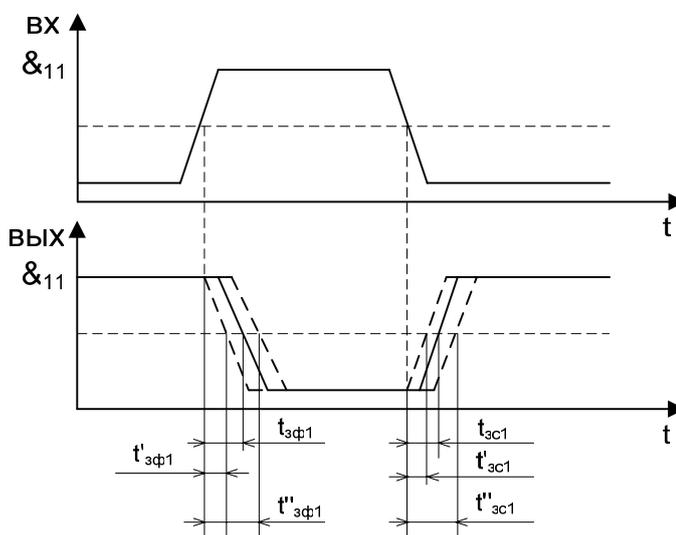


Рисунок 3.29 – Задержки и их вероятностные отклонения

Первый элемент цепи $\&_{11}$ (см. рисунок 3.28) передачи сигнала образует задержку фронта и спада (из раздела логики известно, что задержка определяется на уровне 0,5 перепада). Поэтому фронт образует задержку $t_{зф1}$, а спад образует задержку $t_{зс1}$. Цифровое значение задержки следует смотреть в справочниках для логики данной серии. Некоторые справочники указывают не только $t_{зф1}$ и $t_{зс1}$, но и вероятностное отклонение задержки фронта и спада. В справочниках иногда указываются $t_{зад}^1$ и $t_{зад}^0$, что соответствует $t_{зф1}$ и $t_{зс1}$.

Аналогично рисунку 3.29 построения производят и для элементов $\&_{12} \dots \&_{1n}$; $\&_{21}$ $\&_{2m}$, отклонения отсчитывают как от $t_{зф}$, $t_{зс}$, так и от $t'_{зф}$, $t''_{зф}$ и $t'_{зс}$, $t''_{зс}$. Построения усложняются, но зато четко просматривается общие величины вероятностных отклонений, то есть конечные результаты распространения (гонок) сигналов.

Если нет цепи разветвления (одна цепь), все равно расчеты необходимо производить, потому что из построения видно, что ширина вершины и оснований расширяется (или сужается) и может вообще сойти на нет, импульс пропадает. Следовательно, необходимы графические построения подобного вида и расчетные соотношения.

$$\begin{aligned}t_{зф} &= t_{зф1} + t_{зф2} + t_{зф3} + \dots + t_{зфn} \\t'_{зф} &= t'_{зф1} + t'_{зф2} + t'_{зф3} + \dots + t'_{зфn} \\t''_{зф} &= t''_{зф1} + t''_{зф2} + t''_{зф3} + \dots + t''_{зфn} \\t_{зс} &= t_{зс1} + t_{зс2} + t_{зс3} + \dots + t_{зсn} \\t'_{зс} &= t'_{зс1} + t'_{зс2} + t'_{зс3} + \dots + t'_{зсn} \\t''_{зс} &= t''_{зс1} + t''_{зс2} + t''_{зс3} + \dots + t''_{зсn}\end{aligned}$$

Дополнительно к этому на производстве производят разбраковку микросхем по величинам задержки. Другим методом является стробирование. Подается стробирующий импульс, который должен располагаться на середине вершины (основания) импульса. Отсчет происходит в момент стробирования.

3.13 Триггеры на приборах с отрицательным сопротивлением. Триггеры на туннельных диодах.

Электронные устройства с обратными связями, способны превращать активные сопротивления в индуктивные или емкостные, индуктивные – в емкостные и наоборот, закон Ома – из положительного в отрицательный, увеличивать и уменьшать сопротивления. Негатроны – это приборы, имеющие участки характеристики обычно с глубокой положительной ОС (внутренней), вследствие этого участки характеристик имеют отрицательный наклон. К ним относятся туннельные диоды, тиристоры, однопереходные транзисторы (двухбазовые диоды)

Туннельные диоды имеют характеристику N–типа, в основе которой лежит диодная характеристика (см. рисунок 3.30)

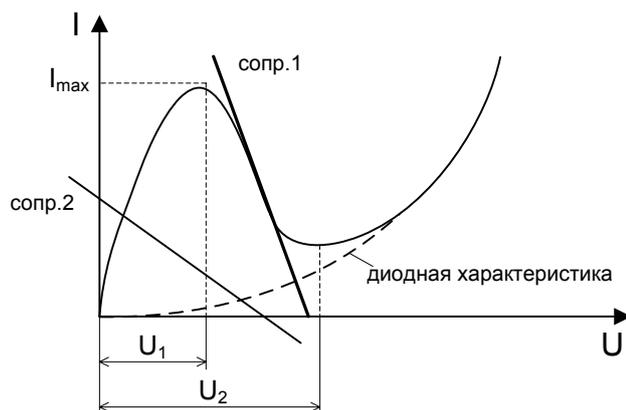


Рисунок 3.30 – Характеристика туннельного диода

Если $U_2=0.2\div 0.6$ В, то U_1 (max то току) $\approx 0.15\div 0.3$ В, т. е. туннельные диоды характеризуются небольшим выходным напряжением в режиме единицы ($0.4\div 0.6$ В), и еще меньшим в режиме нуля ($0.1\div 0.2$ В).

К достоинствам можно отнести высокочастотность (до нескольких ГГц). Поэтому на них делают электронные устройства для тестирования более низкочастотных приборов.

Расчет:

1 Вырисовывается характеристика N-типа либо снимается экспериментально (рисунок 3.31).

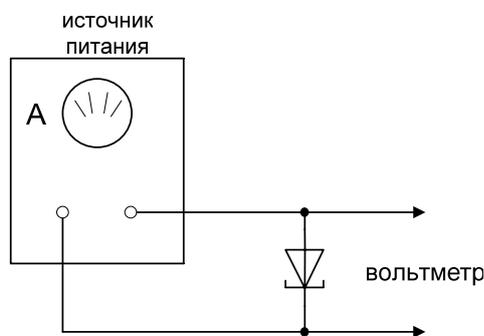


Рисунок 3.31 – Схема для экспериментального съема характеристики туннельного диода

Схема, приведенная на рисунке 3.31, состоит из источника питания и туннельного диода. При проведении опыта необходимо, чтобы источник питания был малоомным. Его внутреннее сопротивление должно быть меньше сопротивления 1 на графике рисунка 3.30. Если это условие не выполняется (сопр. 2), то участок отрицательного наклона не определится, так как происходит скачок с вершины на следующую часть характеристики.

2 Под линейку проводится нагрузочная прямая (см. рисунок 3.32) таким образом, чтобы было три точки пересечения с характеристикой (можно чуть-чуть другого наклона).

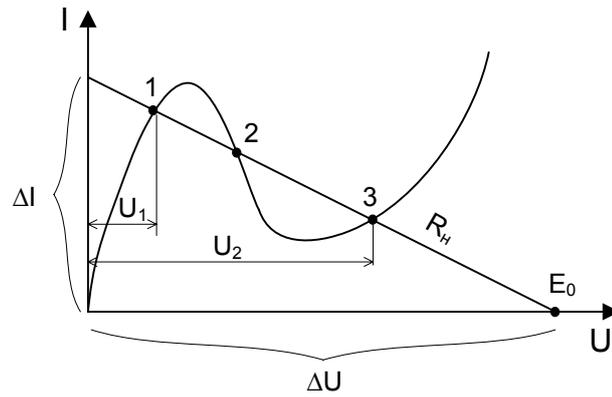


Рисунок 3.32 – Построение нагрузочной прямой

3 Из построения определяется E_0 (оно может быть нестандартным, желательно подгонять к стандартной цифре), R_H :

$$R_H = \frac{\Delta U}{\Delta I} = \frac{E_0}{\Delta I}$$

$U_1 = "0"$, $U_2 = "1"$, уровни выхода триггера находятся в режиме ожидания.

4 Подбирается стандартный резистор к нагрузке R_H . Собирается схема, представленная на рисунке 3.33.

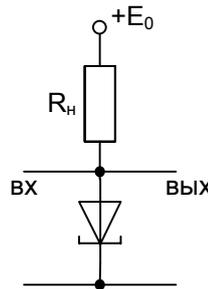


Рисунок 3.33 – Триггер на туннельном диоде

Вход и выход – это одна и та же цепь. При включении напряжения питания устанавливается точка 1 (см. рисунок 3.32), так как она первая встречается при нарастании напряжения от нуля. Чтобы опрокинуть триггер необходимо подать входной сигнал, который, добавляясь к напряжению ожидания точки 1, превышает верхнее колено; начинается участок неустойчивости отрицательного наклона, действует внутренняя ПОС; рабочая точка скачком переходит в точку 3, где и остается. На выходе выделяется напряжение U_2 , называемое единицей.

Чтобы произвести обратное переключение необходимо подать импульс обратного напряжения, который, вычитаясь из напряжения ожидания точки 3, должен преодолеть нижнее колено характеристики. Дальше скачок переходит в точку 1. Для запуска триггера может быть применена обычная дифференцирующая цепочка типа изображенной на рисунке 3.10, выход, которой подключается к входу триггера по рисунку 3.33. При этом положительный импульс устанавливает триггер в “1”, отрицательный - в “0”.

Чтобы импульс запуска не образовывал положительные и отрицательные импульсы, соответствующие фронту и спаду, длительность выбирают малой, конденсатор не успевает зарядиться, поэтому импульс от заднего фронта небольшой.

3.14 Триггеры на тиристорах

У тиристоров характеристика S–типа. Она приведена на рисунке 3.34.

1 Вырисовывается из справочника или снимается экспериментально характеристика тиристора. При этом внутреннее сопротивление должно быть высоким (больше R_1).

2 Проводится нагрузочная прямая таким образом, чтобы образовалось три точки пересечения, 1, 2, 3.

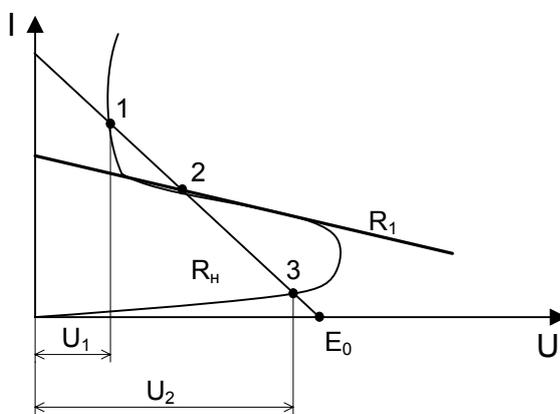


Рисунок 3.34 – Характеристика тиристора

3 Определяется напряжение питания E_0 (по графику), сопротивление R_H (число), напряжения U_1 и U_2 , токи I_1 и I_2 (если нужно).

4 Производится сборка схемы триггера (рисунок 3.35). Первой встречается точка 3 при нарастании напряжения от нуля. Если подать на входной электрод сигнал, то произойдет спрямление характеристики и рабочая точка перейдет в точку 1. Закрыть по управляющему электроду нельзя. Надо снять напряжение питания E_0 (отключить его), затем вновь включить.

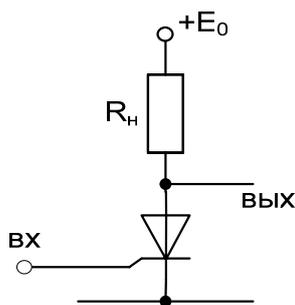


Рисунок 3.35 – Схема триггера

Достоинство схемы рисунка 3.35 – несложность, недостаток – открытый тиристор нельзя перевести из точки 1 в 3 посредством управляющего электрода. Поэтому вводят еще один триггер рисунка 3.35, добавляют конденсатор C , в итоге получается схема, изображенная на рисунке 3.36.

На ней подобие триггера на транзисторах, но это другое. Там было 2 инвертора, а здесь 2 отдельных триггера, поэтому цепь конденсатора не образует ПОС. Здесь нет регенеративного процесса в нагрузочной части схемы.

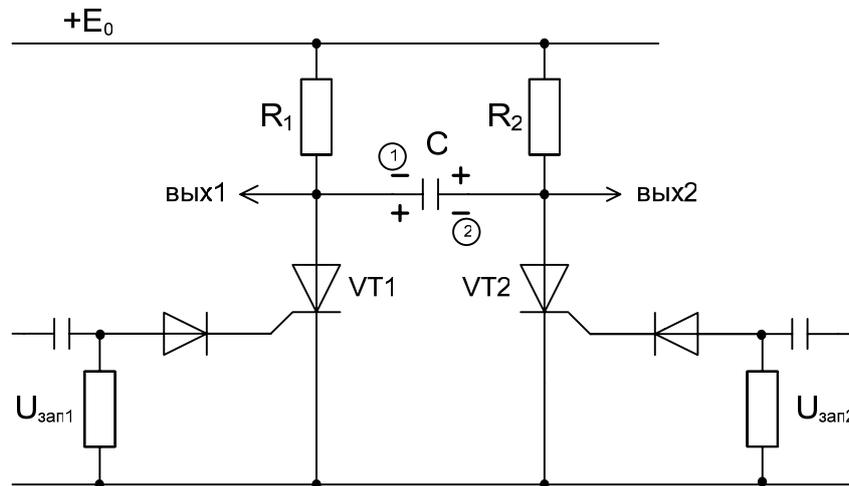


Рисунок 3.36 – Схема триггера на тиристорах

Работа схемы: подадим $+E_0$, вначале оба тиристора были закрыты, на выходах две “1”. После запуска $U_{зан1}$ VT1 открывается, VT2 закрыт. Вых1 – “0”, Вых2 – “1”. Образуется 2 цепи:

1 $+E_0 \dots R1 \dots VT1 \dots \text{земля}$;

2 $+E_0 \dots R2 \dots C \dots \text{откр}VT1 \dots \text{земля}$.

Конденсатор C заряжается полярностью “+ -” (1).

Подается запускающий импульс $U_{зан2}$, открывается VT2. На выходе одновременно 2 “0”, так как здесь 2 отдельных триггера. Образуется цепи:

1 $+E_0 \dots R2 \dots \text{откр}VT2 \dots \text{земля}$;

2 $+C \text{ справа} \dots \text{откр}VT2 \text{ прям напр} \dots \text{откр}VT1 \text{ обр напр} \dots -C \text{ слева}$.

Этот разрядный импульс снижает ток VT1 до колена выключения тиристора. VT1 закрывается. На выходе 1 “1”.

3 $+E_0 \dots R1 \dots C \dots \text{откр}VT2 \dots \text{земля}$.

Перезаряжается конденсатор и так далее (2).

По отношению к схеме рисунка 3.36 задается контрольный вопрос, иллюстрирующийся на рисунке 3.37. Что будет на выходах Вых 1 и Вых 2, если на входы подавать сигналы $U_{зан1}$ $U_{зан2}$ в соответствии с рисунком 3.37.

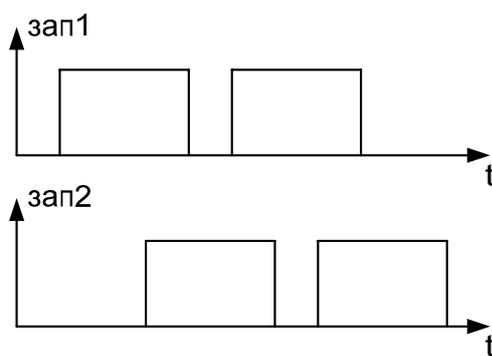


Рисунок 3.37 – Контрольный вопрос

3.15 Триггеры на двухбазовых диодах

Если триггеры на туннельных диодах самые быстродействующие, триггеры на тиристорах самые медленнодействующие, но высоковольтные, триггеры на двухбазовых диодах (однопереходных транзисторах – КТ117А) – это что-то промежуточное, причем характеристики имеют почти такой же вид как и у тиристоров. Обладают высокой перегрузочной способностью. Устройство двухбазового диода представлено на рисунке 3.38.

Сверху и снизу металлизированные плоскости, которые условно называют базами, хотя это не базы, а просто контактные площадки. Примерно на $\frac{1}{3}$ высоты H выполнен эмиттерный переход.

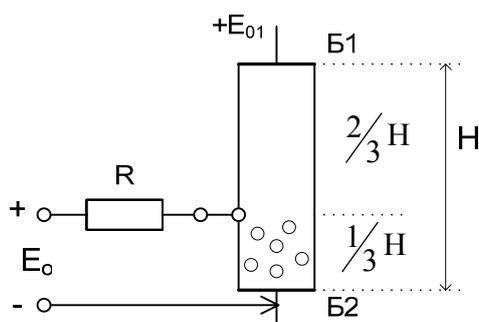


Рисунок 3.38 – Устройство двухбазового диода

Если приложить напряжение питания $+E_{01}$, то будет протекать ток до нескольких миллиампер, который выделит $\frac{2}{3}E_{01}$ и $\frac{1}{3}E_{01}$. То есть этот полупроводник выполняет роль распределенного в объеме сопротивления. Напряжение распределяется пропорционально длине. Следовательно, если теперь подавать $+E_0$ увеличивая его от нуля и включить сопротивление R , то до напряжения $\frac{1}{3}E_0$ эмиттерный переход будет заперт, тока в цепи почти не будет (рисунок 3.39).

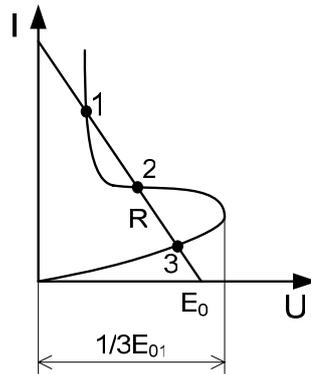


Рисунок 3.39 – Характеристика двухбазового диода

После превышения E_0 над запирающим порогом эмиттерный переход откроется, инжектируются неосновные носители в нижнюю область, которые насыщают эту область. Сопротивление ее резко убывает, образуя характеристику S-типа (как у тиристора). Обычно $E_{01} = 10 \div 15$ В. Следовательно, уровень колена тоже изменяется в соответствии с соотношением $\frac{1}{3} E_{01}$. Можно перевернуть базы, но в этом случае порог будет $\frac{2}{3} E_{01}$.

Для построения триггера необходимо провести нагрузочную прямую R, чтобы были 3 точки пересечения. Затем производится сборка схемы вида рисунка 3.40.

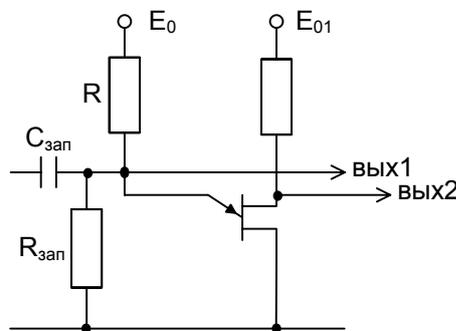


Рисунок 3.40 – Триггер на двухбазовом диоде

Особенность схемы в том, что выход с входного электрода, а не с коллекторного, как это привычно для транзисторов. В запускающей цепи нет отсекающего диода, так как импульсы двухполярные на закрывание и открывание. Иногда в цепи E_{01} устанавливают резистор, но можно производить сборку схемы и без него.

3.16 Триггеры на операционных усилителях

Операционные усилители без обратных связей неработоспособны. У них настолько велик коэффициент усиления (100000 и более) и настолько сильны внутренние паразитные ОС, что вместо нуля на входах и выходе, как должно быть в идеале, обычно присутствует насыщение, возможно наличие самовозбуждения. То есть они неуправляемы. Поэтому для цели активного усиления вводят отрицательные ОС с выхода на минус-вход.

Для построения триггерных схем вводят ПОС с выхода на плюс-вход. Ясно, что регенерационных процессов нет в связи с инерционностью каскадов ОУ. Выход, воздействуя на плюс-вход и усиливая в 100000 и более раз за счет ПОС удерживают состояние выхода то же, что и на плюс-входе.

Наиболее часто применяют инвертирующий и неинвертирующий триггеры (рисунок 3.41). У инвертирующего триггера сигнал переключения подается на минус-вход, обратная связь делится между резисторами R_1 и R_2 и подается на плюс-вход. Неинвертирующий триггер управляется по цепи плюс-входа, обратная связь такая же, как у инвертирующего триггера. Однако пороги, т.е. уровни срабатывания триггеров у этих двух схем разные. У первой

схемы на + входе выделяется напряжение
$$U_{\text{пор}} = U_{\text{вых}} \frac{R_1}{R_1 + R_2} = U_{\text{вых}} \cdot \gamma.$$

Следовательно, на вход должно быть подано напряжение, равное или превышающее $U_{\text{пор}}$:

$$U_{\text{вх}} \geq U_{\text{вых}} \cdot \gamma$$

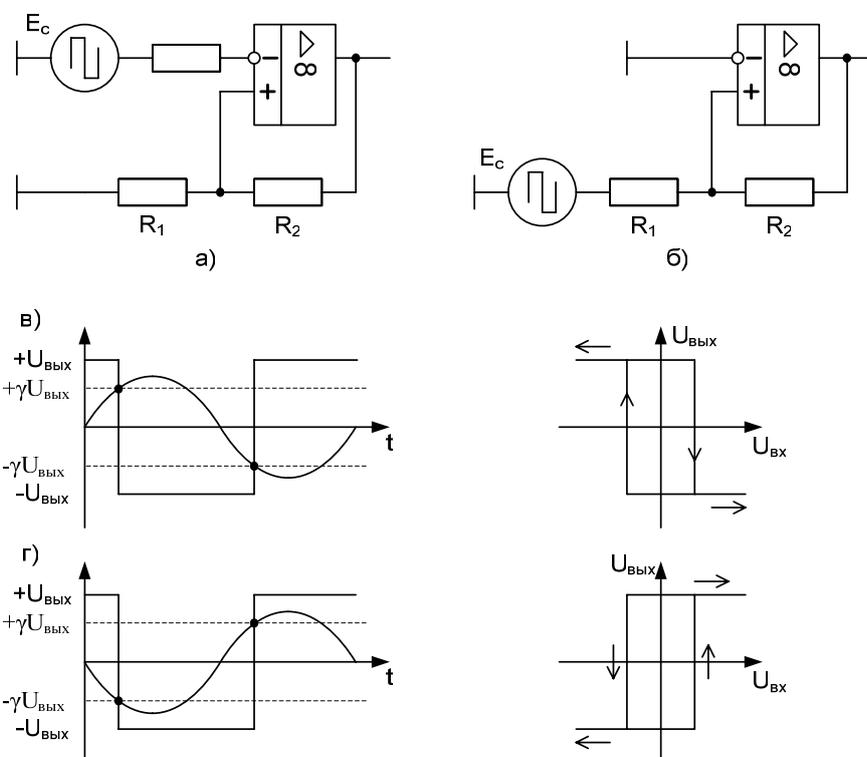


Рисунок 3.41 – Инвертирующий а) и неинвертирующий б) триггеры; в) процессы опрокидывания в инвертирующем триггере г) в неинвертирующем триггере на ОУ

Для второй схемы справедливы соотношения:

$$1 \quad U_{\text{пор}} \text{ от } U_{\text{вх}} = U_{\text{вх}} \cdot \frac{R_2}{R_1 + R_2}$$

$$2 \quad U_{\text{пор}} \text{ от } U_{\text{вых}} = U_{\text{вых}} \cdot \frac{R_1}{R_1 + R_2}$$

$$3 \quad U_{\text{вх}} \cdot \frac{R_2}{R_1 + R_2} = U_{\text{вых}} \cdot \frac{R_1}{R_1 + R_2}$$

$$4 \quad U_{\text{вх}} \geq U_{\text{вых}} \frac{R_1}{R_2} \geq U_{\text{вых}} \cdot \gamma$$

В первой схеме порог γ определяет величину напряжения на + входе ОУ, который выделяется в режиме ожидания от $U_{\text{вых}}$. Если $U_{\text{вых}} = 12 \text{ В}$, $R_1 = R_2$, то порог будет 6 В. При этом управляющий сигнал инвертируется выходом после достижения и превышения порога. Управляющий сигнал может быть синусоидальным, произвольным или импульсным, выход скачкообразный.

Во второй схеме напряжение сигнала управления на входе совпадает с напряжением скачка, поэтому триггер неинвертирующий. Для вывода порога составляются 2 условия: 1 и 2. Опрокидывание происходит в момент равенства этих двух напряжений и небольшого превышения входного над выходным. Из 4 следует, что если $R_1 = \infty$ или $R_2 = 0$, то входное напряжение тоже ∞ .

4 Генераторы импульсов

4.1 Мультивибраторы на биполярных транзисторах

Возможны 2 типа процессов, поэтому выделяют 2 варианта схем:

1 Ждущие мультивибраторы.

2 Мультивибраторы в автоколебательном режиме.

4.1.1 Мультивибраторы в ждущем режиме

Мультивибраторы на транзисторах в производственных условиях в настоящее время не делают, но они имеют учебный смысл для выяснения сущности процессов.

Образуются из схемы триггера (рисунок 3.1) путем замены одной из резистивных связей на емкостную. Дополнительно вводится смещающая цепь: нижняя часть убирается, вводится резистор R (рисунок 4.1).

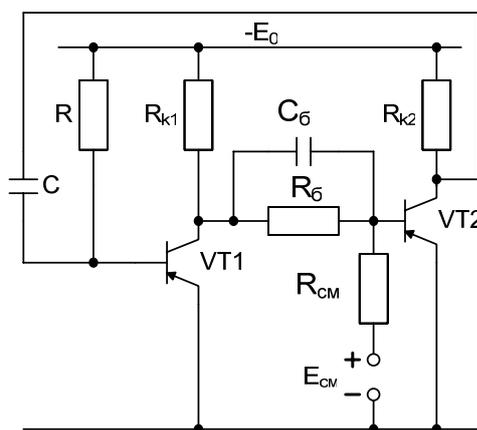


Рисунок 4.1 – Схема мультивибратора на биполярных транзисторах в ждущем режиме

Образуется цепь: земля...Э – Б VT1...R...–E₀. Эта цепь вводит транзистор VT1 в режим насыщения, т.е. VT1 открыт. Следовательно VT2 должен быть закрыт напряжением смещения E_{см}, т.к. на коллекторном электроде VT1 низкое напряжение, оно не может преодолеть E_{см}. Поэтому на коллекторном электроде VT2 высокое напряжение, оно заряжает конденсатор C почти до напряжения -E₀. Конденсатор C_б практически не заряжен, т.к. слева к нему приложено небольшое напряжение U_{кэVT1}, справа – малое напряжение E_{см}. Схема находится в режиме ожидания запускающего импульса. Резистор R в приближенном расчете в 10 раз больше в сравнении с коллекторным R_{к1}. Более точно токи I_{бгр} и I_{б1} можно определить по семейству выходных характеристик VT1 (см. также раздел 1.3.2). Резисторы R_{к1}, R_{к2} рассчитываются по наклону нагрузочных прямых, как это производилось для триггера. Конденсатор C определяет длительность прогенерированного импульса T_и.

В более привычном виде схема мультивибратора изображена на рисунке 4.2. Здесь то же самое, но транзистор второго каскада развернут вправо назван VT1, так же добавлена цепь запуска.

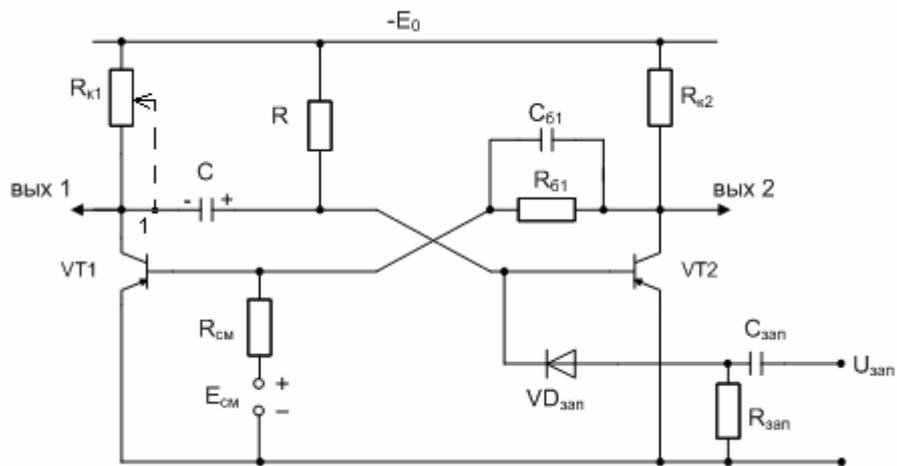


Рисунок 4.2 – Схема мультивибратора в традиционном изображении, с цепью запуска

Запускающий импульс закрывающей (положительной) полярности закрывает транзистор VT2. Протекают этапы рассасывания, подготовки, регенерации (VT2 – закрывается, VT1 – открывается одновременно), четвертый этап у триггеров назывался этапом установления, при котором емкости перезаряжались: здесь, у мультивибратора – этап квазиустановления, потому, что перезаряд конденсаторов до определенного уровня, после которого происходит обратный скачок, схема возвращается вновь к состоянию ожидания после завершения переходных процессов. Итак, после открывания VT1 образуется цепь перезаряда конденсатора C: земля...открывшийся VT1...C...R...-E₀. Если бы этот процесс перезаряда происходил бесконечно долго, то в итоге слева у конденсатора C был бы + (потенциал земли), справа минус источника питания. Перезаряд происходит по экспоненте в соответствии с вторым графиком рисунка 4.3 вплоть до момента 2.

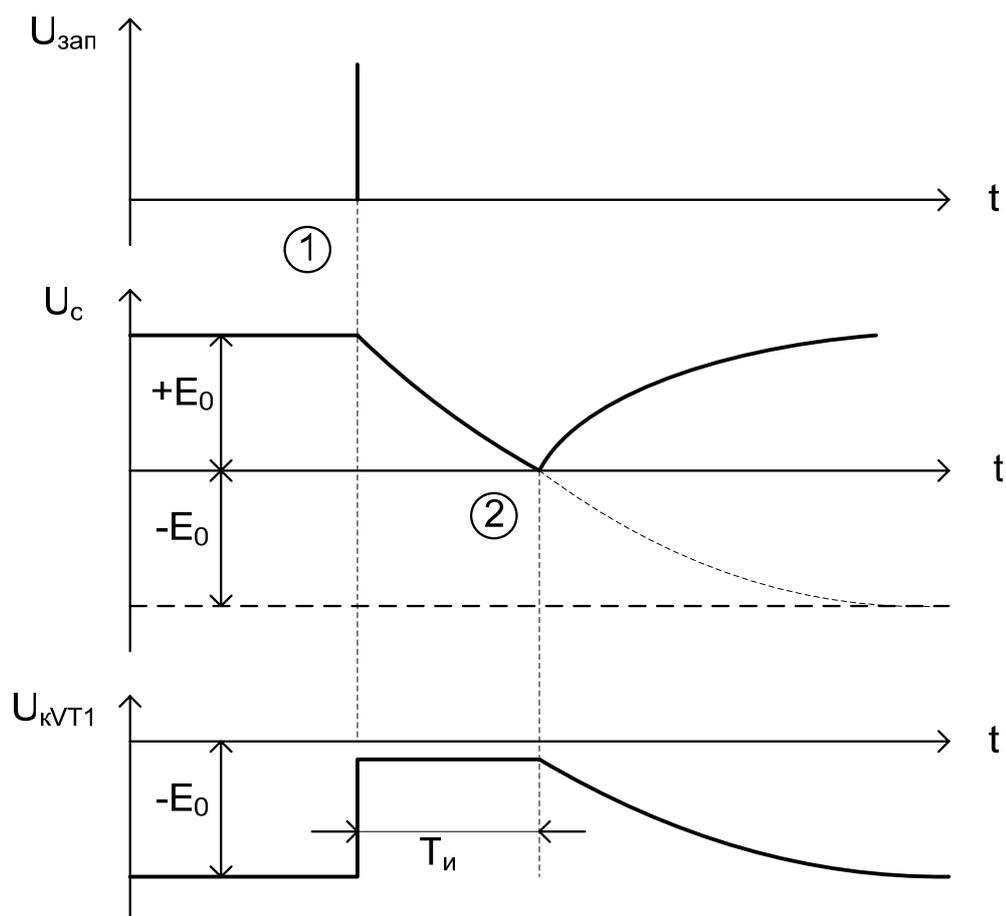


Рисунок 4.3 – Переходные процессы в схеме мультивибратора в ждущем режиме

Если бы в момент 2 не происходило обратного опрокидывания VT1 и VT2, то перезаряд продолжался бы до уровня $-E_0$.

Но в момент 2 напряжение конденсатора С становится нулевым, оно уже не удерживает закрытым переход база – эмиттер транзистора VT2, следовательно VT2 открывается по цепи земля…ЭБ VT2…R… $-E_0$, VT1 закрывается источником смещения $E_{см}$, а также тем напряжением, которое успел принять конденсатор Сб1 на интервале длительности генерируемого импульса, конденсатор С вновь начинает заряжаться по цепи земля…ЭБ VT2…С…R_{к1}… $-E_0$. Таким образом, на интервале генерирования импульса перезаряд происходил с постоянной времени $\tau = RC$, а после момента 2 – с постоянной времени восстановления $\tau_{восст} = R_{к1}C$. На втором и третьем графике после момента 2 одна и та же экспонента, в итоге прогенерированный импульс получается не прямоугольным.

Длительность импульса может быть оценена по типовой формуле:

$$\Delta t = T_{и} = \tau \ln\left(\frac{U_{нач} - U_{\infty}}{U_{кон} - U_{\infty}}\right),$$

где $U_{\infty} \approx 2E_0$, $U_{нач} = +E_0$, $U_{кон} = 0$ (из графиков рисунка 4.3). После подстановки получаем приблизительную оценку длительности импульса:

$$\Delta t = T_{и} = 0,7 \tau$$

Самый простой способ регулировки длительности импульса – это изменение величин R и C . Если вместо R ставят потенциометр, то последовательно вместе с ним включают ограничивающий резистор для предотвращения чрезмерного тока в цепи базы $VT2$, следовательно возрастает глубина насыщения, вместе с ней – время рассасывания – этим вносится погрешность в длительность генерируемого импульса $T_{и}$. Можно изменить C , но это конструктивно нецелесообразно.

Другой способ изменения длительности импульса – установка потенциометра вместо $R_{к1}$ как показано на рисунке 4.2 штриховой линией (точка 1 не имеет прямой связи с Вых1), причем конденсатор C по-прежнему заряжается в режиме ожидания почти до E_0 , но на интервале генерирования импульса из напряжения заряда конденсатора C вычитается падение напряжения на той части потенциометра, которая подключена к коллекторному электроду $VT1$ и к движку. Следовательно, к переходу БЭ $VT2$ приложено не все напряжение конденсатора C , а разность, из него вычитается падение напряжения на той части потенциометра, которая находится между выводом потенциометра, подключенным к коллекторному электроду $VT1$ и движком. Т.е. чем выше по схеме рисунка 4.2 находится движок, тем короче импульс. Этот способ регулировки считается более приемлемым в сравнении с потенциометром R , т.к. глубина насыщения $VT2$ остается неизменной, погрешность от рассасывания не входит в $T_{и}$.

Недостаток процессов заключается в непрямоугольности прогенерированного импульса. На схеме, изображенной на рисунке 4.4, всё то же самое, что и в предыдущей, но дополнительно вводится диодный ключ VD .

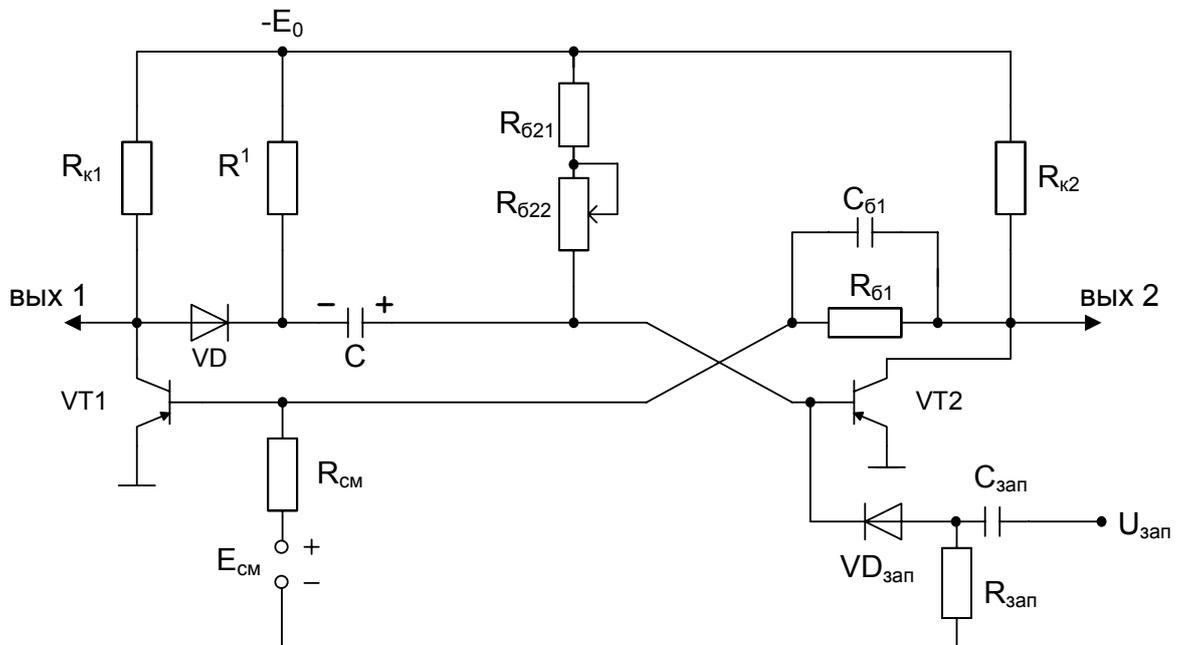


Рисунок 4.4 – Один из способов придания прямоугольности – включение диода VD (диодного ключа)

Когда открывается транзистор VT1 (точка 1, см. рисунок 4.5), конденсатор C разряжается по цепи + C (справа) ... R₆₂₂ ... R₆₂₁ ... -E₀ ... цепь источника питания ... земля ... VT1 ... VD ... C (слева). Это напряжение разряда конденсатора одновременно прикладывается к переходу Б-Э транзистора VT2, удерживает его закрытым (запертым). В момент времени 2 закрывается транзистор VT1, а открывается VT2, что соответствует окончанию прогенерированного импульса. Образуется цепь + земля ... Э-Б VT2 ... C ... R¹ ... -E₀. В сущности, + земля прикладывается справа к VD, а слева - -E₀ через сопротивление R_{к1}. Следовательно, ключ VD закрыт, поэтому напряжение на вых 1 скачком нарастает до величины -E₀, как показано штриховыми линиями на рисунке 4.5, т.е. достигается прямоугольность.

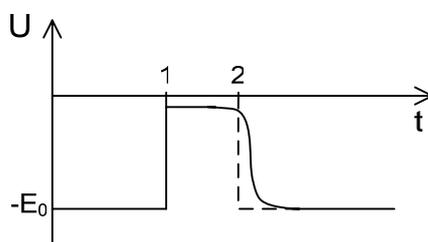


Рисунок 4.5 – Физика процессов, происходящих в схеме на рис. 4.4

Известны более сложные схемы мультивибраторов – фантастроны, санатроны.

4.1.2 Мультивибраторы на биполярных транзисторах в автоколебательном режиме

Вышеназванные мультивибраторы образуются из схемы триггера путём замены обеих резистивных связей на емкостные (рисунок 4.6).

В схеме, изображенной на рисунке 4.6, а, генерируются не совсем прямоугольные импульсы, так как отсутствуют диодные ключи. Во второй схеме (рисунок 4.6, б) генерируются прямоугольные импульсы. Если резисторы и конденсаторы C1, R1 и C2, R2 одинаковы, то генерируется меандр. Если их величины отличаются, то вершины и основания импульсов будут различной длины.

Процессы начала генерации объясняются следующим образом. Один из транзисторов всегда отличается от другого. При включении напряжения питания, например, VT1 открывается и сохраняет открытое состояние, но не бесконечно долгое время, как в триггере, а пока заряжается емкость C2 по цепи: земля ... Э-Б VT1 ... C2 ... R_{к2} ... -E₀ в схеме рисунка 4.6, а. Транзистор VT2 закрыт.

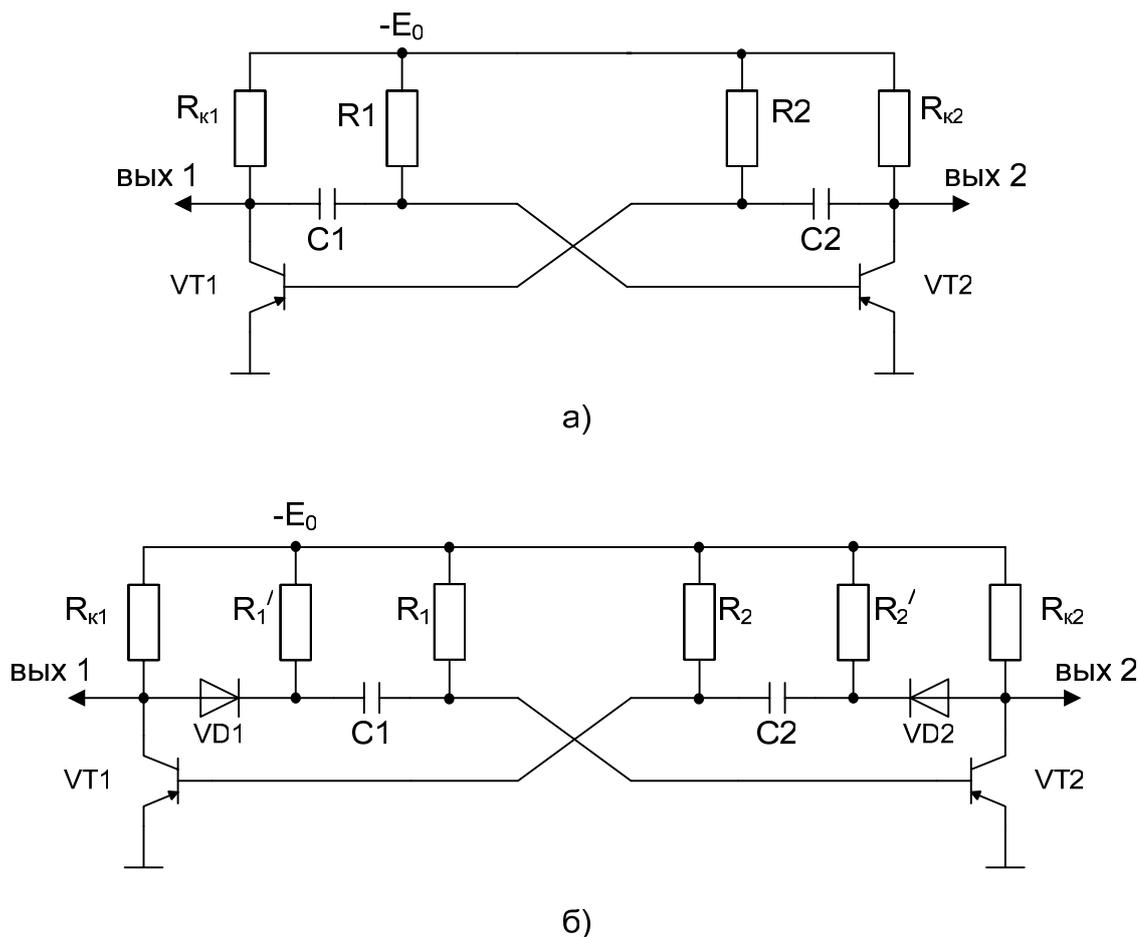


Рисунок 4.6, а, б – Схемы мультивибраторов на биполярных транзисторах в автоколебательном режиме

Заряд нарастает по экспоненте; зарядный ток становится минимальным, следовательно, VT1 скачком закрывается. Напряжение на коллекторном электроде возрастает, образуется цепь заряда C1, а именно земля...Э – Б VT2...C1...Rк1...-E0, и т. д., что соответствует автоколебательному режиму.

Расчетные соотношения аналогичны триггеру.

В ждущем режиме производят следующие действия (рисунок 4.2):

1 Выбираются транзисторы; основанием для их выбора являются цена, наличие, параметры и координаты, которые необходимо снять со схемы.

2 Производится построение семейства выходных характеристик, откладывается напряжение питания E0, проводится нагрузочная прямая.

3 Резистор RБ1 (базы 1) рассчитывается из соотношения 1:10, т.е. $R_{Б1} = 10 \cdot R_{к1}$. Резистор Rсм принимается не менее чем в 10 раз больше чем RБ1. Физический смысл здесь заключается в том, что ток, ответвляющийся в цепь смещения, должен быть на порядок меньше по сравнению с базовым током VT1.

4 Параметры времязадающей цепи рассчитываются соотношением $\Delta t \approx 0.7 \cdot R \cdot C$. Должно быть известно значение величины Δt . Выбрав величину емкости, рассчитываем сопротивление R (или наоборот).

5 Диоды выбираются по току и напряжению.

4.2 Ждущий мультивибратор на униполярных транзисторах

На рисунке 4.7 приведена схема ждущего мультивибратора на униполярных транзисторах.

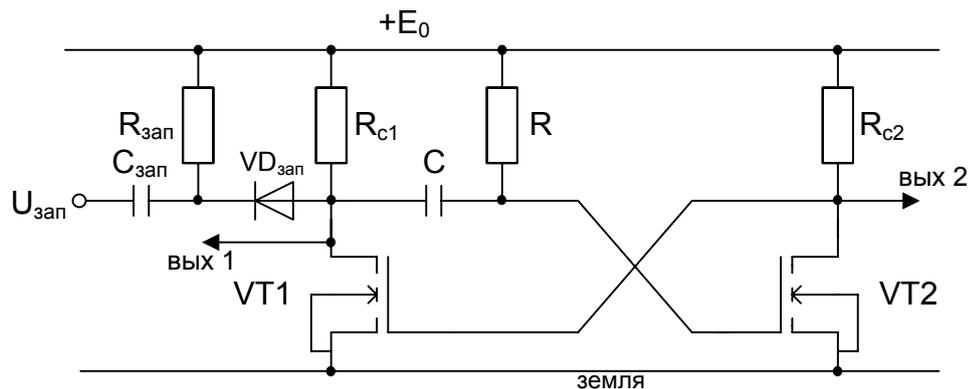


Рисунок 4.7 – Схема ждущего мультивибратора на униполярных транзисторах

После включения напряжения питания образуются две почти равноценные цепи:

$+E_0 \cdots R \cdots 3 - И VT2 \cdots земля$ и $+E_0 \cdots R_{c2} \cdots 3 - И VT1 \cdots земля$. Тем не менее, открывается транзистор $VT2$ и в этом состоянии он находится в режиме ожидания, а $VT1$ закрыт. Конденсатор C в режиме ожидания разряжен, так как слева от него находится сток закрытого транзистора $VT1$ (напряжение $+E_0$), справа тоже напряжение $+E_0$, потому что между затвором и истоком $VT2$ изоляция.

Выключенное состояние $VT1$ и включенное $VT2$ наблюдается потому, что между стоком $VT1$ слева и затворной цепью $VT2$ справа находится разрыв по постоянному току в режиме ожидания через конденсатор C . Для данных транзисторов входная характеристика имеет вид, представленный на рисунке 4.8.

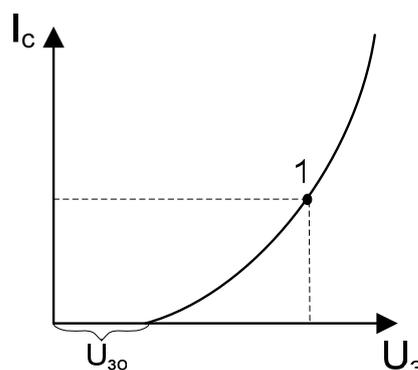


Рисунок 4.8 – Входная характеристика

Подобная характеристика носит название “правой”, так как она расположена в правом поле рисунка. Есть зона нечувствительности – U_{30} (от десятых долей вольта до нескольких вольт). Далее следует участок обогащения. Открытый транзистор VT2 находится в положении точки 1. Для того, чтобы его закрыть, необходимо подать напряжение, способное переместить рабочую точку влево, т.е. в направлении отрицательной полярности. Значит, диод на схеме (см. рисунок 4.7) должен иметь направление “влево”.

После подачи импульса запуска VT2 закрывается, а VT1 открывается. Образуется цепь заряда конденсатора С: $+E_0 \dots R \dots C \dots \text{откр. VT1} \dots \text{земля}$. Заряд происходит по экспоненте, следовательно плюсовая полярность напряжения справа на конденсаторе С нарастает. Спустя некоторое время, когда это напряжение превысит U_{30} , VT2 открывается скачком, VT1 закрывается. Генерация импульса заканчивается.

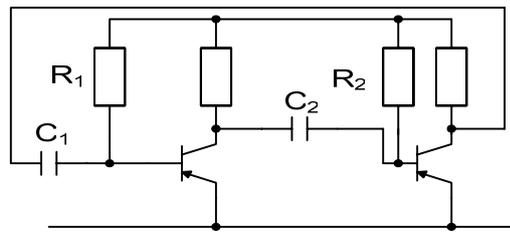
Расчет длительности импульса производится по типовой формуле:

$$\Delta t = \tau \cdot \ln \left(\frac{U_{\text{нач}} - U_{\infty}}{U_{\text{кон}} - U_{\infty}} \right),$$

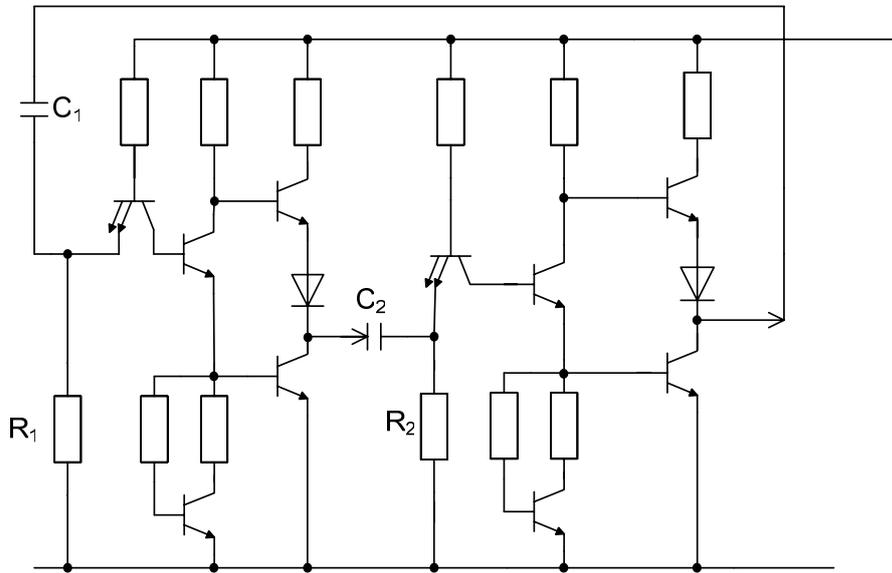
где $\tau = R \cdot C$, причем задаются величиной R , рассчитывая C при заданной длительности. Другие величины: $U_{\text{нач}} = 0$, $U_{\infty} = E_0$, $U_{\text{кон}} \approx U_{30}$ по рисунку 4.8.

4.3 Генератор импульсов на двух логических элементах с двумя конденсаторами в автоколебательном режиме

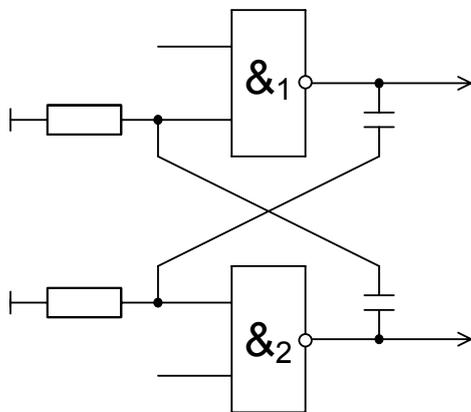
На рисунке 4.9, б, в, г изображены генераторы импульсов на двух логических элементах с двумя конденсаторами в автоколебательном режиме.



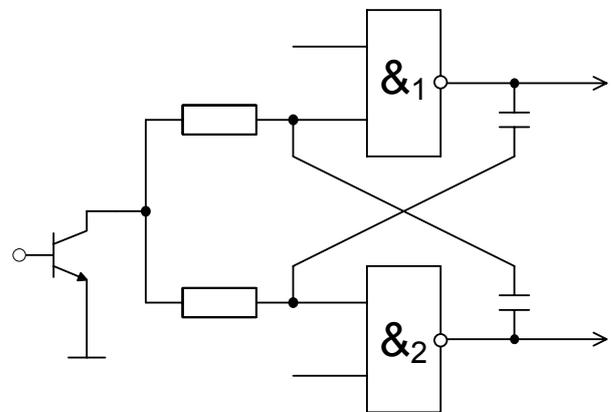
а)



б)



в)



г)

Рисунок 4.9, а – Генератор импульсов на двух транзисторных каскадах; б, в, г – на двух логических элементах с двумя конденсаторами в автоколебательном режиме

В схеме, изображенной на рисунке 4.9, а конденсаторы поставлены вместо резистивных связей триггера. Для того чтобы не образовывалась “некультурная” с точки зрения электроники цепь, состоящая из перехода Б–Э транзистора и конденсатора, вводятся резисторы смещения R_1 – R_2 , которые устанавливают режим транзисторов - ток смещения.

На второй схеме (см. рисунок 4.9, б) конденсаторы и резисторы включены аналогично. Одновременно со смещением и в предыдущей схеме (рисунок 4.9, а), и в этой резисторы выполняют времязадающую роль.

$$\tau \approx R \cdot C - \text{постоянная времени}$$

Следовательно, длительность импульса определяется следующей формулой:

$$\Delta t = \tau \cdot \ln \left(\frac{x_{\text{нач}} - x_{\infty}}{x_{\text{кон}} - x_{\infty}} \right), \text{ с}$$

где $x_{\text{нач}}$ соответствует низкому уровню—нулю, $x_{\text{кон}}$ — единице, x_{∞} — напряжению питания.

На третьей схеме (рисунок 4.9, в) всё аналогично, но изображено условно. При этом на свободных входах высокие уровни. Если на любой свободный вход подать нуль, то генерация прекращается, так как эти схемы безусловного подчинения нулю. При необходимости регулировать длительность импульсов или частоту, вместо резисторов следует поставить потенциометры или ступенчато, через переключатели, изменять величины емкостей.

Обычно диапазон регулировки не более, чем пятикратный. Наименьшая частота, которую можно получить, — герцы, наибольшая частота — несколько МГц.

Когда необходима электронная регулировка частоты, схему можно представить в виде, изображенном на рисунке 4.9, г. Если транзисторы ставятся отдельно, последовательно с резисторами, то длительности вершин и оснований различаются.

Достоинством схемы является несложность. К недостаткам относят низкую термостабильность, зависимость от напряжения питания и наличие двух конденсаторов.

4.4 Генератор импульсов на четырех логических элементах с одним конденсатором

На рисунке 4.10, а приведена схема генератора импульсов, в которую введены два операционных усилителя, б, в, г относятся к логическим элементам.

Первый операционный усилитель совместно с навесными компонентами R_1, R_2, R_3 реализует схему неинвертирующего триггера, второй — интегратора (R_4, C).

Если на вход интегратора подать напряжение $U_1(t)$, то на выходе получим $U_2(t)$ (см. рисунок 4.11). И наоборот, если отдельно $U_2(t)$ подать на вход неинвертирующего триггера, то получим $U_1(t)$.

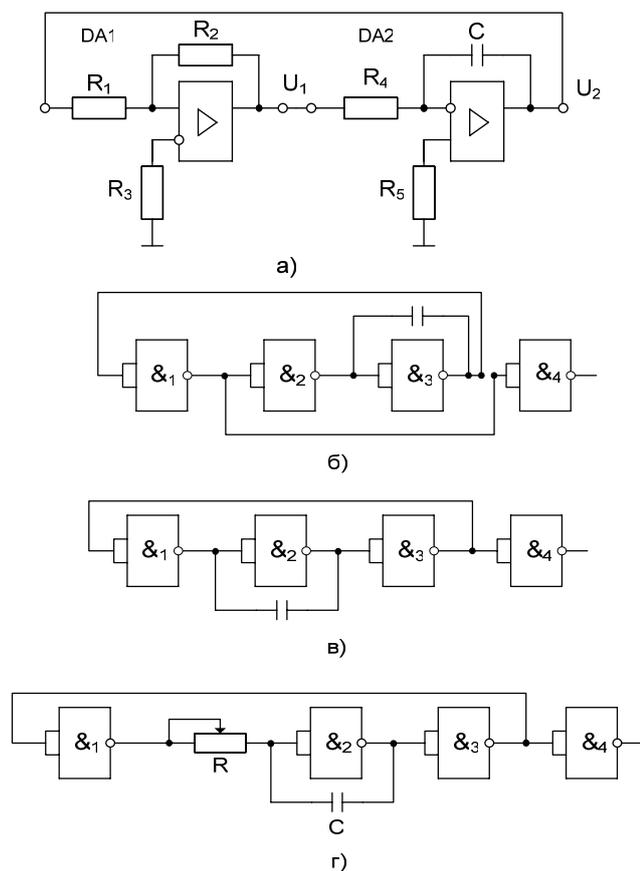


Рисунок 4.10, а – Схема на двух операционных усилителях; б, в, г – схемы на четырех логических элементах с одним конденсатором

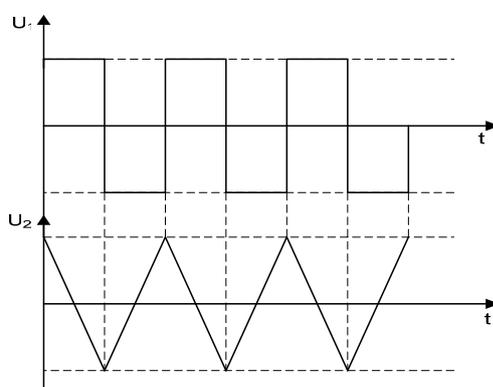


Рисунок 4.11 – Графики входного и выходного напряжений

После объединения этих двух схем получится генератор импульсов на двух ОУ с одним конденсатором, так как формы колебаний на входах и выходах элементов соответствуют друг другу.

При выборе логического элемента вместо ОУ для интегратора получается условный эквивалент интегратора на логическом элементе (см. рисунок 4.12).

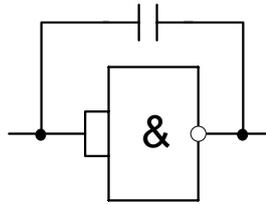


Рисунок 4.12 – Интегратор на логическом элементе

В качестве триггера можно использовать прозрачный Д–триггер (см. раздел 3.11) на четырех логических элементах (триггер–защелка). Но можно сделать проще: вместо триггера взять два логических элемента $\&_1$ и $\&_2$, соединенных последовательно (см. рисунок 4.10, б). Четвертый логический элемент $\&_4$ устанавливают для нормализации формы импульсов. Нормализация – это придание П–образности, формы меандра. Таким образом, получаем такую же схему, что и на рисунке 4.10, а.

В книгах схему рисунка 4.10, б изображают несколько иначе, а именно, как на рисунке 4.10, в. Здесь все то же самое, что и на рисунке 4.10, б, только другие цифры номеров логических элементов.

Четвертый вариант схемы (см. рисунок 4.10, г) используется в случаях, если необходима частичная регулировка длительности и частоты генерируемых импульсов, которые рассчитываются по следующей формуле:

$$\Delta t = \tau \cdot \ln \left(\frac{X_{\text{нач}} - X_{\infty}}{X_{\text{кон}} - X_{\infty}} \right), \quad \tau \approx R \cdot C$$

Если $R=0$, то в качестве него берётся выходное сопротивление логической микросхемы $\&_1$.

К достоинствам генератора следует отнести высокую стабильность, небольшую зависимость от температуры, устойчивость к внешним электромагнитным излучениям.

Устойчивость объясняется тем, что в контуре с обратной связью три логических элемента. Следовательно, на временных интервалах фронтов и спадов конденсатор C – это короткое замыкание ($\&_2$ закорачивается в схеме на рисунке 4.10, в). В контуре остаются элементы $\&_1$, $\&_3$, дающие повторение импульсов, т.е. фазовый сдвиг 360° . Это условие является необходимым для организации положительной обратной связи (условие генерации). На интервалах вершин и оснований импульсов конденсатор C не закорачивает $\&_2$, в итоге в контуре три логических элемента, которые в целом дают инверсию (переворот фазы). Таким образом, действует отрицательная обратная связь, стабилизирующая вершины и основания, а, следовательно, и частоту генерируемых импульсов. В предыдущей схеме рисунка 4.9 такого нет, поэтому, она менее нестабильна. Схема рисунка 4.10, в хорошо работает на логических элементах с открытым коллектором типа ЛА7, ЛА8. Она также работает на обычных элементах типа ЛАЗ, но импульсы непрямоугольные.

4.5 Генератор импульсов на двух логических элементах с одним конденсатором

На рисунке 4.13, а, б изображены схемы на двух логических элементах с одним конденсатором.

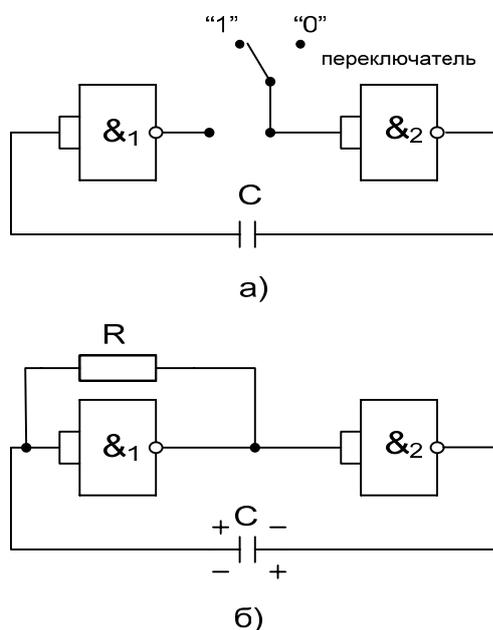


Рисунок 4.13, а, б – Схемы на двух логических элементах с одним конденсатором

Если переключатель вибрирует, то при левом положении на выходе $\&_2$ будет нуль, который передается через конденсатор C на вход $\&_1$, а следовательно на выходе $\&_1$ будет единица. При правом положении переключателя на выходе $\&_2$ наблюдается единица, которая через конденсатор C передается на вход $\&_1$, на его выходе выделяется нуль и т.д.

Если удалить вибратор, сделать соединение и включить резистор R , то получится схема, изображенная на рисунке 4.13, б. В данной схеме конденсатор C вначале имеет нулевой заряд, это значит, что на входе $\&_1$ будет нуль, на выходе $\&_1$ – единица, а на выходе $\&_2$ – нуль. С выхода цепи $\&_1$ уровнем единица через резистор R , а также из входной цепи $\&_1$ происходит заряд конденсатора по экспоненте. Этот заряд достигает уровня единицы, следовательно, на входе $\&_1$ будет единица, а на выходе $\&_1$ – нуль, на выходе $\&_2$ установится единица принудительно. Эта единица в сущности перезаряжает конденсатор C и т.д.

Длительность импульса, периода и частоты определяется на основании предыдущей формулы.

Возможно построение генераторов импульсов без конденсатора. ПОС охватывает четное количество последовательно соединенных элементов. В этом случае постоянная времени определяется задержкой логических элементов, входящих в контур. Однако эти генераторы практически не используются в связи с их нестабильностью.

4.6 Генераторы импульсов на логических элементах в ждущем режиме

Схемы генераторов импульсов на логических элементах в ждущем режиме строятся аналогично схемам триггеров на логических элементах, но одна из непосредственных связей заменяется на емкостную, кроме того вводится цепь смещения посредством резистора R (рисунок 4.14).

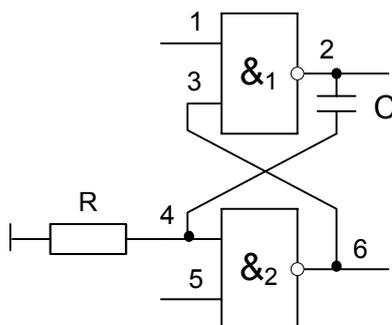


Рисунок 4.14 Схема генератора импульсов на логических элементах в ждущем режиме

При этом схема может формировать короткий или длинный импульсы, все зависит от величины сопротивления R . Если сопротивление R невелико, т.е. на вход 4 свободно проходит уровень земли – логический нуль, то следовательно схема $\&_2$ находится под запретом, управлять ею по входу 5 бесполезно. Единица с выхода 6 поступает на вход 3 схемы $\&_1$, поэтому можно управлять по входу 1, т.е. подавать на него нули или единицы. Примем в режиме ожидания на входах 1, 5 единицы, подадим затем на вход 1 длительный нуль, как показано на рисунке 4.15.

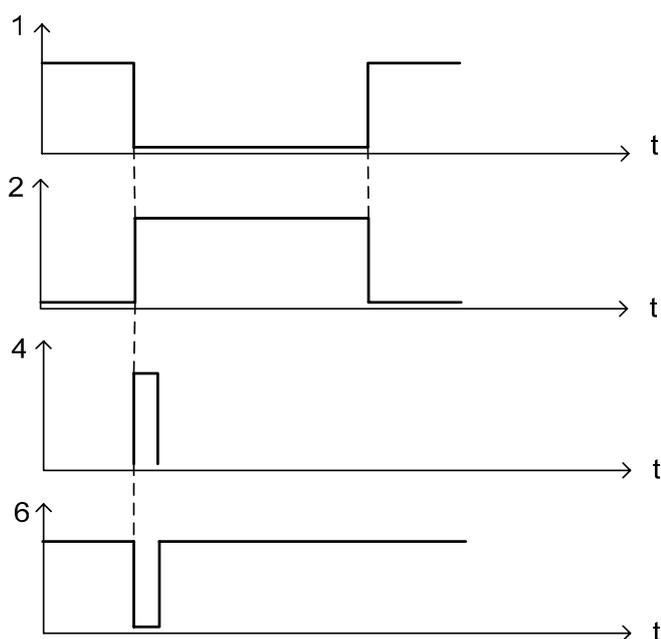


Рисунок 4.15 – Генерирование короткого импульса.

На выходе 2 получаем обычное инвертирование входного сигнала. Но фронт выхода 2 практически свободно проходит через конденсатор С на вход 4 (график 4), следовательно, на обоих входах $\&_2$ – единицы, выделяют на выходе 6 $\&_2$ – нуль. Причем, этот нуль (импульс нуля) короче входящего импульса (график 1), так как сопротивление резистора R невелико, конденсатор С заряжается и разряжается быстро. Более точно, графики 4 и 6 на рисунке 4.15 – это экспоненты, т.к. заряд-разряд происходит по экспонентам, но здесь, с целью упрощения, импульсы изображены прямоугольными.

В том случае, когда сопротивление R велико, образует разрыв в цепи входного электрода 4 логического элемента $\&_2$ схемы рисунка 4.14, то это эквивалентно присутствию единицы на входе 4, следовательно, на двух входах $\&_2$ – единицы; на выходе $\&_2$ – нуль, поступающий на 3 вход $\&_1$, запрещающий передачу сигналов через вход 1. Т.е. в этом случае электрод 1 схемы $\&_1$ нельзя использовать в качестве входного, как это было в предыдущем случае. Остается только электрод 5 схемы $\&_2$, он может быть входным. Процессы генерирования представлены на рисунке 4.16.

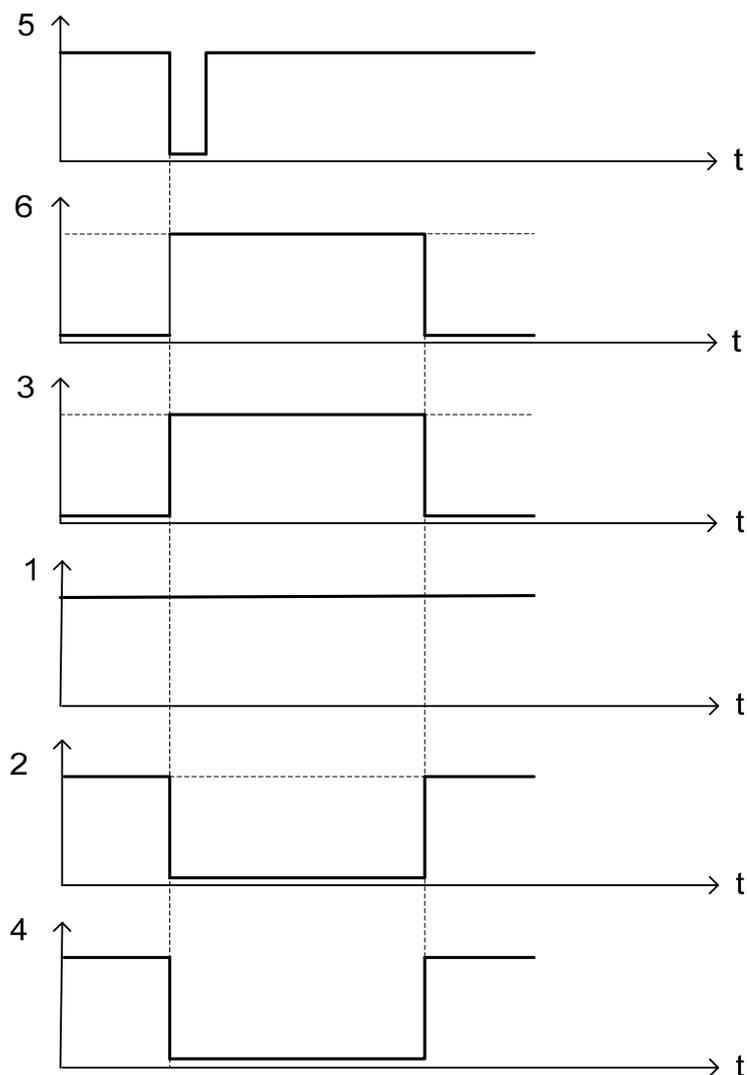


Рисунок 4.16 – Генерирование длинного импульса

Короткий входной импульс (график 5 рисунка 4.16) своим низким уровнем выделяет на выходе 6 схемы $\&_2$ высокий уровень (единицу), которая поступает на вход 3 схемы $\&_1$, следовательно, две единицы $\&_1$ логически умножаясь, выделяют на выходе $\&_1$ нуль (низкий уровень, график 2). Этот низкий уровень, нуль, проходит через конденсатор С на вход 4 логической схемы $\&_2$, заряд конденсатора С происходит длительно (график 4), так как сопротивление резистора R велико, как было принято. До тех пор, пока будет заряжаться конденсатор С, т.е. на входе 4 – низкий уровень, на выходе 6 сохраняется высокий уровень (график 6), поэтому на обоих входах $\&_1$ единицы, логически умножаясь, они образуют нуль на выходе 2 (график 2). В итоге, схема генерирует длинный импульс при запускающем коротком.

Расчет длительности генерируемого импульса может быть сделан по

формуле:
$$\Delta t = \tau \cdot \ln \left(\frac{U_{\text{нач}} - U_{\infty}}{U_{\text{кон}} - U_{\infty}} \right)$$

где $\tau = RC$, $U_{\text{нач}}$, $U_{\text{кон}}$, U_{∞} , - уровни нулей, единиц и напряжения питания в схеме.

4.7 Генератор импульсов на туннельном диоде в ждущем режиме

Нагрузочная прямая для схемы генератора располагается так, как показано на рисунке 4.17.

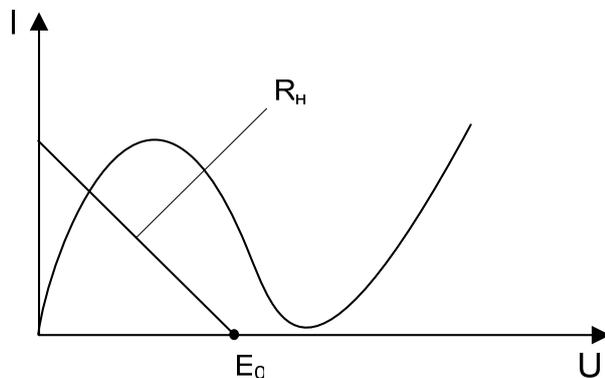


Рисунок 4.17 – Нагрузочная прямая в схеме генератора на туннельном диоде в ждущем режиме

Построение дает цифровые значения E_0 и R_n . Но для схемы генератора еще нужна реактивность, в качестве которой здесь применяют индуктивность, последовательно включаемую с туннельным диодом и R_n . В результате получаем схему, изображенную на рисунке 4.18.

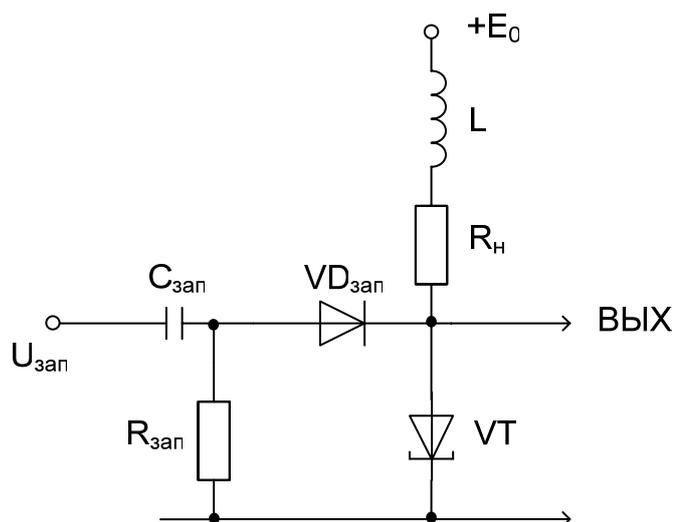


Рисунок 4.18 – Схема мультивибратора на туннельном диоде в ждущем режиме

Первой устанавливается точка 1 на графическом построении рисунка 4.19 т.к. она первой встречается при нарастании напряжения питания от начала координат (нуля).

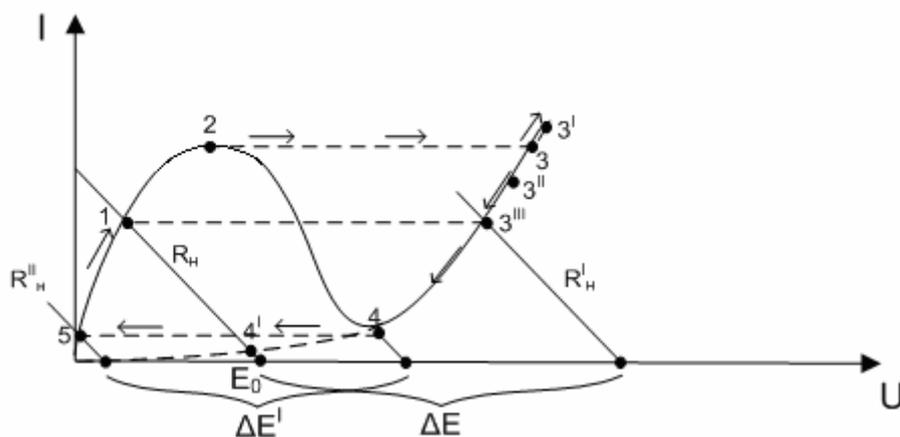


Рисунок 4.19 – Процессы генерации импульса

Это состояние продолжается до момента поступления запускающего импульса положительной полярности $U_{\text{зап}}$, проходящего через $VD_{\text{зап}}$ в прямом направлении. Точка 1 перемещается вправо, достигает уровня колена 2, превышает его, и в том случае, если запускающий импульс достаточно большой, превышает уровень точки $3'$, то скачок в точку 3, затем скачкообразное движение в направлении точки $3'$. При этом наклон нагрузочной прямой в точках 3, $3'$ не равен наклону R_H , т.к. дополняется сопротивлением цепи запуска, а ток в точках 3 и $3'$ образуется двумя составляющими: током последовательной цепи с индуктивностью L , который в течение действия скачка запускающего импульса удерживается на уровне точки

1 (закон сохранения тока), и током запускаяющей цепи, в которой нет индуктивности, поэтому эта составляющая зависит от величины запускаяющего импульса. Если запускаяющий импульс меньше в сравнении с точкой 3, то скачок из 2 может быть и в точку 3^{||}, но не ниже точки 3^{||}, положение которой определяется законом сохранения тока.

После снятия запускаяющего импульса (имеется ввиду, что запускаяющий импульс имеет короткий фронт, вершину и спад, так что ток в индуктивности L практически не изменяется в сравнении с точкой 1 рисунка 4.19), рабочая точка из положения 3[|] или 3, или 3^{||} скачком перемещается в точку 3^{||}, из нее начинается относительно медленное перемещение в направлении точки 4. Т.е. нагрузочная прямая R[']_н, параллельная R_н, удерживаемая ЭДС самоиндукции ΔE, смещается влево вследствие убывания ΔE.

Т.к. ЭДС самоиндукции убывает относительно медленно, то рабочая точка перемещается из положения 3^{||} в направлении 4 нижнего колена, и из точки 4 скачком в точку 5 (действует закон сохранения тока). В сущности, генерация импульса заканчивается. Но еще есть процесс установления. Он состоит в том, что рабочая точка из положения 5 относительно медленно перемещается в положение 1, т.е. нагрузочная прямая R^{||}_н возвращается в свое первоначальное состояние R_н, начинается вновь режим ожидания следующего запускаяющего импульса.

ЭДС самоиндукции в момент обратного скачка это ΔE¹ на графике рисунка 4.19.

В связи с тем, что в этой схеме присутствует индуктивность, расчет длительности генерируемых импульсов следует производить не по координатам напряжения, т.к. они разрывны (см. графики рисунка 4.19), а по координатам тока, используя стандартную формулу:

$$\Delta t = \tau \ln\left(\frac{I_{\text{нач}} - I_{\infty}}{I_{\text{кон}} - I_{\infty}}\right), \text{ с.}$$

В этой формуле τ - постоянная времени, для цепи с индуктивностью она равна $\tau = \frac{L}{R^1}$, где L – индуктивность в Генри, R¹ – сопротивление в Омах.

Сопротивление R_{тд} надо рассчитывать отдельно для точек 3^{||} и 4, так как оно нелинейно (криволинейно) в связи с нелинейностью характеристики туннельного диода, просуммировать его с R_н (схема рисунка 4.18):

$$R^1 = R_{\text{тд}} + R_{\text{н}}$$

Координаты I_{нач}, I_{кон}, I_∞ легко определяются из графического построения рисунка 4.19, причем I_н = I^{||}; I_{кон} = I₄; I_∞ = I₄' ; , где ток I₄ соответствует точке пересечения прямой R_н с характеристикой туннельного диода, построенной как продолжение участка 3^{||}-4 по направлению к началу координат, если бы туннельный диод был обычным диодом.

4.8 Генератор импульсов на туннельном диоде в автоколебательном режиме.

Схема автоколебательного мультивибратора образуется из схемы ждущего путем такого расположения нагрузочной прямой, при котором устанавливается одна точка A неустойчивого равновесия, как на рисунке 4.20.

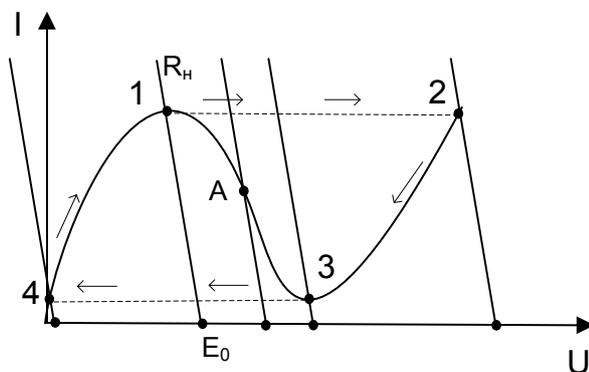


Рисунок 4.20 – Процессы генерации в автоколебательном режиме

Цепь запуска в схеме генератора также отсутствует (рисунок 4.21).

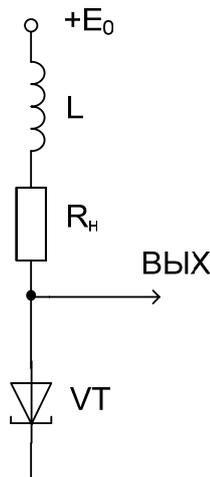


Рисунок 4.21 – Схема генератора импульсов на туннельном диоде в автоколебательном режиме

Процессы генерации в схеме начинаются с начала координат по рисунку 4.20 в момент включения напряжения питания $+E_0$ (потому, что включение $+E_0$ сопровождается нарастанием от нуля до максимума). Нагрузочная прямая из положения в начале координат относительно медленно перемещается параллельно своему первоначальному положению в направлении точки 1, затем под действием ЭДС самоиндукции делает скачок в точку 2 (закон сохранения тока), относительно медленное движение в точку 3, скачок в точку 4 и т.д., продолжается непрерывный генерационный процесс. Расчет длительности импульсов, а следовательно, частоты производится по формуле Δt

предыдущего раздела 4.7, при этом надо иметь ввиду, что вершины и основания импульсов формируются на интервалах 2 – 3 и 4 – 1 нелинейного участка характеристики туннельного диода. Из графического построения рисунка 4.20 также легко могут быть найдены цифровые значения токов на интервалах скачков.

4.9 Генератор импульсов на тиристоре в ждущем режиме

Характеристики тиристоров проанализированы в разделах 1.5; 1.14; 3.14 импульсных усилителей мощности и триггеров. Расположение нагрузочной прямой в ждущем режиме выбирается таким, чтобы образовалась одна точка устойчивого равновесия 1, как показано на рисунке 4.22.

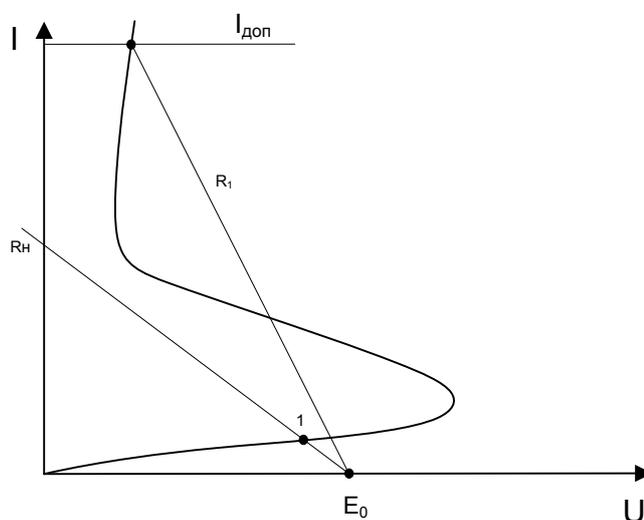


Рисунок 4.22 – Расположение нагрузочной прямой R_n

Из этого расположения определяются цифры E_0 и R_n , их принимают стандартными, ближайшими к расчетным. При нарастании напряжения питания в момент включения от нуля (начала координат) первой встречается точка 1. Эта же точка определяет режим ожидания запускающего импульса. В схеме ждущего мультивибратора на тиристоре, так же как и на туннельном диоде, нужна реактивность, но здесь применяют емкость, в отличие от индуктивности в схеме на туннельном диоде. Для включения емкости общее сопротивление нагрузки R_n делят на две части. Пропорции между ними устанавливаются следующим образом. Откладывается допустимая величина тока $I_{доп}$ на характеристике тиристора и в точку E_0 проводится нагрузочная прямая R_1 . Общее сопротивление $R_n = R_1 + R_2$. При известных R_n и R_1 , рассчитывают R_2 . Желательно наклон R_1 принимать большим, чем показано на рисунке 4.22 с тем, чтобы уменьшить ток тиристора в сравнении с предельным $I_{доп}$, показанным на рисунке 4.22. Насколько уменьшить — это определяет разработчик схемы, желающий заложить предел прочности.

В итоге получаем все элементы, которые собираем в соответствии с рисунком 4.23

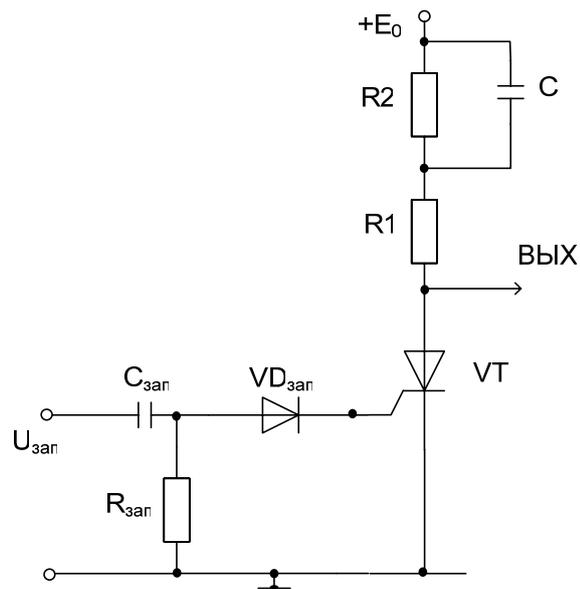


Рисунок 4.23 – Схема генератора импульсов на тиристоре в ждущем режиме

Процессы генерации импульсов иллюстрируются графиком рисунка 4.24.

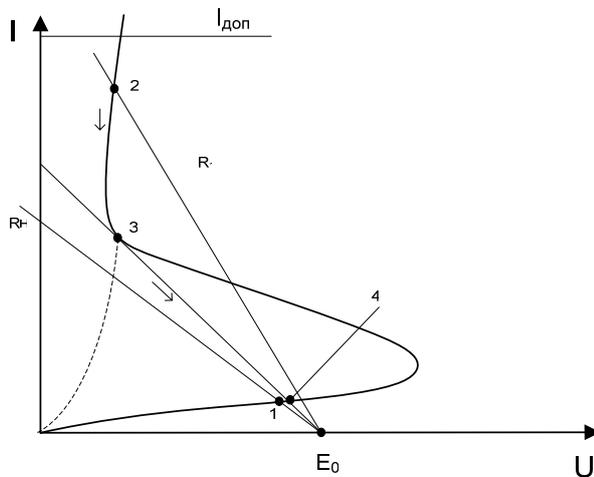


Рисунок 4.24 – Процессы генерации

Вначале устанавливается режим ожидания в точке 1. Конденсатор C разряжен, тиристор закрыт, тока в цепи нет. Запускающий импульс «спрямляет» характеристику тиристора, т.е. открывает его, как показано штриховой линией на рисунке 4.24. Протекают два тока, первый $+E_0 \cdots R_2 \cdots R_1 \cdots$ открытый $VT \cdots$ земля, второй $+E_0 \cdots C \cdots R_1 \cdots$ открытый $VT \cdots$ земля. В первое мгновение фронта импульса второй ток является основным, так как конденсатор C представляет собой практически нулевое сопротивление. Рабочая точка делает скачок из положения 1 в положение 2, т.к. в момент фронта, в сущности, будет цепь: $+E_0 \cdots R_1 \cdots$ открытый $VT \cdots$ земля. С течением времени происходит заряд конденсатора C , следовательно, вводится в действие

резистор R_2 . На графике рисунка 4.24 это эквивалентно вращению нагрузочной прямой R_1 влево, с центром вращения – точкой E_0 . Заряд конденсатора C происходит относительно медленно (не скачком), поэтому и вращение постепенное, вплоть до точки 3 – колена тока выключения тиристора. Происходит скачок в точку 4, импульс заканчивается, тиристор закрывается. Переход в точку режима ожидания 1 происходит опять относительно медленно, на этом интервале времени установления конденсатор C разряжается до нуля. Последний элемент схемы – конденсатор C может быть определен из следующих соображений. Обычно разработчик знает длительность импульса, который должен быть прогенерирован. Следовательно, можно рассчитать постоянную времени τ цепи заряда конденсатора C . Применяется типовая формула оценки длительности импульса:

$$\Delta t = \tau \ln\left(\frac{I_{\text{нач}} - I_{\infty}}{I_{\text{кон}} - I_{\infty}}\right).$$

В этой формуле $I_{\infty} \approx \frac{E_0}{(R_1 + R_2 + R_{\text{открВТ}})}$; $I_{\text{кон}} \approx I_{\text{точки3}}$; $I_{\text{нач}} = I_{\text{точки2}}$; $\tau = \frac{R_1 R_2}{R_1 + R_2}$. Ясно,

что процессы в схеме нелинейны в связи с нелинейностью характеристики тиристора, тем не менее, линейное приближение дает достаточно точную оценку. Таким образом, все координаты и параметры в этой формуле известны, кроме C . По ним рассчитывается емкость конденсатора C .

Время установления может быть определено по экспоненте восстановления

$$t_{\text{восст}} = \tau_{\text{восст}} \ln\left(\frac{I_{\text{нач}} - I_{\infty}}{I_{\text{кон}} - I_{\infty}}\right)$$

где $\tau_{\text{восст}} = [R_2 \parallel (R_1 + R_{\text{вТзТза}})]C$, $I_{\text{нач}} = I_4$, $I_{\infty} = I_1$, $I_{\text{кон}} \approx 0,9(I_{\text{нач}} - I_{\infty})$.

4.10 Генератор импульсов на тиристоре в автоколебательном режиме

Схема генератора импульсов на тиристоре в автоколебательном режиме изображена на рисунке 4.25, а.

Прямая, соответствующая сумме $R_1 + R_2$ (см. рисунок 4.25, б), располагается таким образом, чтобы образовывалась одна точка неустойчивого равновесия, расположенная примерно на середине участка характеристики тиристора с отрицательным наклоном. Наклон ее должен быть больше, чем наклон этого отрицательного участка.

Вторая прямая R_1 проводится таким образом, чтобы было касание к колену включения в точке 1, а с другой стороны, чтобы точка 2 была меньше допустимого тока тиристора $I_{\text{доп}}$.

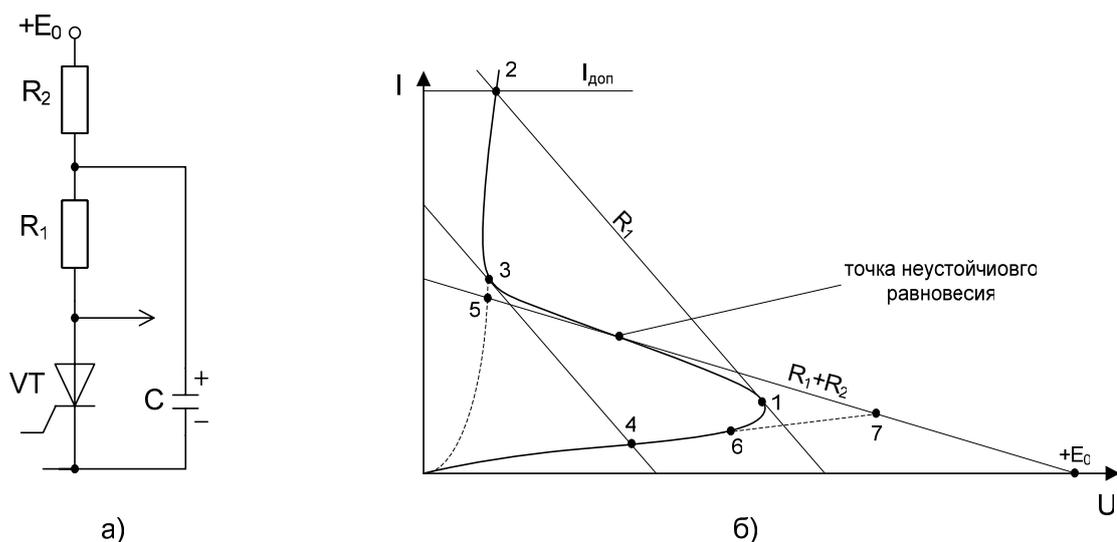


Рисунок 4.25, а – Генератор импульсов на тиристоре в автоколебательном режиме; б – процессы в схеме

Из графика рисунка 4.25, б по наклонам прямых определяются величины сопротивлений резисторов, в соответствии с разделом 4.9 рассчитывается емкость, производится сборка схемы.

После подачи напряжения питания образуется цепь: $+E_0 \dots R_2 \dots C \dots \text{земля}$, тиристор пока закрыт. Происходит заряд конденсатора C по экспоненте. Напряжение заряда C приложено к R_1 и закрытому тиристору, что эквивалентно движению нагрузочной прямой R_1 от начала координат до точки 1. В точке 1 происходит скачок до точки 2, в точке 2 тиристор открыт, образуется вторая цепь: $+C \dots R_1 \dots \text{откр. тиристор VT} \dots -C$. Происходит разряд C , что эквивалентно движению прямой R_1 в обратном направлении до положения 3 (колени выключения). Затем скачок к точке 4. Тиристор закрыт, опять заряжается конденсатор и т.д. Таким образом формируется непрерывный генерационный автоколебательный режим. При расчете длительностей оснований импульсов принимать, что, $\tau_1 \approx \left(\frac{R_1 R_2}{R_1 + R_2}\right)C$, $I_{\text{нач}} = I_{\text{точки 2}}$, $I_{\text{кон}} = I_3$; $I_{\infty} = I_5$. Для вершин $\tau_2 \approx [(R_1 + R_{\text{VT3T3a}}) \parallel R_2]C$, $I_{\text{нач}} = I_4$; $I_{\text{кон}} = I_6$; $I_{\infty} = I_7$.

4.11 Таймеры

Таймеры – это микросхемы, предназначенные для формирования импульсов в ждущих и автоколебательных режимах, длительность которых пропорциональна временным интервалам. Известны аналоговые и цифровые таймеры с микроконтроллерами.

Микросхема КР1006 ВИ1 запитывается напряжением, которое может быть любым в диапазоне $5 \div 9$ В, поэтому она согласуется с ТТЛ–логикой (если 5 В) и КМОП–логикой (если 9 в). Схема, изображенная на рисунке 4.26, содержит три последовательно соединенных одинаковых резистора (примерно

по 5 кОм), два компаратора К1, К2, R–S–триггер Т и три транзистора VT1, VT2, VT3. Имеет три входа: первый 1, второй 2 и третий 3.

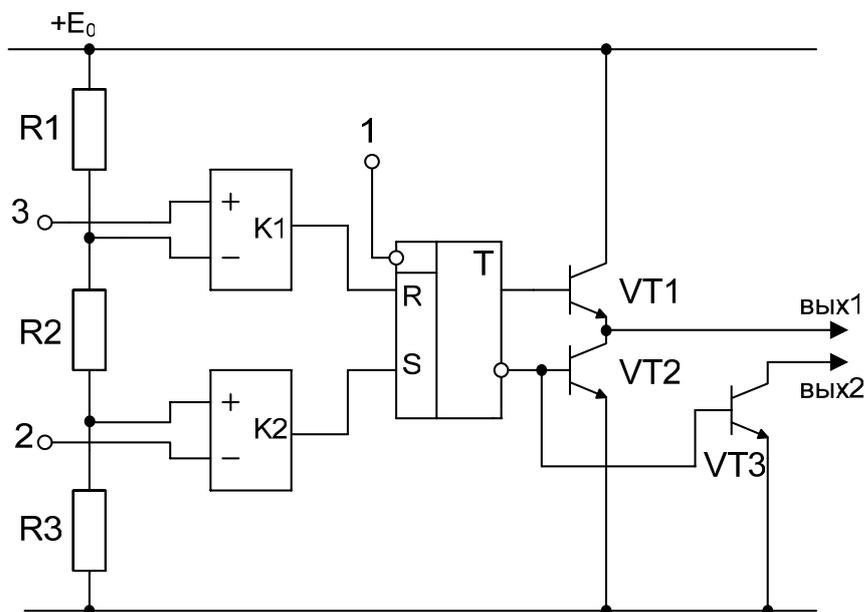


Рисунок 4.26 – Принципиальная схема простейшего таймера КР1500 ВИ1

Главный приоритет у первого входа. Если на нем единица, то разрешено управлять по второму и третьему; если нуль, то запрет на работу схемы. На втором месте приоритет второго входа, на третьем – у третьего входа. Третий вход работает только в том случае, если на первом и втором входах в режиме ожидания высокие уровни (“1”). Так как здесь напряжение питания E_0 может быть любым в диапазоне $5 \div 9$ В, то высокие или низкие уровни примерно $0.9E_0$ и $0.1E_0$ соответственно. Сигналы управления для входов таймера изображены на рисунке 4.27.

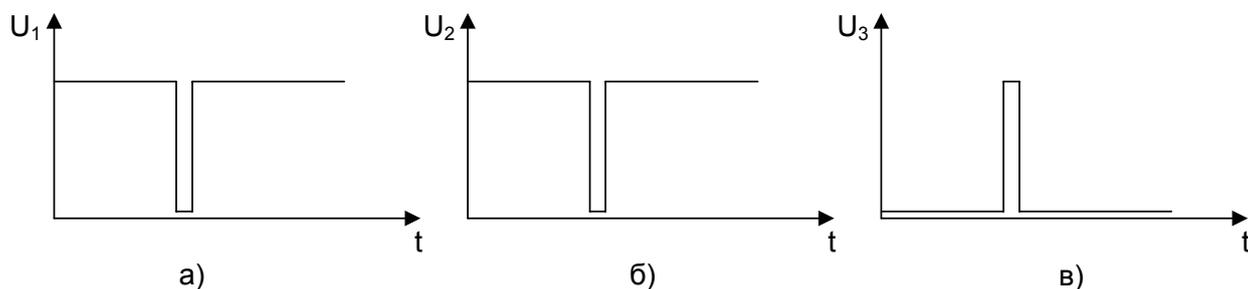


Рисунок 4.27 – Сигналы управления для входов таймера

Входы “+” на компараторах К1 и К2 не инвертируют входной сигнал, а входы “-” инвертируют. Вход 1 триггера Т образует первый приоритет, на нем в режиме ожидания уровень “1”, управление “0” (см. рисунок 4.27, а). Длительность нуля – не менее нескольких средних времен задержки этого таймера.

На входе 2 в режиме ожидания тоже единица, управляется нулем, как на рисунке 4.27, б. Для входа 3 форма управляющих импульсов изображена на рисунке 4.27, в, но это третий приоритет, действует только тогда, когда на входах 1 и 2 – высокие уровни.

Триггер содержит входы R вверху и S внизу, на которых в режиме ожидания низкие уровни – нули, управление – единицами, т. е. высокими уровнями. Если в триггере записана единица, то на верхнем выходе единица, на нижнем – нуль, или наоборот. Транзисторы VT1, VT2 образуют эквивалент сложного инвертора подобно ТТЛ–логике. Если в триггере единица, то VT1 открыт, VT2 закрыт нулем, цепь $+E_0 \dots$ откр VT1 \dots вых1 выдает высокий уровень. При нуле в триггере на его нижнем выходе единица, а на верхнем нуль. VT1 закрыт нулем, VT2 открыт единицей. На вых1 низкий уровень, так как он соединен с землей по цепи земля \dots VT2 \dots вых1. VT3 с открытым коллектором образует вых2, управляется синхронно с VT2.

В целом, схема эквивалентна детскому механическому конструктору, посредством которого, путем добавления внешних элементов, можно собирать различные устройства.

4.12 Генератор импульсов в ждущем режиме на таймере

На рисунке 4.28 представлена схема генератора импульсов в ждущем режиме. Она отличается от схемы рисунка 4.26 наличием навесных элементов R и C, а также связью между коллекторным электродом VT3 и входом 3 таймера. Под навесными элементами подразумеваются внешние, добавленные в процессе монтажа резисторы, конденсаторы и другие элементы. На рисунке 4.29 изображены процессы в ждущем режиме таймера.

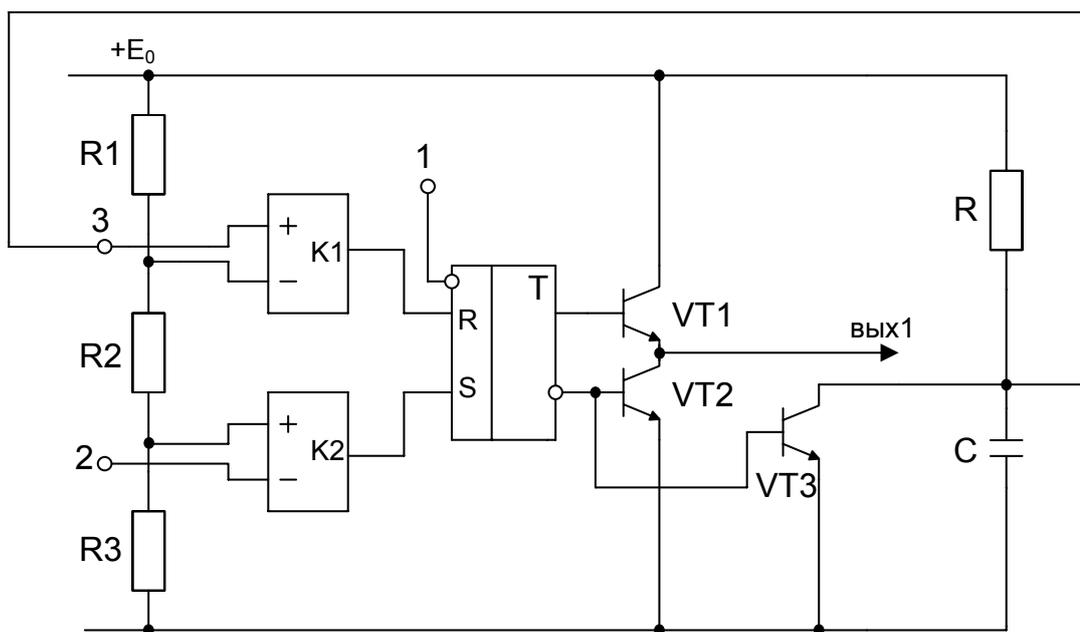


Рисунок 4.28 – Схема генератора импульсов в ждущем режиме

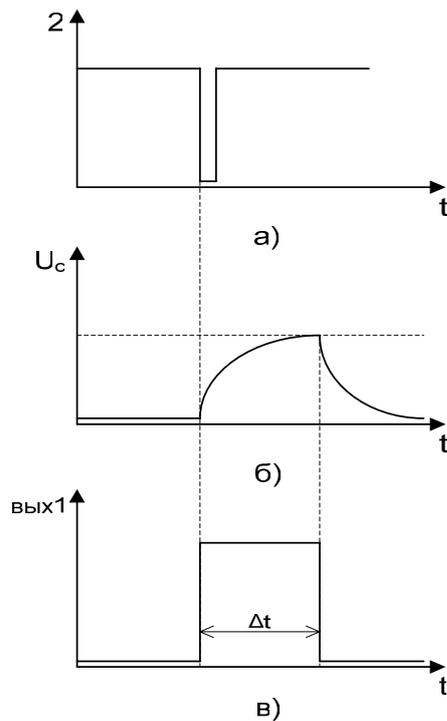


Рисунок 4.29 – Процессы в ждущем режиме таймера

Физика процессов заключается в том, что короткий импульс на входе 2 (см. рисунок 4.29,а) в виде нуля при действующей единице на первом входе (т. е. первый приоритет не запрещает работу по входу 2), инвертируется в единицу на выходе компаратора К2, воздействует на вход S триггера Т, устанавливает его в единицу. Следовательно, верхний выход триггера – единица, нижний – ноль. VT1 открыт, VT2, VT3 закрыты. Поэтому на вых1 от E_0 через открытый VT1 поступает высокий уровень, как на графике рисунка 4.29, в. Так как VT3 закрыт, начинается заряд конденсатора С по цепи $+E_0 \dots R \dots C \dots \text{земля}$ (см. рисунок 4.29,б), т. е. вначале на конденсаторе низкий уровень, воздействует на плюс вход компаратора К1, но так как этот уровень пока низкий, то этот вход не работает. С течением времени экспонента графика на рисунке 4.29, б достигает порога срабатывания третьего входа, т. е. высокого уровня, который через “+” компаратора К1 в неинвертируемом виде, поступает на вход R триггера Т и устанавливает его в ноль. Следовательно, на верхнем выходе триггера Т выявится ноль, VT1 закрыт, на нижнем выходе Т – единица, VT2, VT3 открыты. Поэтому на графике рисунка 4.29, в заканчивается импульс, а на графике, изображенном на рисунке 4.29, б, экспонента разряда конденсатора С формируется по цепи $+C \text{ сверху} \dots \text{откр} - \text{ся VT3} \dots -C \text{ снизу}$. Длительность импульса Δt рассчитывается по формуле:

$$\Delta t = \tau \cdot \ln \left(\frac{U_{\text{нач}} - U_{\infty}}{U_{\text{кон}} - U_{\infty}} \right),$$

где $\tau = R \cdot C$, $U_{\text{нач}} \approx U^0$ – напряжение нуля (для ТТЛ логики не больше +0,4 В), $U_{\text{кон}} \approx U^1$ – напряжение единицы (для ТТЛ логики не ниже +2,4 В), U_{∞} – напряжение питания (для ТТЛ логики +5 В). При проектировании величина Δt

уровень. Этот высокий уровень с третьего входа компаратором К1 преобразуется в единицу, не инвертируется, поступает на R-вход триггера Т единицей и устанавливает его в нуль. На верхнем выходе триггера Т будет нуль, VT1 закрывается, на нижнем выходе – единица, VT2, VT3 открываются. Следовательно, на графике рисунка 4.31, б формируется задний фронт, а на рисунке 4.31,а разряд экспоненты конденсатора по цепи +С сверху...R...откр-тый VT2...-Сснизу и т.д.

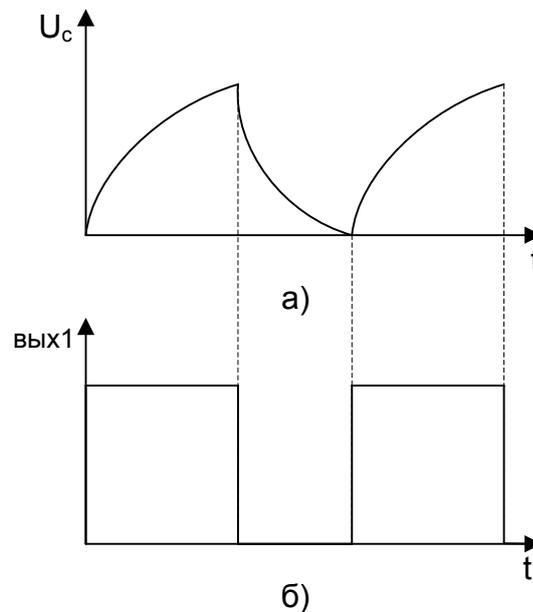


Рисунок 4.31 – Процессы генерации в автоколебательном режиме таймера

Длительность одного импульса рассчитывается по той же формуле, что была приведена раньше, сумма двух длительностей – период, обратная периоду величина – частота.

4.14 Блокинг–генераторы в ждущем режиме

Блокинг–генераторы – это генераторы импульсов в ждущем и автоколебательном режимах, обычно на одном транзисторе с трансформатором в выходной цепи. По признаку трансформатора их называют блокинг–генераторами.

На рисунке 4.32 приведена схема блокинг–генератора на биполярном транзисторе с общим эмиттером, в ждущем режиме.

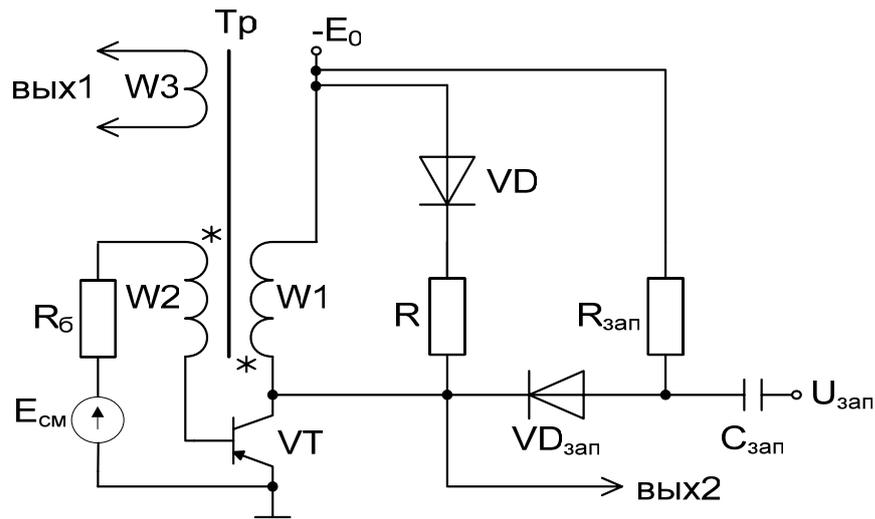


Рисунок 4.32 – Схема блокинг-генератора

Вначале режим ожидания, транзистор закрыт, тока нет. На выходе 2 напряжение близкое к E_0 . Запускающий импульс положительной полярности, длительность которого не меньше нескольких средних времен, эквивалентных постоянной времени транзистора, проходит через $C_{з\text{ап}}$, $VD_{з\text{ап}}$, на * коллекторного электрода VT, трансформируется трансформатором на * W2 тоже положительной полярности, следовательно, на противоположном выводе W2 “-” полярность, которая соответствует прямому открывающему направлению транзистора VT, образуется цепь $+*W2 \cdots R_{\text{б}} \cdots E_{\text{см}} \cdots \text{Э} - \text{Б} \text{ VT} \cdots -W2$. Этот ток открывает VT, образуя еще одну цепь: $\perp \cdots \text{открVT} \cdots *W1 \cdots -E_0$. На W1 создается падение напряжения “+” приложенное к *W1, оно трансформируется в W2 тоже “+” на *, следовательно, в цепи W2 образуется еще один ток за счет трансформации от тока, протекающего через транзистор VT, это ПОС.

Процессы протекают скачком, взрывообразно, транзистор VT открыт. Ток в цепи W1 нарастает по экспоненте потому что это цепь с индуктивностью. Экспоненту описывают выражением: $I(t) = I_{\text{max}}(1 - e^{-t/\tau})$, то есть решением простейшего ДУ первого порядка, где:

$$1 \quad I_{\text{max}} = \frac{E_0}{R_{\text{пров}}};$$

$$2 \quad \text{Более точно } I_{\text{max}} = \frac{E_0}{R_{\text{пров}} + r_{\text{кэ,открVT}}}.$$

$R_{\text{пров}}$ – сопротивление проволоки, которая составляет обмотку W1.

Эквивалентную схему первичной цепи трансформатора без учета трансформации представляем на рисунке 4.33:

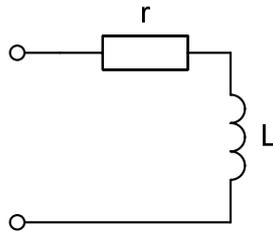


Рисунок 4.33 – Эквивалентная схема первичной цепи трансформатора

Ее сопротивление $Z = r + j\omega L = r(1 + j\omega \frac{L}{r}) = r(1 + j\omega\tau)$; $\tau = \frac{L}{r}$,

где $r=R_{\text{пров}}$ или $r=R_{\text{пров}}+r_{\text{кэ откpVT}}$.

Примем, что компоненты L , $R_{\text{пров}}$, $r_{\text{кэоткpVT}}$, E_0 , I_{max} известны. Или известна форма экспоненты, т.е. по этой форме задается длительность импульса, который должен прогенерировать блокинг-генератор. Всегда перед началом разработки процессов, специалист в области электроники должен знать, для каких целей проектируется блокинг-генератор, какими параметрами и переменными он должен обладать. Имея Δt - длительность импульса, можно рассчитывать τ , задаваясь r , определить L и т.д.

С другой стороны, трансформатор можно представить эквивалентной схемой, рисунка 4.34.

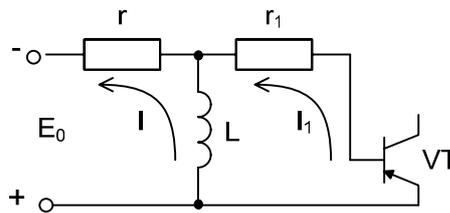


Рисунок 4.34 – Эквивалентная схема входной цепи блокинг-генератора

На этой схеме показано сопротивление r , индуктивность первичной обмотки L , вторичная обмотка не изображается в соответствии с методами ТОЭ, но к ней подключается r_1 - приведенное сопротивление активной составляющей в цепи вторичной обмотки ($r_{\text{прив}} w_2$ и R_6) и дополнительно вводится переход ЭБ VT.

Из эквивалентной схемы видно, что здесь два тока. Первый ток I – это ток нарастающий по экспоненте и второй ток I_1 , протекающий по цепи $+E_0 \dots \text{ЭБ VT} \dots r_1 \dots r \dots -E_0$. Видно, что в этой цепи реактивностей нет,

следовательно ток нарастает скачком и он равен $I_1 = \frac{E_0}{r + r_1 + h'_{11}}$, все компоненты

здесь известны.

Теперь произведем анализ процессов на семействе выходных характеристик (рисунок 4.35). Если преобразовать ток I_1 к виду \dot{I}_1 через коэффициент трансформации, получить \dot{I}_1 , это будет базовый ток транзистора VT. Отложим его на рисунке 4.35.

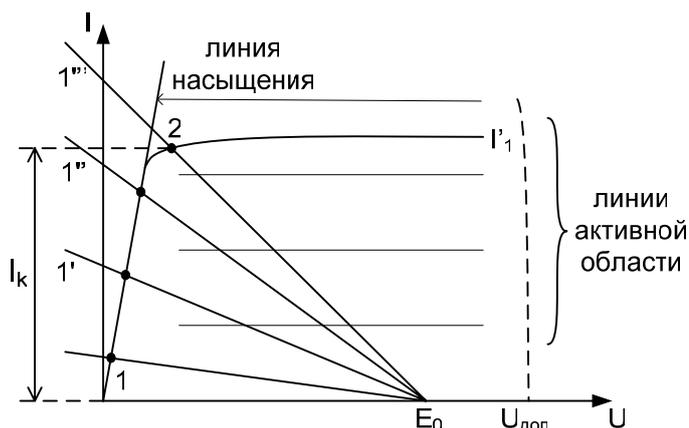


Рисунок 4.35 – Процессы в схеме БГ на семействе выходных характеристик

В момент 1 ток экспоненты нулевой, что эквивалентно почти горизонтальному расположению нагрузочной прямой. С течением времени происходит ее вращение по мере нарастания тока с центром вращения в точке E_0 . В конце концов, достигается колено базовой характеристики I_1 , этого второго тока $I_1 \rightarrow I_1 = I_6$.

Этот ток известен из схемы рисунка 4.34, следовательно, рабочая точка принимает положение 2, транзистор выходит в активную область, он становится управляемым, поэтому, справедливо соотношение $I_k = \beta I_6$, так как I_6 – величина постоянная (это видно из схемы рисунка 4.34), I_k прекращает нарастание, то $I_k = \text{const}$. В связи с тем, что $I_k = \text{const}$, ток не трансформируется, трансформация прекращается, действует ПОС, процесс протекает скачком, транзистор закрывается, генерируемый импульс заканчивается. На рисунке 4.36

изображена экспонента тока в коллекторной цепи $I(t) = I_{\max}(1 - e^{-\frac{t}{\tau}})$, где $I_{\max} = \frac{E_0}{r}$

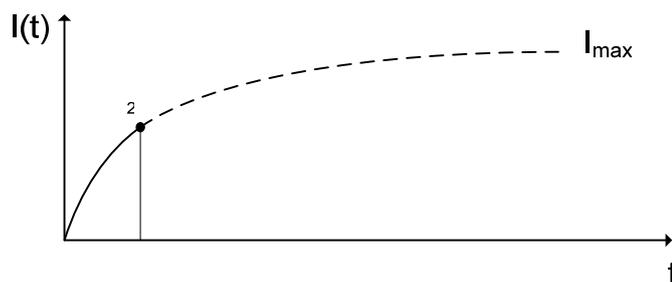


Рисунок 4.36 – Экспонента тока в коллекторной цепи БГ

Точки 2 на рисунках 4.35 и 4.36 совпадают во времени, хотя на рисунке 4.35 осей времени нет.

В реальных схемах БГ процессы протекают несколько сложнее в сравнении с приведенным описанием. Потому, что цепи описываются уравнениями более высокого порядка, кроме того надо учитывать токи нагрузки.

Чем больше сопротивление в базовой цепи R_b , тем меньше базовый ток, тем ниже соответствующее колено и базовая характеристика, тем короче время вращения начальной прямой, сужается импульс или выше частота, если это автоколебательный режим. То, что изложено, называется первым способом организации процесса окончания генерируемого импульса.

Длительность генерируемого импульса может быть оценена по формуле:

$$\Delta t = \tau \cdot \ln\left(\frac{I_{\text{нач}} - I_{\infty}}{I_{\text{кон}} - I_{\infty}}\right),$$

где $I_{\text{нач}} = 0$; $I_{\text{кон}}$ соответствует точке 2 на рисунке 4.36; $I_{\infty} = I_{\text{max}}$, $\tau = \frac{L}{r}$.

Эта формула не учитывает трансформирующийся вторичный базовый ток. В действительности во вторичных цепях к базовому току добавляются токи нагрузок, которые легко рассчитать по трансформаторной эквивалентной схеме, следовательно, вращение нагрузочной прямой начинается не с нуля, а с этого вторичного тока, поэтому $I_{\text{нач}}$ нужно брать не нулевым, а равным этому току, поэтому импульс получается еще более коротким.

Общий вид графиков процесса генерации импульса в схеме БГ ждущего режима изображен на рисунке 4.37.

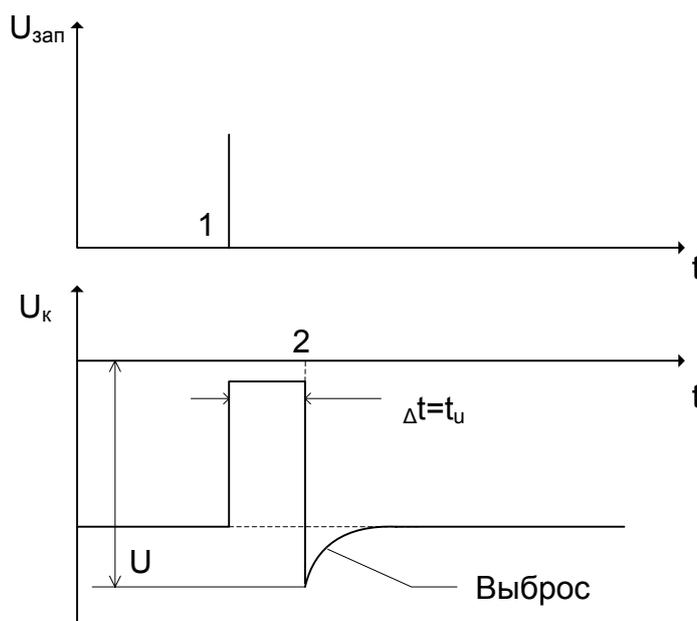


Рисунок 4.37 – Генерирование одиночного импульса в схеме БГ

В момент 2 вследствие запирающего транзистора его ток становится нулевым. Если бы не было цепи $R \dots VD$, транзистор был бы сожжен ЭДС самоиндукции. Эта цепь защищает ключ, закорачивая ток момента 2 графика экспоненты. Например, ток в 1 А после закрытия VT протекает по цепи индуктивность $W1 \dots$ диод VD в прямом направлении \dots резистор $R \dots$ вновь индуктивность $W1$. Этот ток момента 2 образует на резисторе R падение напряжения. Следовательно, чем больше сопротивление R , тем больше выброс. Общее напряжение на коллекторном электроде:

$$U = E_0 + I_{W1}R + U_{VD},$$

причем напряжение U должно быть меньше в сравнении с $U_{доп}$ по справочнику для выбранного транзистора.

Зная величину U , E_0 , U_{VD} , ток I_{W1} , рассчитываем R .

Чем больше сопротивление R , тем короче время установления, время затухания импульса, но больше выброс. Поэтому надо находить оптимальное соотношение между выбросом и временем установления. Физический смысл сокращения времени установления состоит в том, что энергия, запасенная в индуктивности на интервале времени генерирования импульса, быстрее рассеивается на тепло на большем сопротивлении R . Очередной запускающий импульс не раньше времени полного затухания импульса.

В тех случаях, когда в базовых цепях резисторов нет, а трансформатор маломощный, в этой же схеме (рисунок 4.32) используется второй способ организации процесса окончания генерируемого импульса (рисунок 4.38). Причем если установить в базовой цепи потенциометр и увеличивать сопротивление от нуля к максимуму, то можно переходить от второго способа к первому и наоборот в одной и той же схеме.

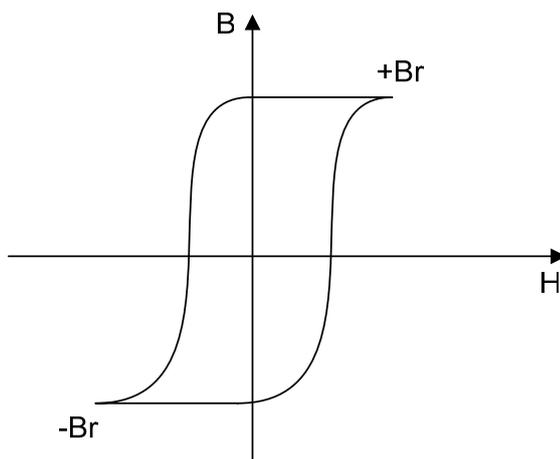


Рисунок 4.38 – Второй способ организации процесса окончания генерируемого импульса.

В коллекторной цепи ток нарастает по экспоненте, но в базовой цепи, ограничений нет, нагрузочная прямая вращается монотонно, рабочая точка находится на линии насыщения, коллекторный ток не ограничивается, но по насыщению магнитопровода магнитная индукция B переходит в колено кривой намагничивая, достигает уровня $+Br$ или $-Br$ (см. рисунок 4.38). Следовательно, индуктивность резко убывает, трансформация почти прекращается, базовый ток скачком убывает, действует ПОС, транзистор закрывается.

Длительность импульса рассчитывается аналогично, но используется кривая намагничивания, из которой известен уровень $+Br$, от него по графику переходим к напряженности $H=I \cdot W$, находим величину тока $I_{кон}$. $I_{нач}$, I_{∞} те же, что и в предыдущем случае.

4.15 Блокнг-генератор в автоколебательном режиме

Схема БГ в автоколебательном режиме представлена на рисунке 4.39.

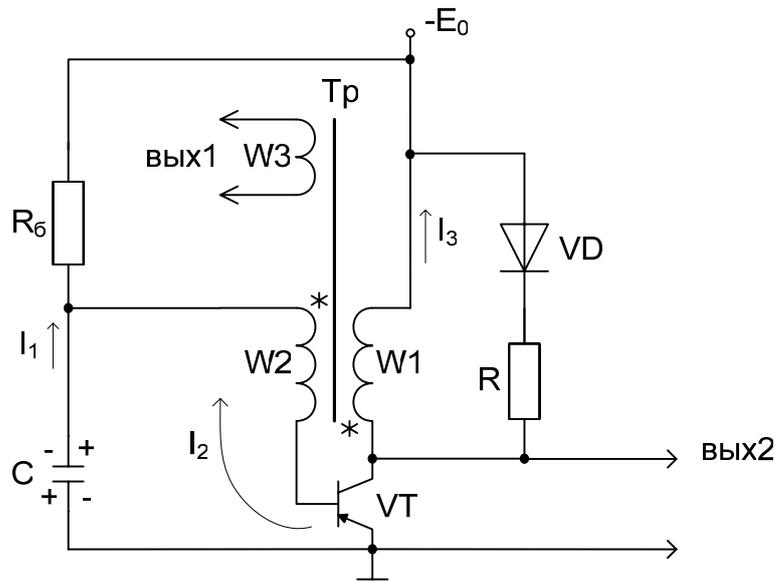


Рисунок 4.39 – Схема БГ в автоколебательном режиме

Она почти та же что и на рисунке 4.32 для ждущего режима, но исключена цепь запуска, добавлен конденсатор C и иначе включен базовый резистор R_6 . В момент включения напряжения питания $-E_0$ образуется первый ток I_1 по цепи земля...конденсатор C ...резистор R_6 ... $-E_0$. Конденсатор C начинает заряжаться по экспоненте, напряжение на нем возрастает, следовательно, начинает протекать ток I_2 по цепи: земля...ЭБ VT ... W_2 ... R_6 ... $-E_0$, который приоткрывает VT , поэтому появляется третий ток по цепи: земля... VT ... W_1 ... $-E_0$. Этот ток плюсом напряжения (плюсом земли) приложен к звездочке W_1 , трансформируется плюсом на звездочку W_2 , следовательно минусом W_2 (противоположным выводом W_2) приложен к базе VT , еще в большей степени способствуя открыванию VT , образуется ПОС, процесс протекает скачком и теперь уже основная часть базового тока I_2 протекает по цепи:

звездочка W_2 (плюс напряжения)...конденсатор C ...переход ЭБ транзистора VT ...минус W_2 .

Если вначале конденсатор C заряжался током I_1 с образованием полярности $+C$ снизу ... $-C$ сверху на рисунке 4.39, то теперь ток I_2 перезаряжает конденсатор C полярностью $+C$ сверху... $-C$ снизу. Процесс перезаряда происходит быстро, т.к. постоянная времени цепи, состоящей из перехода ЭБ VT , обмотки W_2 и конденсатора C невелика, также действует ПОС, к концу перезаряда конденсатор C принимает уровень напряжения вторичной обмотки W_2 трансформатора T_p (этот уровень легко определить, зная коэффициент трансформации), ток перезаряда конденсатора C становится нулевым, транзистор закрывается, как показано на рисунке 4.40.

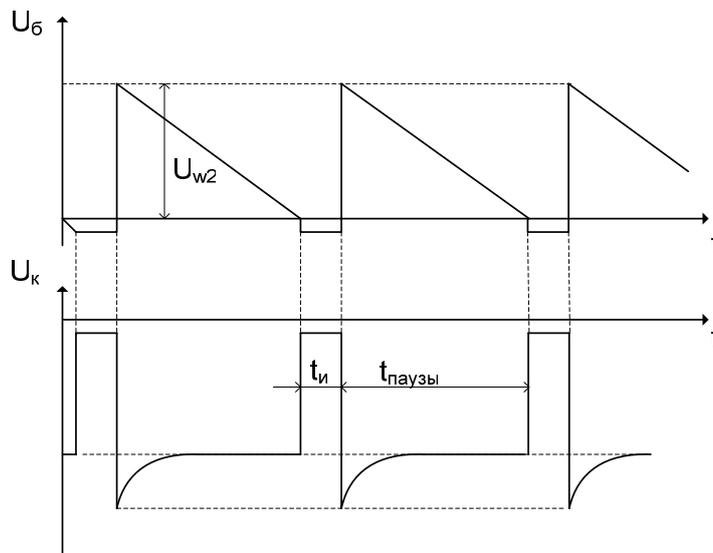


Рисунок 4.40 – Импульсы в схеме автоколебательного БГ

Начинается временной интервал паузы $t_{\text{паузы}}$, в течение которого конденсатор C вновь перезаряжается от $+$ - справа на рисунке 4.39, до $-$ + слева. Таким образом импульсы рисунка 4.40 генерируются с двумя постоянными времени: $\tau_1 \approx (R_{w2} + R_{\text{ЭБВТ}})C$ на интервале времени импульса и $\tau_2 \approx R_6C$ на интервале паузы. Поэтому здесь имеет место третий способ окончания генерируемого импульса – по заряду конденсатора C .

Длительность импульсов и пауз может быть рассчитана по такой же формуле, что и в разделе 4.14 при использовании цифровых значений τ_1 и τ_2 .

4.16 Магнитно-транзисторный преобразователь двухплечевой

Широко применяются в источниках питания для преобразования постоянного напряжения в последовательность прямоугольных импульсов в автоколебательном режиме. Дает гальваническую развязку, повышение, понижение напряжения. (рисунок 4.41).

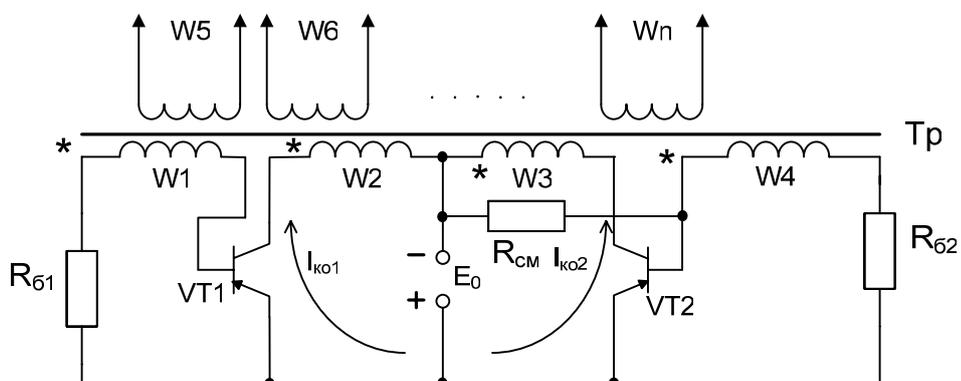


Рисунок 4.41 – Схема магнитно-транзисторного преобразователя (схема Роера)

Это своеобразный блокинг–генератор. Называется - магнитно–транзисторный преобразователь или схема Роера.

Вторичные напряжения выпрямляются, фильтруются, запитывают соответствующие схемы. Положительная обратная связь здесь достигается за счет конструктивного исполнения: звездочки, как показано на схеме, должны соответствовать либо началам либо концам обмоток. Если резисторы R_{61} , R_{62} невелики, то фронты и спады импульсов организуются по второму способу. Если увеличивать резисторы, то выходим на первый способ организации процесса окончания генерируемого импульса.

Резисторы в базовых цепях желательны минимальной величины, так как они снижают КПД схемы.

Схема работает следующим образом. После включения напряжения питания начинают протекать малые неуправляемые токи $I_{к01}$ и $I_{к02}$, так как транзисторы VT1 и VT2 закрыты. Вследствие несимметрии один из токов всегда больше ($I_{к01}$ или $I_{к02}$).

В магнитопроводе трансформатора образуется начальный магнитный поток того направления, где ток больше. Например, $I_{к01} > I_{к02}$, следовательно, VT1 приоткрывается, *W2 прикладывается через открывающийся VT1 к $+E_0$, $+E_0$ трансформируется на другие звездочки *:

– на *W1, поэтому, минус противоположного вывода W1 приложен к базе VT1, скачком VT1 открывается.

– на *W3, то есть, из W2 E_0 , трансформируется в W3 той же величины что и E_0 . Так как VT2 закрыт, то к закрытому VT2 прикладывается с одной стороны E_0 , а с другой – напряжение, трансформирующееся из W2 в W3. Поэтому в этой схеме (см. рисунок 4.41) к закрытому транзистору прикладывается двойное напряжение. Это является недостатком схемы (двойное напряжение на закрытом транзисторе).

– на *W4, таким образом VT2 закрыт, удерживается в этом состоянии до тех пор, пока генерируется импульс через VT1.

Ещё один недостаток схемы заключается в том, что, если базовые резисторы незначительны (при окончании импульсов по второму способу), то в моменты окончания генерации импульсов вследствие резкого уменьшения индуктивности протекает сквозной ток по цепи $+E_0 \dots$ закрывающийся VT1 \dots W2 \dots $-E_0$. Т. е. транзистор закрывается в условиях сквозного тока (рисунок 4.42).

На втором графике (см. рисунок 4.42) показано, что в моменты окончания генерируемых импульсов токи имеют выброс, достигающий пяти–, десятикратных значений.

Таким образом, можно организовать окончание импульсов по насыщению магнитопровода, при этом будут сквозные токи, или при увеличении базовых резисторов, то есть по первому способу, по активной области транзисторов, но КПД при этом снижается от 0,95 и ниже, потому что транзисторы действуют в активной области и присутствуют потери на базовых резисторах. Если по первому способу, то сквозных токов нет.

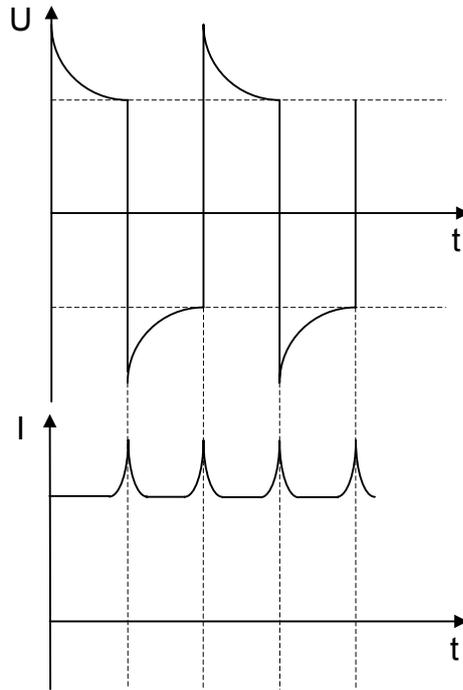


Рисунок 4.42 – Форма генерируемых напряжений и потребляемого тока в схеме преобразователя

При низких температурах $I_{к0}$ становятся малыми, поэтому после включения настолько невелика разница между ними, что магнитный поток практически нулевой, схема не возбуждается, “засыпает”. Для предотвращения этого вводят смещающие резисторы. Ток и сопротивление рассчитывают, исходя из положения рабочей точки (см. рисунок 4.43).

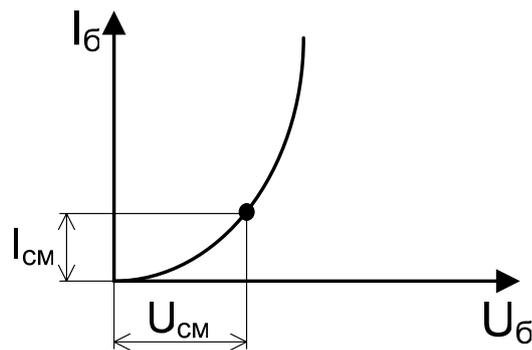


Рисунок 4.43 – Положение рабочей точки

Образуется цепь: $+E_0 \cdots \text{Э} - \text{Б} \text{VT}_2 \cdots R_{см} \cdots - E_0$. Следовательно, один из транзисторов имеет больший начальный ток $I_{к0}$, появляется несимметрия, схема не “засыпает”, но снижется КПД.

4.17 Схема с дополнительным трансформатором

Недостаток предыдущей схемы заключается в том, что в ней присутствуют сквозные токи. Для их предотвращения вводят дополнительный трансформатор (рисунок 4.44). Здесь дополнительный трансформатор TP2 имеет меньшую мощность и габариты магнитопровода, поэтому он входит в насыщение, формирует причину окончания генерируемого импульса (по первому или второму способу). Поэтому TP1 не входит в насыщение, как более мощный. Сквозных токов нет. Если перемещать движок потенциометра R, то при увеличении его сопротивления схема входит в режим активной области (первый способ), импульсы становятся короче, частота выше.

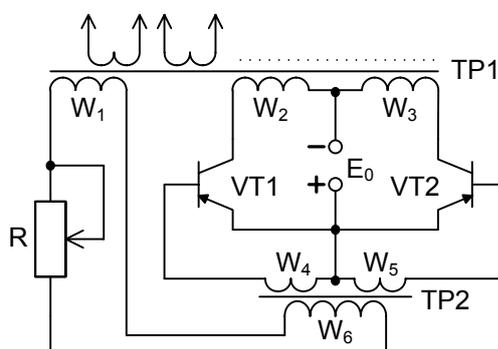


Рисунок 4.44 – Схема с дополнительным трансформатором

4.18 Мостовая и полумостовая схемы магнитно-транзисторных преобразователей

Мостовая и полумостовая схемы МТП приведены на рисунке 4.45

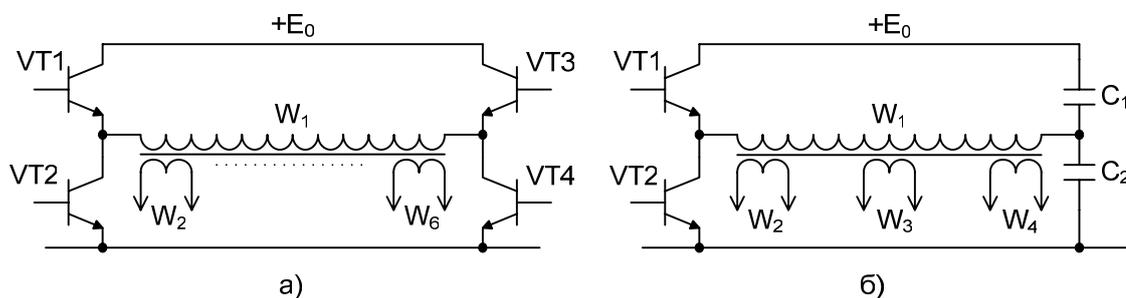


Рисунок 4.45, а, б – Мостовая (а) и полумостовая (б) схема МТП

Достоинство схемы, изображенной на рисунке 4.45, а: однократное напряжение на закрытом транзисторе, потому что если открыт VT1, то к VT2 прикладывается одно напряжение E_0 , в то время как в двухтранзисторной схеме – двойное напряжение. Обмотки W_2 – W_5 подключаются к переходам Б-Э

транзисторов VT1–VT4. Обмотка W6 – выход, нагрузка, их может быть несколько.

Схема рисунка 4.45,б аналогична предыдущей, но транзисторы заменены конденсаторами, не электролитическими. Данные, для примера: мощность – 200 Вт, емкость – 2÷3 мкФ, частота – 25 кГц, напряжение E_0 – 250 В.

4.19 Генераторы импульсов на ОУ в автоколебательном режиме

На рисунке 4.46 представлена схема, в которую введены неинвертирующий триггер на операционном усилителе и интегратор. Примем вначале, что между триггером и интегратором связи нет, также как и между выходом интегратора и входом неинвертирующего триггера.

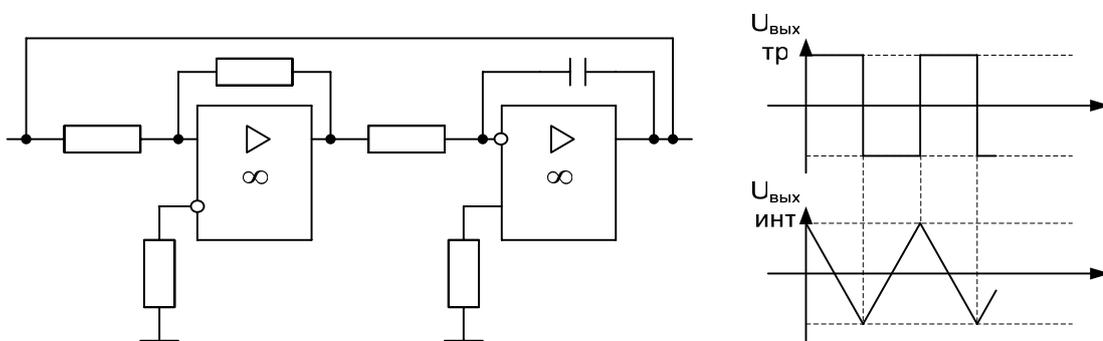


Рисунок 4.46 – Схема генератора импульсов на двух ОУ

Известно, что на выходе триггера импульсы имеют прямоугольную форму, как на верхнем графике. Если такие импульсы подать на вход интегратора, то получим треугольные импульсы на его выходе, как на нижнем графике.

Если второй график подать на вход первой схемы, т.е. ввести обратную связь, а также выход первой схемы соединить со входом интегратора, то схема в целом будет работать автоматически в режиме непрерывной генерации меандра.

Достоинства: высокая стабильность и хорошее качество импульсов.

Недостаток: наличие двух операционных усилителей.

Поэтому в реальной схеме на одном ОУ интегратор заменяют интегрирующей RC–цепью, как показано на рисунке 4.47.

В схеме, представленной на рисунке 4.47, роль интегратора выполняет цепь R_{oc} –C, а роль триггера выполняет сам ОУ совместно с резистивной цепью R1–R2. Здесь получаем триггер инвертирующий, потому что управление осуществляется по минус входу в отличие от предыдущей схемы рисунка 4.46, где триггер был неинвертирующий. Порог инвертирующего триггера U :

$$Y = \frac{R1}{R1 + R2}$$

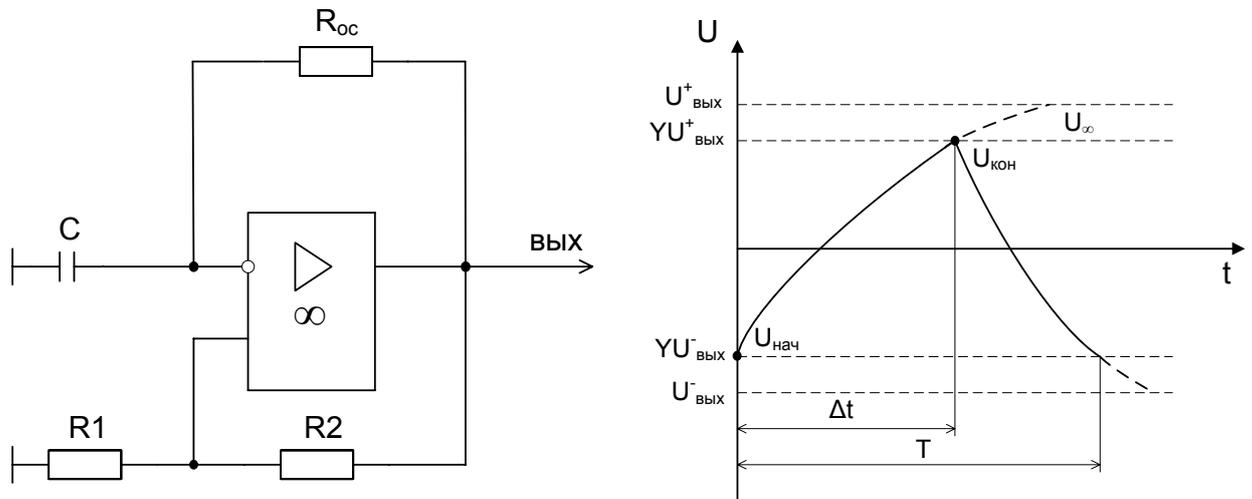


Рисунок 4.47 – Схема генератора импульсов на одном ОУ

Примем, что на графике (см. рисунок 4.47) уже установился режим генерации автоколебаний, а переключение в точках $U_{нач}$, $U_{кон}$.

Для расчета длительности Δt применяем следующие формулы:

$$\Delta t = \tau \cdot \ln\left(\frac{U_{нач} - U_{\infty}}{U_{кон} - U_{\infty}}\right)$$

$$\tau = R_{OC} \cdot C$$

$$U_{нач} = U_{ВЫХ}^- \cdot Y$$

$$U_{кон} = U_{ВЫХ}^+ \cdot Y$$

$$U_{\infty} = U_{ВЫХ}^+$$

Тогда, после подстановки получаем

$$\begin{aligned} \Delta t &= R_{OC} \cdot C \cdot \ln\left(\frac{U_{ВЫХ}^- \cdot Y - U_{ВЫХ}^+}{U_{ВЫХ}^+ \cdot Y - U_{ВЫХ}^+}\right) = \\ &= R_{OC} \cdot C \cdot \ln\left(\frac{U_{ВЫХ}^- \frac{R1}{R1 + R2} - U_{ВЫХ}^+}{U_{ВЫХ}^+ \frac{R1}{R1 + R2} - U_{ВЫХ}^+}\right) \end{aligned}$$

В связи с тем, что схему обычно запитывают симметричным напряжением питания, можно $U_{ВЫХ}$ сократить, имея в виду сохраненные знаки полярности.

$$\Delta t = R_{oc} \cdot C \cdot \ln \left(\frac{-\frac{R1}{R1+R2} - 1}{\frac{R1}{R1+R2} - 1} \right) = R_{oc} \cdot C \cdot \ln \left(\frac{2R1}{R2} + 1 \right)$$

Период $T=2 \cdot \Delta t$.

Если надо, чтобы длительности положительных и отрицательных вершин и оснований импульсов отличались, то вводят сопротивления R'_{oc} , R''_{oc} , диоды VD1, VD2, как изображено на схеме рисунка 4.48.

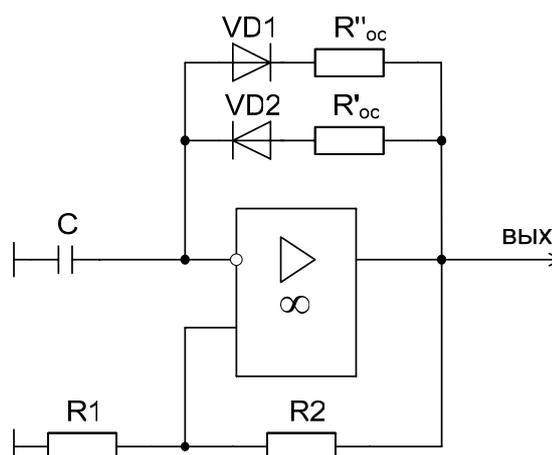


Рисунок 4.48 – Генератор импульсов на одном ОУ с разными длительностями вершин и оснований импульсов.

При различных величинах сопротивлений резисторов R'_{oc} и R''_{oc} конденсатор С будет иметь разные времена зарядов и разрядов, поэтому форма импульсов будет отличаться от меандра.

4.20 Генератор импульсов на ОУ в ждущем режиме

Схема, изображенная на рисунке 4.49, получается из схемы, представленной на рисунке 4.47, путем добавления нелинейного элемента VD1, включенного параллельно С, и стандартной цепи запуска, состоящей из $C_{зап}$, $R_{зап}$, $VD_{зап}$.

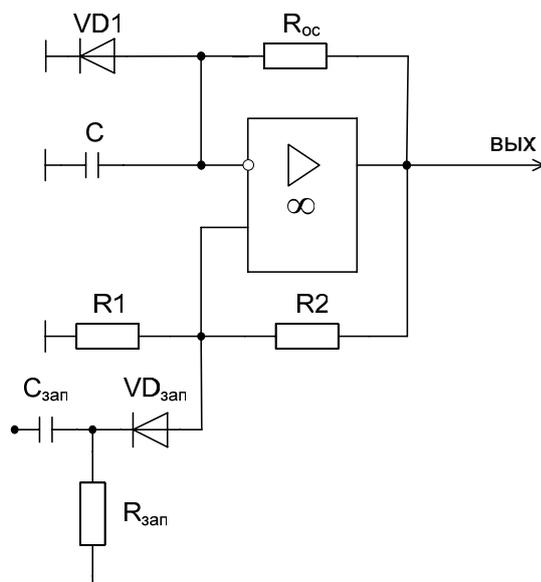


Рисунок 4.49 – Генератор импульсов на ОУ в ждущем режиме

Возможны два случая:

1 ОУ имеет положительную несимметрию. Это значит, что вследствие конструктивных технологических недостатков выход ОУ не нуль, а составляет от нескольких десятых долей мВ до нескольких В в плюс области. Следовательно, плюс-несимметрия поступает через R2 на неинвертирующий вход ОУ, усиливается, например, в сто тысяч раз и выделяется в виде плюс-скачка.

Напряжение с выхода $U_{\text{ВЫХ}}^+$ через R_{oc} поступает на конденсатор C, заряжает его, открывает VD1, следовательно, на C устанавливается 0,6..0,7 В (см. рисунок 4.50).

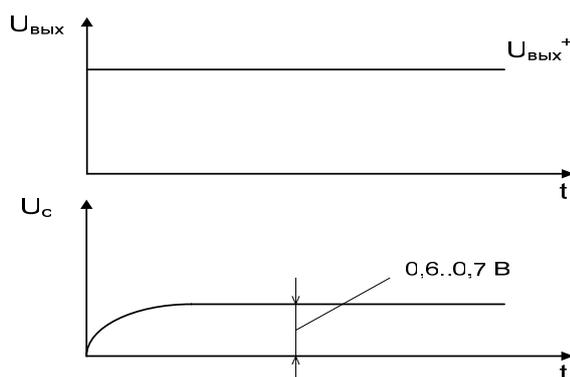


Рисунок 4.50 – Напряжения в цепях генератора при плюс-несимметрии

2 ОУ имеет отрицательную несимметрию. Выход ОУ составляет от десятых долей мВ до одного В и более – напряжение на выходе (в идеале должен быть нуль). В этом случае после включения напряжения питания минус-несимметрия с выхода поступает через R2 на “+” вход, усиливается, например, в сто тысяч раз и выделяется на выходе в виде минус-скачка (рисунок 4.51). Следовательно, это напряжение $U_{\text{ВЫХ}}^-$ через R_{oc} поступает на

конденсатор C и одновременно на $VD1$, закрывает его, конденсатор заряжается по экспоненте с постоянной времени $\tau=R_{oc}\cdot C$. Так как здесь инвертирующее управление, то порог $Y = \frac{R1}{R1 + R2}$.

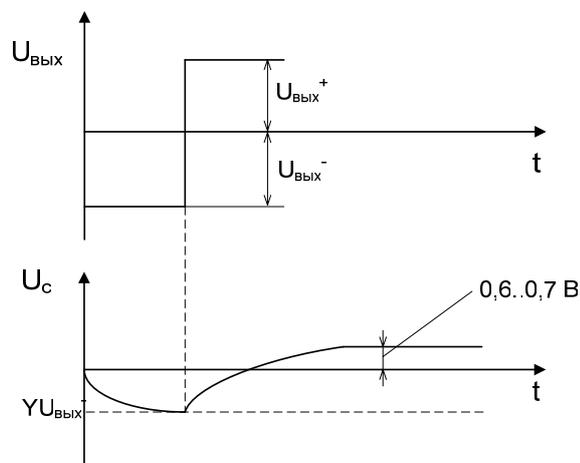


Рисунок 4.51 – Напряжения в цепях генератора при минус-несимметрии

Инвертирующее управление потому, что триггер опрокидывается по верхнему “-” входу, когда напряжение U_C достигает порога срабатывания в минус-области, происходит скачок из минус-области в плюс-область. На втором графике (см. рисунок 4.51) будет происходить перезаряд конденсатора по экспоненте до уровня $0,6 \dots 0,7$ В.

Таким образом, во втором случае после включения напряжения питания, генерируется одиночный импульс. Если он не нужен, то балансировкой смещают выход ОУ в ту несимметрию, которая предотвращает генерирование одиночного импульса. Здесь диод запуска имеет направление справа налево, т.е. такое же как и у диода $VD1$.

При генерировании импульса в штатном режиме, т.е. для первого случая на “+” вход подается “-” импульс, который переводит ОУ в минус-область. Генерируется “-” импульс, длительность которого определяется величинами R_{oc} , C , затем схема приходит в режим ожидания. Импульс генератора формируется подобно второму случаю, как показано на рисунке 4.51. Длительность импульса может быть оценена по типовому соотношению

$$\Delta t = \tau \cdot \ln\left(\frac{U_{НАЧ} - U_{\infty}}{U_{КОН} - U_{\infty}}\right).$$

где $U_{нач} \approx U_{VD1oD1q}$, $U_{кон} = Y \overline{U_{ВЫХ}}$, $U_{\infty} = \overline{U_{ВЫХ}}$

Если диод VD в схеме перевернуть слева направо, то состояние ожидания генератора будет в минус-области, диод $VD_{зап}$ также надо развернуть.

4.21 Кварцевая стабилизация импульсных генераторов

Кварц – двуокись кремния, горный хрусталь, песок и т.д. Некоторые разновидности кварца обладают пьезоэлектрическими свойствами. С недавних пор научились производить синтетические пьезоматериалы.

Кварц используется для термостабилизации потому, что обладает относительно хорошей термоустойчивостью и стабильностью, защищенностью по отношению к внешним воздействиям.

Пьезосвойства состоят в том, что если к пьезоматериалу прикладывать механические воздействия, то он генерирует напряжение, или, если прикладывать внешнее напряжение, то образуется механическое движение.

Если к кварцу подвести синусоидальное напряжение и менять частоту этого напряжения, то кварц почти на всех частотах имеет емкостное сопротивление, эквивалентное конденсатору с емкостью примерно равной нескольким пФ. Вместе с тем, в этом же диапазоне, образует электро–механический резонанс на 1, 2, 3, 4, ... , 25 гармониках (см. рисунок 4.52).

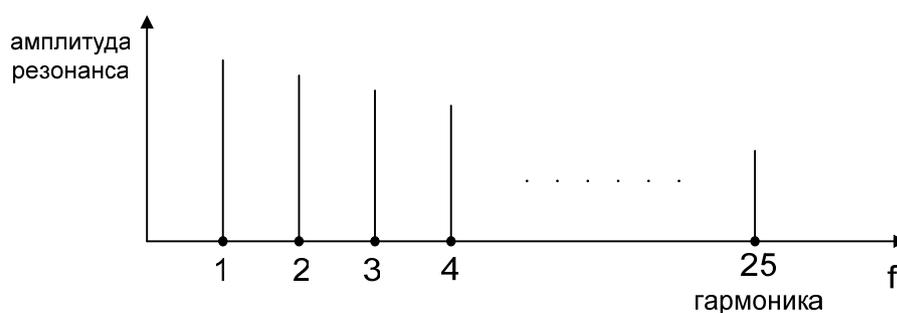


Рисунок 4.52 – Амплитуды резонанса

В автоматике и электронике под гармониками подразумевают продукт преобразования синусоиды нелинейностью, т.е. если есть “черный ящик”, на вход которого подается синусоида и на выходе тоже синусоида, то говорят, что нелинейных искажений нет. Если на выходе дополнительно к синусоиде образуются гармоники, то это результат нелинейных искажений.

По отношению к кварцу гармониками называют частоты, на которых он резонирует, т.е. гармоники не есть результат нелинейных искажений. Здесь другой смысл названия гармоники: частота, на которой возникают резонансные колебания.

Физический смысл гармоник:

После приложения синусоидального воздействия возникает электро–механическая волна. На некоторой частоте на толщине кварца укладываются ровно две полуволны (см. рисунок 4.53), на других частотах не укладываются. Если две полуволны, то от основания или от верхней части кварца происходит отражение (отраженная волна – штриховая на рисунке 4.53), образуется стоячая волна, как результат сложения прямой и обратной волн. Именно для этого случая образуется первая гармоника, электро–механический резонанс.

Только на частоте стоячей волны есть первая гармоника. При этом добротность примерно 25 000 единиц.

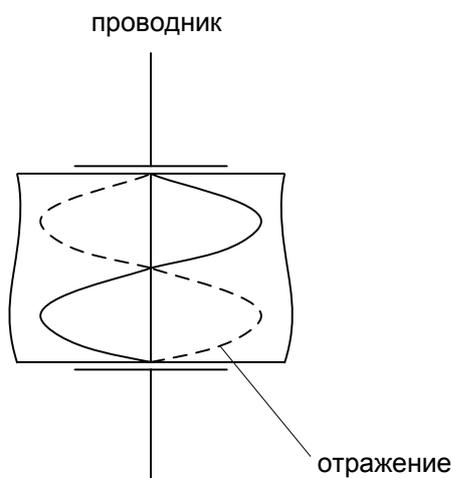


Рисунок 4.53 – Первая резонансная гармоника

Если сравнить с добротностью LC контура, то у него в лучшем случае добротность принимает значения до 500 – 600 единиц, т.е. кварц обладает чрезвычайно узкой резонансной характеристикой (см. рисунок 4.54), причем выделяют в окрестности этого резонанса две частоты f_s и f_r , где

f_s – частота последовательного резонанса,

f_r – частота параллельного резонанса,

Q – добротность,

$$Q \approx \frac{f_0}{\Delta f}.$$

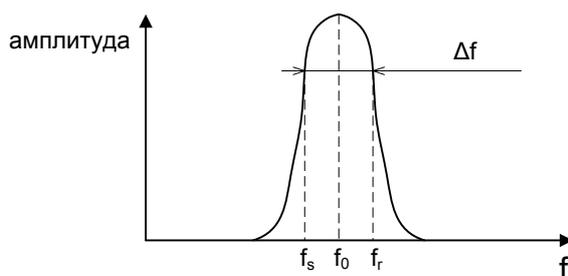


Рисунок 4.54 – Резонансная характеристика кварца

Здесь слова “последовательного и параллельного” взяты по аналогии к LC контуром, хотя фактически резонанса последовательного и параллельного нет, есть электро–механические колебания. Примем, что на частоте f_s к кварцу прикладывается внешнее возбуждающее колебание. В нем возникает резонирующее стоячее колебание (например, по первой гармонике). В свою очередь это механическое стоячее колебание генерирует электрические колебания, фаза которых по отношению к внешнему возбуждающему колебанию противоположна. Следовательно, возбуждающие и генерируемые колебания компенсируют друг друга, значит, сопротивление кварца

становится в основном активным (рисунок 4.55), что имеет подобие по отношению к последовательному резонансу напряжений в LC контуре.

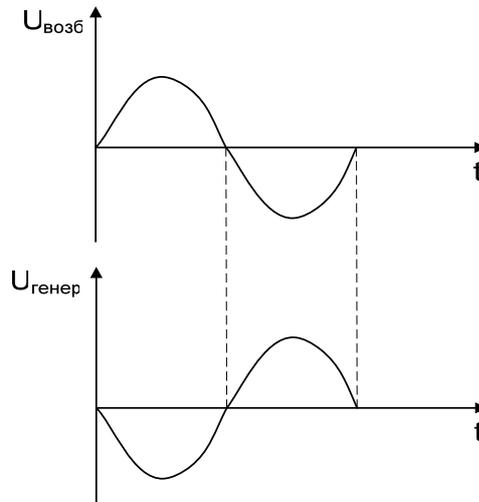


Рисунок 4.55 – Возбуждающие и генерируемые колебания компенсируют друг друга

На частоте f_r , которая почти совпадает с f_s , генерируемое электро-механическое колебание синфазно возбуждающему и сопротивление кварца максимально. Обе эти частоты (f_r и f_s) почти рядом на рисунке 4.54.

Физический смысл гармоник заключается в том, что это те частоты (1, 2, 3, ... до 25 и более), на которых на толщине кварца укладывается целое количество периодов колебаний, т.е. образуются стоячие волны (рисунок 4.56).

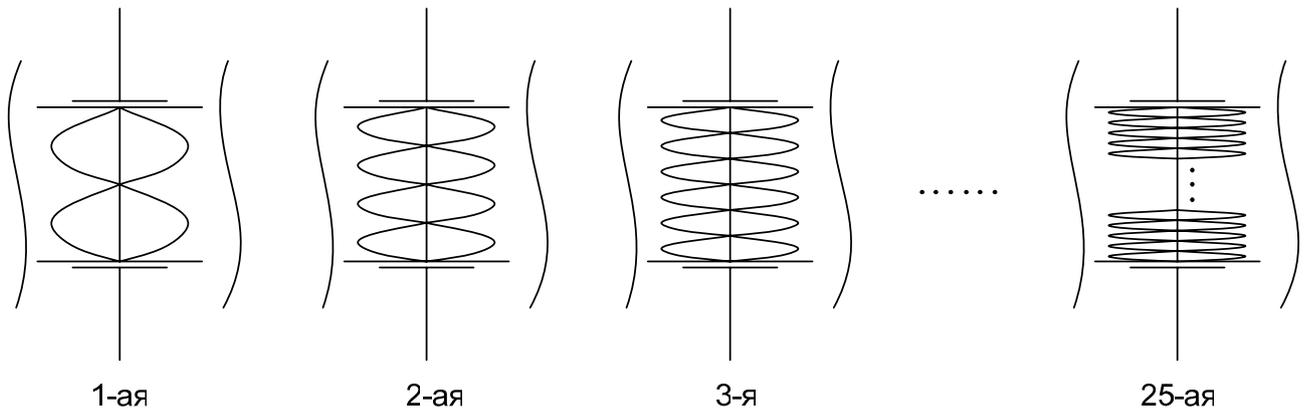


Рисунок 4.56 – Гармоники

Таким образом, один и тот же кварц может вибрировать на любой гармонике рисунка 4.56.

Резонанс возможен только на одной частоте, потому что при резонировании вершина и дно колеблются, следовательно, для других частот уже не будет устойчивого отражения из-за вибрации. Амплитуда вибрации убывает с возрастанием номера, потому что с одной стороны, более высокие частоты сильнее затухают в кристалле, с другой стороны, полировка сторон

кварца на микроуровне имеет шероховатость и становится соизмеримой с более короткими длинами волн, хуже отражение.

Частоту вибрации первой гармоники можно рассчитать по следующей формуле

$$f = \frac{2,6}{h}, \text{ [МГц]},$$

где h – высота между подводящими и отводящими электрический ток пластинами, [мм].

Если необходимо снизить частоту генерации, то делают камертонные кварцы (см. рисунок 4.57).

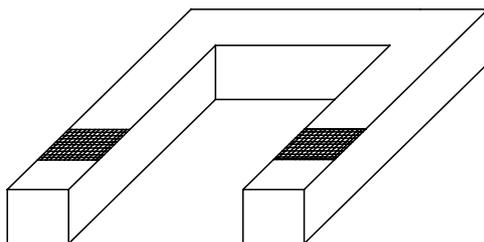


Рисунок 4.57 – Камертонный кварц

В данной конструкции звуковые колебания распространяются вдоль камертонной формы, т.е. проходят большой путь, поэтому образуется длинная стоячая волна первой гармоники (частота $f \approx 30$ кГц).

Характеристика по сопротивлениям имеет вид, представленный на рисунке 4.58.

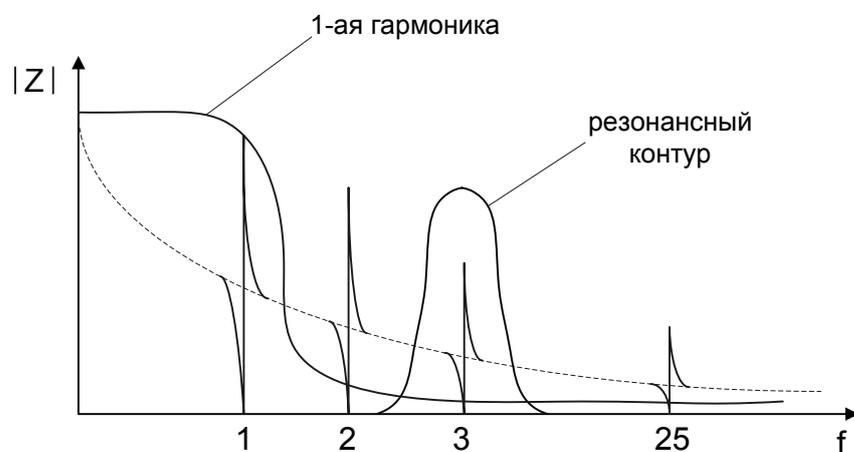


Рисунок 4.58 – Характеристика по сопротивлениям

На рисунке 4.58 штриховой линией обозначена емкостная составляющая на всех частотах кроме резонансных.

$$|Z| = \left| \frac{1}{j\omega C} \right|$$

Частоты минимума и максимума сопротивления для каждой гармоники почти совпадают друг с другом.

Физический смысл минимума и максимума сопротивления заключается в том, что под действием внешних синусоидальных колебаний кристалл вибрирует, при этом генерирует собственные колебания вследствие наличия пьезоэффекта. Если фаза этих колебаний не компенсирует внешние колебания, а складывается с ними, то образуется минимум сопротивления. Если фаза противоположна внешнему возбуждающему колебанию, то образуется максимум сопротивления. И так на каждой гармонике.

При анализе уже действующих электронных схем, или при их разработке, должны быть удовлетворены условия начала возбуждения. Т.е. внешняя электронная схема должна содержать или фильтр нижних частот, или резонансный контур, дополнительно к кварцу.

Если в электронной схеме введена только лишь RC цепь совместно с кварцем (рисунок 4.58), то это означает наличие фильтра нижних частот, который выделяет первую гармонику и гасит условия для самовозбуждения по всем другим гармоникам. Сразу можно сказать, что кварц работает на первой гармонике.

Если в электронной схеме дополнительно к кварцу имеется резонансный контур, то обычно кварц возбуждается в схеме генератора на высшей гармонике (рисунок 4.58), но может и на первой.

Необходимо, чтобы настройка этого дополнительного резонансного контура, термонестабильного в своей сущности, не выходила за пределы резонансной частоты кварца.

В связи с тем, что кварц – это электро–механическое устройство, а процессы в нем имеют прежде всего механический характер, для изменения частоты настройки бесполезно ставить конденсаторы последовательно или параллельно кварцу. Тем не менее, в литературе в некоторых случаях утверждается, что это возможно. Там имеется в виду, что установочные конденсаторы изменяют частоту настройки возбуждающего генератора, но не кварца, а вместе с ней частично перестраивают и резонирующую частоту кварца в пределах первой или любой другой гармоники, но не более.

Иногда в литературе для объяснения свойств кварца используют резонансный LC контур (см. рисунок 4. 59).

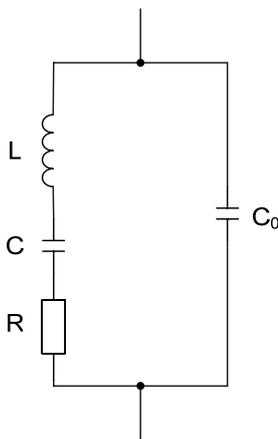


Рисунок 4.59 – Резонансный LC контур

Говорят, что процессы в контуре, изображенном на рисунке 4.59, и в кварце подобны друг другу, но, тем не менее, физический смысл процессов совершенно разный. В этом контуре резонанс наблюдается только на одной частоте, а в кварце, по крайней мере, на двадцати пяти гармониках (или больше). Здесь последовательный и параллельный резонанс. В кварце возбуждаются колебания, совпадающие по фазе и противофазные, генерируемые в процессе вибрации кристалла.

В кварце нет настоящих емкости, индуктивности и резистивности. Под индуктивностью кварца понимают его массу, под емкостью – его податливость, под резистивностью – тепловые потери в процессе вибрации, а C_0 – емкость пластин, через которые подводится внешнее возбуждающее напряжение.

В контуре на рисунке 4.59 выделим последовательную левую цепь и параллельно подключенный к ней конденсатор C_0 . Для упрощения пренебрежем величиной сопротивления R . Тогда общее сопротивление в операторной форме будет равно

$$Z(p) = \frac{\left(pL + \frac{1}{pC}\right) \cdot \frac{1}{pC_0}}{pL + \frac{1}{pC} + \frac{1}{pC_0}} = \frac{p^2LC + 1}{p(p^2LCC_0 + C_0 + C)}$$

Это выражение для обычного LC контура, но не для кварца. Но им можно косвенно описать и кварц. Из этого выражения следует, что есть две резонансные частоты (если перейти к частотной форме):

- для числителя $\omega_1 = \frac{1}{\sqrt{LC}}$;
- для знаменателя $\omega_2 = \sqrt{\frac{1}{LC} \left(\frac{C}{C_0} + 1\right)}$.

Так как $C_0 \gg C$, то частоты практически совпадают, тем более, что добротность кварца составляет примерно 25000, т.е. образуется очень узкая полоса пропускания. Таким образом, получена типовая формула резонансной частоты для LC контура. Но кварц – не LC контур, это вибрирующее на разных частотах (гармониках) устройство, не имеющее в своем составе индуктивностей, емкостей и т.д.

Отличие: в подобных формулах для аппроксимации кварца пишут цифры 1, 2, 3, ..., 25, соответствующие номеру гармоники возбуждения.

4.22 Генератор импульсов, стабилизированный кварцем

На рисунке 4.60 представлена схема генератора импульсов, стабилизированная кварцем.

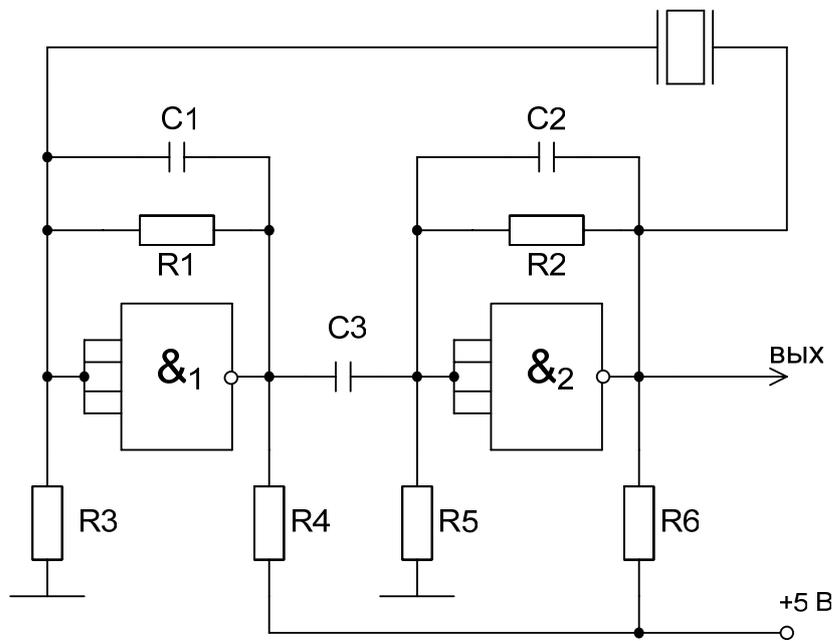


Рисунок 4.60 – Генератор импульсов, стабилизированный кварцем

За основу схемы принимают логические элементы с открытым коллектором. Здесь используются ЛА7 ТТЛ логики с четырьмя входами. Их разделяют друг от друга конденсатором $C3$ для того, чтобы режимы по постоянному току каскадов $\&1$ и $\&2$ не накладывались друг на друга. В цепях ООС каждой логики вводят резисторы, наподобие резисторов в цепях ООС ОУ. Они снижают коэффициенты усиления каскадов $\&1, \&2$, удовлетворяя баланс амплитуд. Для того, чтобы образовать фильтр нижних частот, создать условия для самовозбуждения только на первой гармонике вводим в эти частные цепи конденсаторы $C1, C2$. Получаем эквивалент интегратора на логическом элементе. Весь контур охватываем кварцем. В контуре два логических элемента, инвертора, каждый из них образует 180° -градусный фазовый сдвиг (в сумме 360°), следовательно, получается ПОС, что является одним из необходимых условий генерации (удовлетворяется баланс фаз).

Так как здесь открытый коллектор, то подводим напряжение питания $+5$ В через резисторы $R4, R6$. Для того, чтобы выставить режим, близкий к активной области, вводим смещающие резисторы $R3, R5$.

Кварц – это чрезвычайно узкополосный прибор, поэтому через него проходит в сущности одна синусоида почти без искажений, в итоге здесь в действительности не генератор импульсов, а генератор синусоиды, из которой путем введения дополнительных логических элементов, обрезания вершин и оснований синусоиды формируются импульсы.

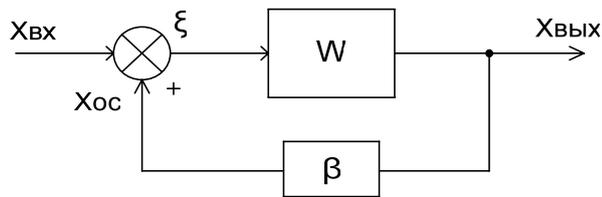
5 Генераторы синусоидальных колебаний

5.1 Общие определения

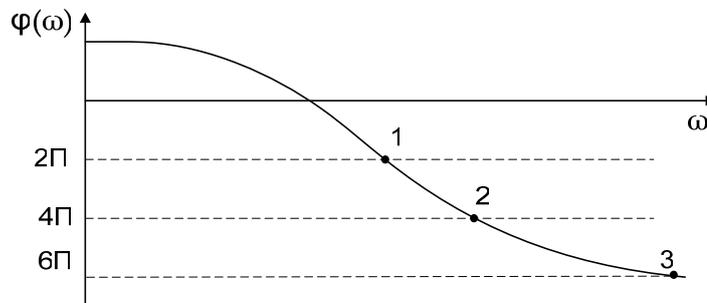
В радиотехнике имеют в виду удовлетворение баланса фаз, удовлетворение баланса амплитуд.

В автоматике вместо баланса фаз подразумевают положительную обратную связь, как показано на рисунке 5.1, а. Здесь знак + означает суммирование входного сигнала $X_{вх}$ и сигнала обратной связи $X_{ос}$. Это, в прямом смысле, частный случай ПОС. Но и в обычных системах автоматики с отрицательной обратной связью (а таких большинство), кроме отрицательной обратной связи может образовываться ПОС. Причина в том, что прямая часть передаточной функции W рисунка 5.1, б а также обратная связь β создают фазовые сдвиги, т.е. фазо-частотная характеристика может иметь, например, вид, приведенный на рисунке 5.1, б. Если для горизонтальной оси имеет место ООС, то для π - ПОС, 2π - опять ООС, 3π - ПОС и т.д. В одной и той же системе, из-за наличия ФЧХ, на разных частотах создаются условия как для ООС, так и для ПОС. С точки зрения устойчивости, качества работы систем автоматики желательно, чтобы были только ООС, а ПОС максимально устранялись для предотвращения неустойчивости, самовозбуждения. Если этого не сделать, то на частотах $\pi, 3\pi$ и т.д. возникнет неустойчивость, одним из видов которой являются колебания, такие же, как и в генераторах синусоидальных колебаний. Но в генераторах синусоидальных колебаний обычно вводят непосредственно положительную обратную связь, суммируя входящий сигнал $X_{вх}$ и сигнал обратной связи $X_{ос}$.

Балансу амплитуд в радиотехнике также есть соответствие в автоматике. Под балансом амплитуд в радиотехнике понимают удовлетворение условия генерирования неизменной амплитуды $X_{вых}$ во времени на рисунке 5.1, а. В автоматике этому условию соотносят тождественность произведения $\omega\beta \equiv 1$. т.е. в реальных условиях для конкретной, одной и той же схемы могут быть три случая:



а)



б)

Рисунок 5.1, а – ПОС, б – фазо-частотная характеристика

а) $\Phi = \frac{W}{1 - W\beta}$, $|W\beta| < 1$;

б) $\Phi = \frac{W}{1 - W\beta}$, $|W\beta| \equiv 1$;

в) $\Phi = \frac{W}{1 - W\beta}$, $|W\beta| > 1$.

В случае а) электронный усилитель по-прежнему работает как усилитель, но с ПОС. Его коэффициент усиления увеличивается, однако линейные и нелинейные искажения возрастают, нестабильность тоже возрастает, полоса пропускания сужается.

В случае б) это генератор колебаний, в том числе и синусоидальных. Для синусоидальности должны быть удовлетворены еще два условия:

1 Введены цепи (обычно пассивные), которые описываются математически таким образом, что в их решении есть комплексные корни (иногда их называют колебательными). Именно они формируют синусоиду.

2 Электронные схемы с ПОС нестабильны, и вследствие дрейфа условие тождества нарушается. Поэтому вводят нелинейность (обычно насыщение), которая стабилизирует тождество. Схемы получаются несложные, но нелинейности искажают синусоиду, вводят в нее дополнительные гармоники.

Физический смысл баланса амплитуд заключается в том, что сигнал ξ усиливается передаточной функцией W , поступает на выход и на β , через устройство сравнения вновь на W , при этом амплитуда на выходе должна быть той же.

Условие баланса фаз: тот же сигнал проходит через W , β , элемент сравнения, при этом фазы выходного и входного сигналов должны совпадать.

Т.о. в схемах генераторов синусоидальных колебаний должны быть удовлетворены следующие условия

- 1 $|W\beta| \equiv 1$ – баланс амплитуд;
- 2 ПОС – баланс фаз;
- 3 Комплексные корни;
- 4 Стабилизирующая нелинейность.

Выделяют мягкое и жесткое возбуждение.

Мягкое возбуждение заключается в том, что при подаче напряжения питания колебания возрастают до точки устойчивости равновесия. Известны два способа пояснения физического смысла возникновения генерации:

1 После включения напряжения питания образуется толчок, скачок от нуля до уровня напряжения питания (см. рисунок 5.2, а), который создает в колебательных цепях переходной колебательный процесс. Он, вследствие области неустойчивости (заштрихованная область на рисунке 5.2, а), нарастает до точки устойчивого равновесия.

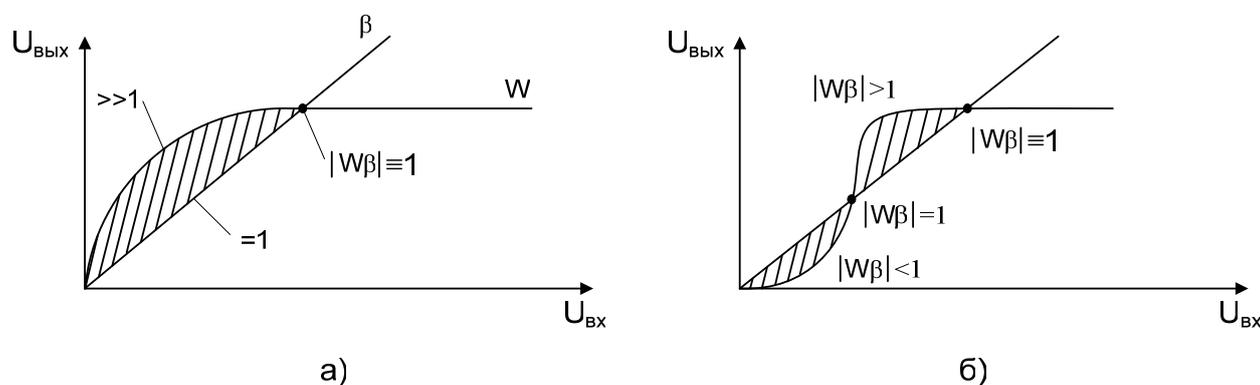


Рисунок 5.2, а – Мягкое возбуждение, б – жесткое возбуждение

2 Пусть в схеме уже есть напряжение питания. Замыкаем ПОС. В сущности скачка нет, но есть наводки, флюктуация, они образуют в цепях колебательные процессы, усиливающиеся до установившихся.

При жестком возбуждении необходимо дать толчок, превзойти положение первой неустойчивой точки равновесия $|W\beta| = 1$ (см. рисунок 5.2, б), дальше амплитуда возрастает самопроизвольно до установившейся точки.

Выделяют генераторы синусоидальных колебаний с LC контурами (обычно для частот выше 1 кГц) и RC цепями для частот до 1 кГц, при этом габариты цепей получаются приемлемыми.

Различают генераторы синусоидальных колебаний:

- с трансформаторной связью;
- с индуктивной трехточкой;
- с емкостной трехточкой;
- на транзисторах;
- на ОУ;
- на микросхемах.

Выделяют генераторы с RCL цепями, стабилизированные кварцем.

5.2 Генератор синусоидальных колебаний с LC контуром и трансформаторной ОС

На рисунке 5.3 изображена схема генератора синусоидальных колебаний с LC контуром и трансформаторной ОС. В этой схеме используется обычный каскад с R1, R2, делителем и эмиттерным резистором R_э. С помощью этого делителя:

1 Устанавливается ток смещения по цепи: земля ... R_э ... Э-Б VT ... L2 ... R1 ... -E₀;

2 Стабилизируется положение рабочей точки за счет ООС по постоянному току на резисторе R_э. ООС по переменному току на этом резисторе устраняет C_э.

ПОС здесь достигается звездочками, эквивалентными началам или концам обмоток L1, L2.

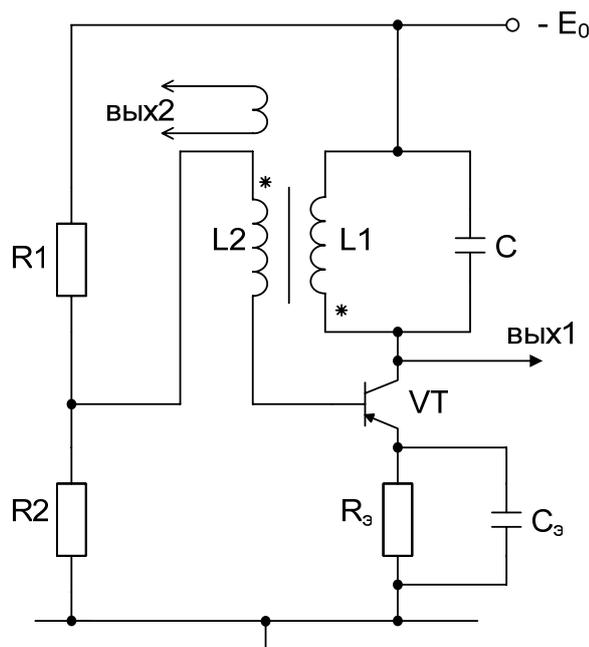


Рисунок 5.3 – Генератор синусоидальных колебаний с LC контуром и трансформаторной ОС

Цепь второго порядка с комплексными корнями образуется LC контуром. Стабилизация тождества достигается за счет насыщения и отсечки транзистора (нелинейность). Так как L1 имеет малое сопротивление провода, то на коллекторном электроде VT напряжение почти равно E₀ (рисунок 5.4).

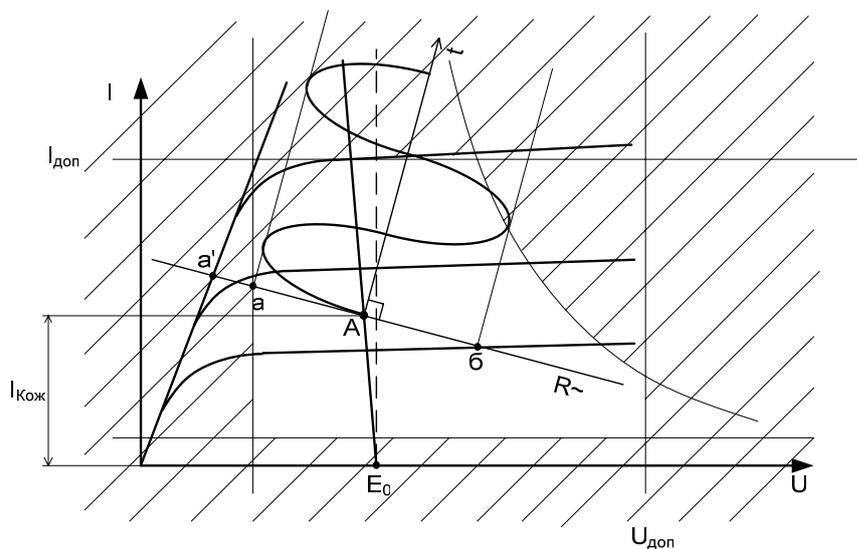


Рисунок 5.4 – Семейство выходных характеристик, ограниченное рабочей областью

Напряжение питания E_0 выбирается не больше половины допустимого. Нагрузочная прямая располагается почти вертикально потому (см. рисунок 5.4), что сопротивление провода невелико. Рабочую точку А располагают примерно на середине рабочей области на нагрузочной прямой. Поэтому установить ее положение можно только по току смещения. Для этого последовательно с транзистором включают малоомный амперметр и посредством резисторов R_1, R_2 добиваются нужной величины тока $I_{Кож}$. Затем через рабочую точку проводят нагрузочную прямую по переменному току, при этом рассчитывается сопротивление L_1C контура $R \sim |Z_{L1C}|$. К этой прямой по переменному току обычно проводят перпендикуляр – это ось времени t . Слева $R \sim$ упирается в точку а (границу рабочей области – вертикальную линию, отсекающую существенную кривизну характеристик), справа от точки А откладывают такой же длины отрезок (точка б). Можно слева, сделать упор в линию насыщения (точка а'). Справа б должна быть меньше допустимой величины $U_{доп}$ для транзистора на величину запаса. Эту величину запаса определяют разработчики схемы.

Из построения (см. рисунок 5.4) видно, что точка б справа значительно превышает E_0 – это есть результат действия ЭДС самоиндукции (физический смысл). Именно поэтому выбирают E_0 не больше половины допустимого напряжения $U_{доп}$. Из точек а и б проводят прямые, параллельные оси времени t , и разворачивают синусоиду. Ее частота определяется из формулы

$$f = \frac{1}{2\pi \cdot \sqrt{L_1 \cdot C}}.$$

Таким образом в этой схеме в сущности ПОС образуется при нулевом фазовом сдвиге, в отличие от других схем, где фазовый сдвиг равен Π , 3Π и т.д.

5.3 Схемы с индуктивной, емкостной трехточками

Для упрощения предыдущей схемы, изображенной на рисунке 5.3, (для устранения вторичной обмотки) применяют схему с индуктивной трехточкой, когда у W_1 делают третий отвод с коэффициентом трансформации как у трансформаторной схемы с понижением, или емкостной трехточкой, когда у W_1 вообще только два отвода (начало и конец), но ставят два конденсатора. Этим упрощают схему с трансформаторной связью (см. рисунок 5.5).

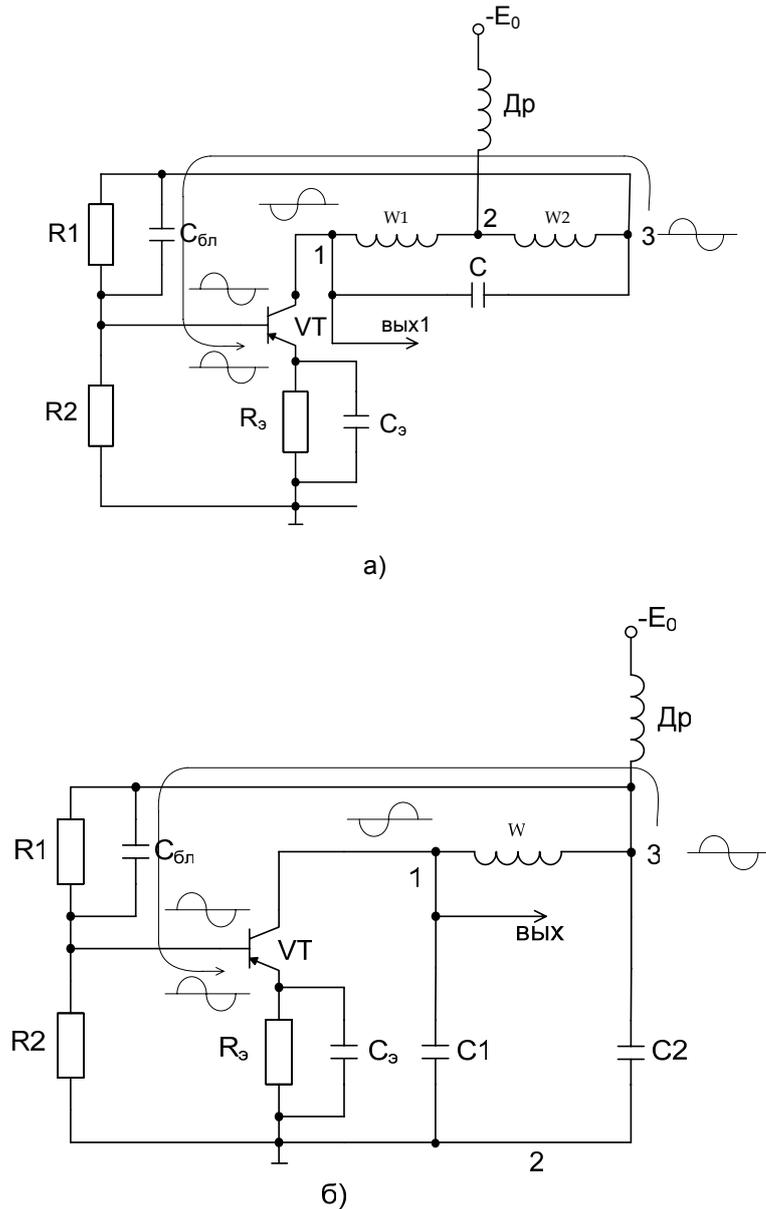


Рисунок 5.5, а – Схема с индуктивной трехточкой,
б – с емкостной трехточкой

На рисунке 5.5, а приведена схема с индуктивной трехточкой. Точка 2 является отводом. Используется обычный каскад с делителем R_1 , R_2 и ООС по току на эмиттерном резисторе. W_1 , W_2 образуют токовую цепь. Так как цепь токовая, то фазы напряжений в точках 1, 3 противоположны. Для примера выставим на базовом электроде VT первый полупериод

положительный, образуется либо вследствие скачка напряжения питания, либо вследствие переходных процессов. Так как транзистор – инвертор, то на коллекторном электроде первый полупериод отрицательный с усилением. Следовательно, в точке 3 первый полупериод положительный, так как это токовая цепь.

Положительный полупериод в точке 3 через прямую цепь поступает на базовый электрод. Из изображения видно, что возбуждаемый, начальный сигнал и пришедший по цепи обратный сигнал совпадают по фазе, т.е. удовлетворяется одно из условий генерации а именно ПОС. Нелинейность образуется насыщением и отсечкой транзистора. Резонансная частота примерно та же, что и в предыдущей схеме рисунка 5.3.

В схеме рисунка 5.5, б все аналогично.

5.4 RC цепи для генераторов синусоидальных колебаний

В схемах генераторов синусоидальных колебаний, до частот 1 кГц применяют три основные фазовращающие цепи, представленные на рисунке 5.6.

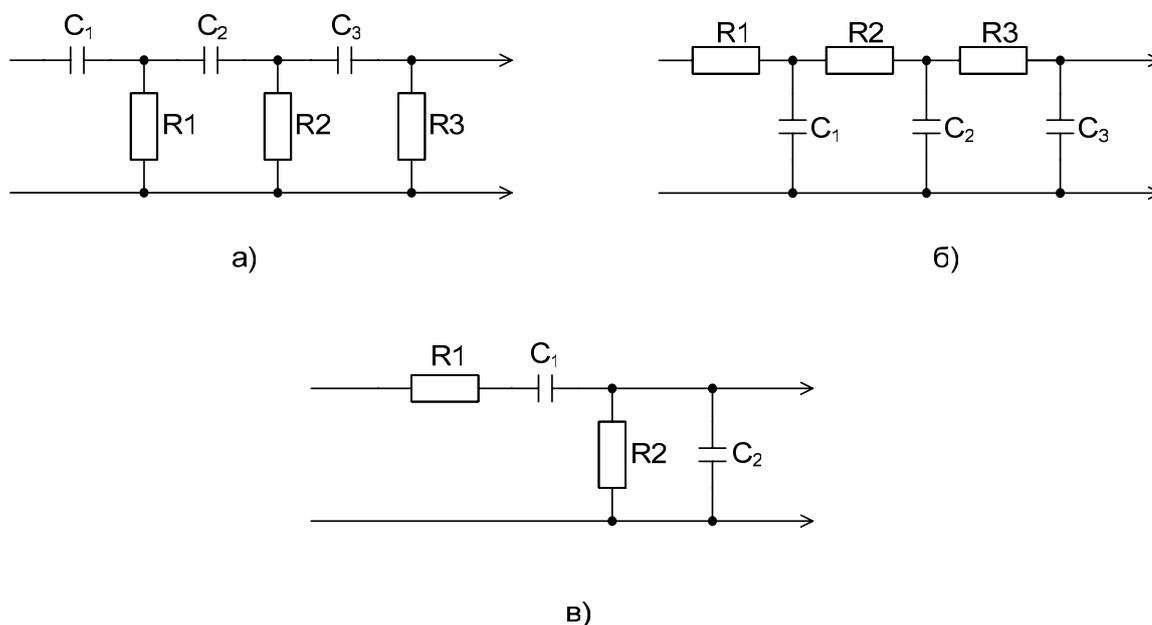


Рисунок 5.6 – RC цепи,
 а – трехзвенная R–параллель, б – трехзвенная C–параллель,
 в – последовательно-параллельная цепь (мост Вина)

В схеме, изображенной на рисунке 5.6, а, трехзвенная R–параллель образована тремя одинаковыми дифференцирующими CR–цепочками, каждая из которых, в пределе, дает фазовый сдвиг $+90^\circ$. В реальных генераторах

используется сдвиг 60° для трехзвенной цепи (общий 180°). Если цепь четырехзвенная, то сдвиг каждого звена 45° .

Важной цифрой является 180° , потому что еще 180° образует инвертор. Инвертор образует фазовый сдвиг 180° в “+” или “-” область, в то время как трехзвенная цепь образует фазовый сдвиг реактивный $+180^\circ$. Поэтому общий фазовый сдвиг можно считать либо $+360^\circ$ либо 0° . И в том и в другом случае будет ПОС.

В схеме, представленной на рисунке 5.6, б, все аналогично, она на интегрирующих звеньях. Результирующий фазовый сдвиг -180° дополняется “+” или “-” фазовым сдвигом инвертора 180° .

Третья схема (см. рисунок 5.6, в) – последовательно-параллельная цепь, или мост Вина. Он образован двумя цепями, представленными на рисунке 5.7. Результирующая характеристика есть результат взаимной реакции.

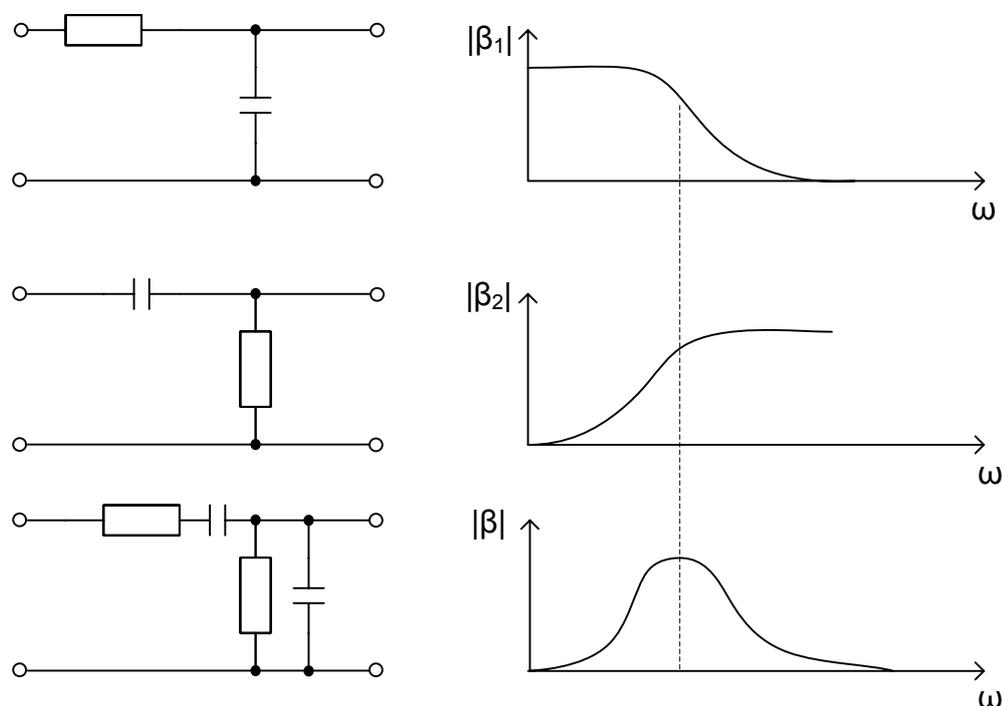


Рисунок 5.7 – Компоненты последовательно-параллельной цепи, их отдельные и общая характеристики

В итоге образуется подобие LC контуру и если эту схему включить в схему с ПОС, то будет или генератор синусоидальных колебаний, если выполняется условие $|W\beta| \equiv 1$, или фильтр, если $|W\beta| < 1$, причем реакция на входной сигнал точно такая же, как у схемы с LC контуром.

5.5 Генераторы синусоидальных колебаний с R и C–параллелями

В первой схеме (см. рисунок 5.8, а) сопротивления R_{61} , R_{62} участвуют в формировании R–параллели.

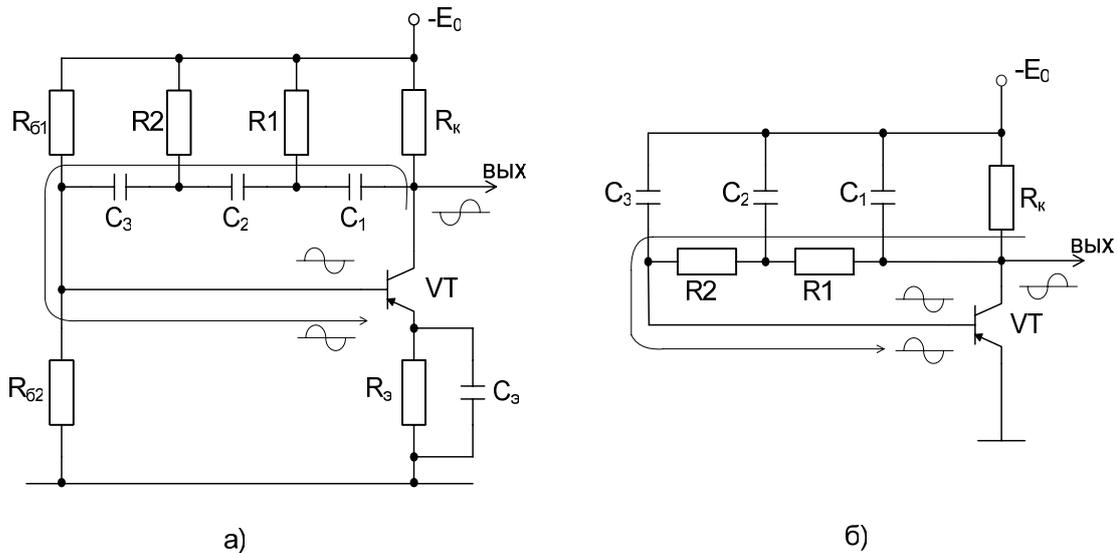


Рисунок 5.8 – Генераторы синусоидальных колебаний с R и C–параллелями

Они предназначены для смещения по току VT и образования ООС по постоянному току на эмиттерном резисторе, т. е. для стабилизации рабочей точки. Причем на базовом электроде VT первый возбуждающий полупериод положительный. Он усиливается и инвертируется. Второе инвертирование осуществляется посредством трехзвенной R–параллели $+180^\circ$, образуется ПОС и генерация.

Во второй схеме (см. рисунок 5.8, б) резисторы C–параллели одновременно используются и для образования смещающего тока и для стабилизации рабочей точки по напряжению. Первый положительный возбуждающий полупериод инвертируется в отрицательный, а затем C–параллелью смещается на -180° , образуется ПОС. В эмиттерной цепи VT резистора нет, т.к. стабилизирующая обратная связь выполнена по коллекторной цепи.

5.6 Генераторы синусоидальных колебаний с кварцевой стабилизацией

Общие сведения о пьезоэлектрических кварцах и особенностям применения в импульсных схемах генераторов приведены в разделах 4.21, 4.22. Примеры принципиальных схем генераторов синусоидальных колебаний, стабилизированных кварцами, изображены на рисунках 5.9. Если схемы генераторов с LC контурами и RC цепями выявляют нестабильность частоты до нескольких процентов и более, то кварцевые генераторы

синусоидальных колебаний намного стабильнее - десятые или сотые доли процента. Из раздела 4.21 известно, что в дополнение к кварцу, схема должна содержать фильтр нижних частот, если возбуждение производится по первой гармонике, либо контур, тогда по любой гармонике.

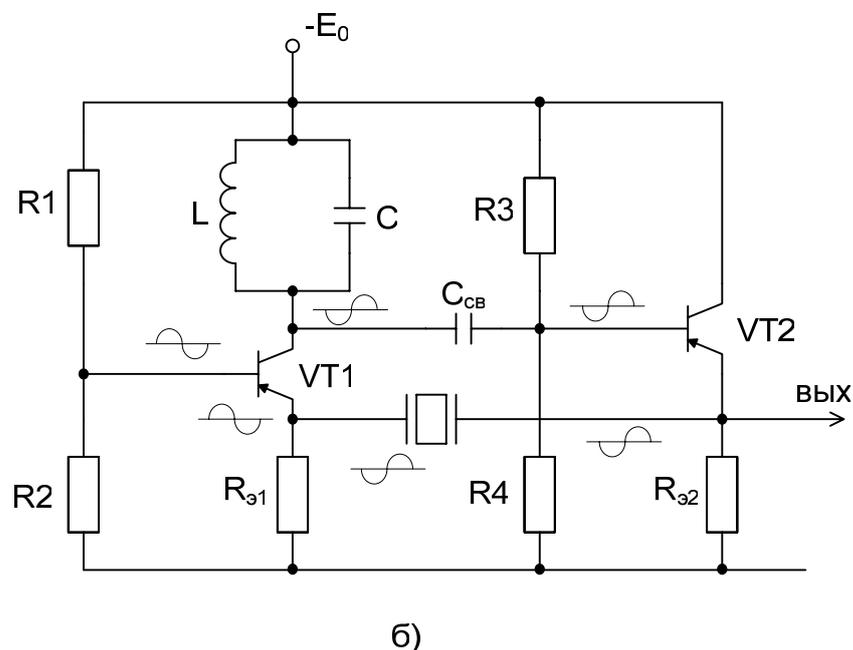
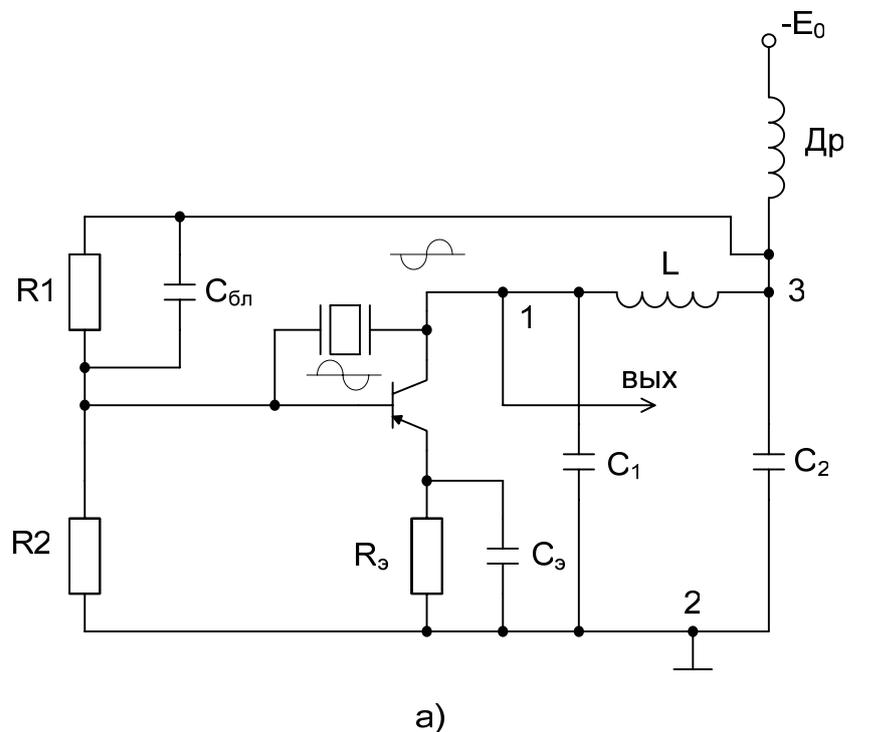


Рисунок 5.9, а – Схема генератора с емкостной трехточкой и ООС через кварц, б – схема генератора на двух каскадах

В схеме, изображенной на рисунке 5.9, а, между базовым и коллекторным электродами включен кварц. Примем, что на базовом электроде первый полупериод положительный, а на коллекторном электроде первый полупериод отрицательный. Следовательно, через кварц поступает тот же первый

полупериод отрицательный. Имеет место ООС на всех частотах кроме резонансной. ООС уменьшает коэффициент усиления транзисторного каскада. На резонансных частотах, как известно из 4.21, есть две частоты, где колебания совпадают по фазе и противофазны. В этой схеме используется именно та резонансная частота, на которой фазы возбуждающего и собственного колебания кварца противоположны, поэтому кварц имеет максимальное сопротивление, ООС уменьшается. Следовательно, общий коэффициент усиления возрастает, удовлетворяется соотношение:

$$|W_{пр}(j\omega) \cdot W_0(j\omega)| \equiv 1$$

где $W_{пр}(j\omega)$ - коэффициент передачи прямой цепи, $W_0(j\omega)$ - коэффициент передачи цепи обратной связи.

В итоге, схема генерирует, причем только на одной частоте, хотя гармоник много. Одна частота избирается LC₁C₂ контуром. Она может быть либо 1-ой, 2-ой, ..., 25-ой (любой).

На схеме, представленной на рисунке 5.9,б, первый каскад выполнен с обычным резонансным LC контуром, настраивается на частоту выбранной гармоники (см. рисунок 5.10).

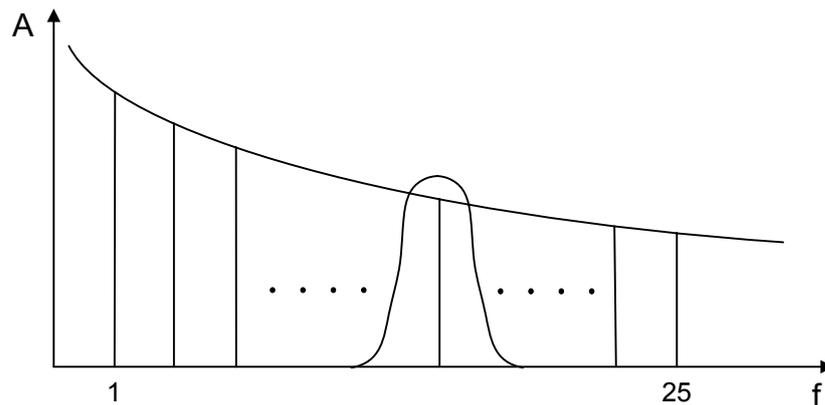


Рисунок 5.10 – Гармоники кварца и резонансная характеристика LC контура в схеме рисунка 5.9, б

Второй каскад – обычный эмиттерный повторитель. Между каскадами вводится гальваническая развязка посредством конденсатора $C_{св}$. Первый полупериод на базе VT1 прием положительным. В коллекторной цепи VT1 первый полупериод будет отрицательным. Этот первый отрицательный полупериод почти без изменений проходит через $C_{св}$ на базовый электрод транзистора VT2, повторяется по форме в его эмиттерной цепи на резисторе $R_{э2}$ и через кварц на частоте его минимального резонансного сопротивления передается первым отрицательным полупериодом на резистор $R_{э1}$. Из схемы рисунка 5.9, б видно, что собственный сигнал каскада VT1 на резисторе $R_{э1}$ имеет первый положительный полупериод, а прошедший через кварц – отрицательный. Происходит их взаимное вычитание, компенсация. Следовательно, сигнал ОС противофазен базе VT1, они вычитаются. Образуется эффект, эквивалентный подключению $R_{э1}$ к конденсатору, т. е.

происходит уменьшение общего эмиттерного сигнала, вычитающегося из базового VT1. Поэтому базовый сигнал дает большее усиление на каскаде VT1. Говорят о положительной обратной связи.

Для начала генерации (возбуждения) необходима та резонансная частота, на которой происходит совпадение с резонансным максимумом LC контура, а сопротивление кварца минимально, т. е. из двух рядом расположенных частот выбранной гармоники кварца это электро–механическое колебание, генерирующее совпадение фазы, минимум сопротивления.

5.7 Генераторы синусоидальных колебаний на ОУ

На рисунке 5.11 представлена простейшая схема генератора синусоидальных колебаний на ОУ. В этой схеме, в цепи положительной обратной связи включена последовательно-параллельная цепочка R4, C2, R3, C1 (см. раздел 5.4), соединяющая выход ОУ с плюс-входом. На частоте условного резонанса по рисунку 5.7 удовлетворяется равенство $|W\beta| \equiv 1$, поэтому возникает установившееся синусоидальное колебание. Известно, что модуль условного резонанса последовательно-параллельной цепи $|\beta|$ в лучшем случае достигает величины, равной 1/3, поэтому для удовлетворения $|W\beta| \equiv 1$ необходимо, чтобы модуль коэффициента усиления операционного усилителя не намного превышал цифру 3. Так как реальный коэффициент усиления ОУ составляет примерно 100000 единиц по напряжению (без отрицательной обратной связи), то его необходимо уменьшить до 4...5 единиц, это уменьшение произведено включением цепи ООС между выходом и минус-входом через потенциометр R2. Резистор R1 устанавливает, какая часть выходного напряжения ОУ выделяется на инвертирующем (минус) входе ОУ. Коэффициент усиления инвертирующего включения ОУ определяется из соотношения:

$$W \approx -\frac{R_2}{R_1}.$$

Знак минус в этом соотношении означает инвертирующее включение, т.е. противофазность входного и выходного сигналов (если анализируются периодические колебания). Для нормальной (без перегрузки) работы схемы желательно, чтобы токи, ответвляющиеся в выхода ОУ в цепи обратной связи не превышали десятую часть от допустимой величины (по справочнику). Зная выбранный ОУ и его допустимый выходной ток рассчитываем R2 и R1, учитывая, что их отношение должно составлять четыре-пять единиц по напряжению. ООС не только устанавливает необходимое соотношение, но и стабилизирует схему в целом. R2 выполнен в виде потенциометра для регулировки W (установления $|W\beta| \equiv 1$).

Резисторы R3, R4 рассчитываются также из условия отсутствия перегрузки ОУ (надо иметь в виду, что к выходу ОУ предполагается подключение нагрузки). По отдельным и общей характеристикам рисунка 5.7

рассчитываются условная резонансная частота ω_0 , величины емкостей конденсаторов C_1 , C_2 . В литературе по электронике имеется формула для расчета резонансной частоты:

$$\omega_0 = \sqrt{\frac{g_3 \cdot g_4}{C_1 \cdot C_2}}$$

где g_3 , g_4 – проводимости, обратные величины сопротивлений R_3 , R_4 .

В итоге, в схеме рисунка 5.9 удовлетворяются четыре условия для генерирования синусоидальных колебаний:

- 1 Есть ПОС (баланс фаз)
- 2 Удовлетворяется соотношение $|W\beta| \cong 1$ регулятором R_2 – баланс амплитуд.
- 3 Колебательность устанавливается комплексными корнями, описывающими последовательно-параллельную цепь C_1 , C_2 , R_3 , R_4 .
- 4 В качестве нелинейности, удерживающей и стабилизирующей соотношение $|W\beta| \cong 1$ используется “насыщение” ОУ. Поэтому, вследствие наличия нелинейности на выходе схемы не совсем идеальная синусоида, как и в случае других любых генераторов синусоидальных колебаний с ПОС, но с этим обстоятельством приходится как-то мириться.

Кроме последовательно-параллельной цепи в схемах генераторов синусоидальных колебаний на ОУ могут быть применены R и C параллели (рисунок 5.6), кварцы, LC-контур. Кварцы могут быть введены как в цепи отрицательной, так и в цепи положительной обратной связи. Из раздела о кварцах известно, что в области механической вибрации кварца на какой то выбранной гармонике имеются две частоты, расположенные почти рядом, для одной из них его сопротивление минимально, для другой – максимально. Следовательно, если применять кварц, то его надо включать (вводить в схему генератора) таким образом, чтобы на частоте генерации отрицательная обратная связь ослаблялась, а ПОС – наоборот – усиливалась. И генератор сам выберет нужную частоту после включения (автоматически). Необходимо только помнить, что еще дополнительно к кварцу необходимо вводить фильтр нижних частот (тогда генерация будет происходить на первой гармонике), или LC-контур, который “выберет” соответствующий номер гармоники.

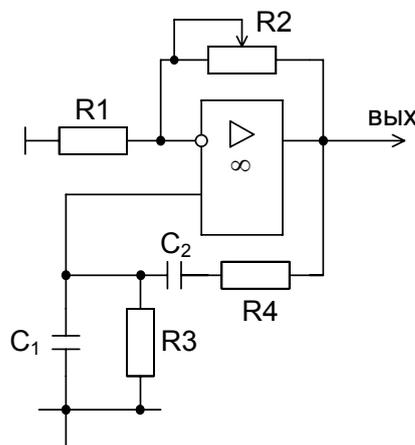


Рисунок 5.11 – Генератор синусоидальных колебаний на ОУ

6 Цифроаналоговые и аналого-цифровые преобразователи

Предназначены для преобразования цифровых или аналоговых сигналов, для сопряжения с микроконтроллерами, компьютерами.

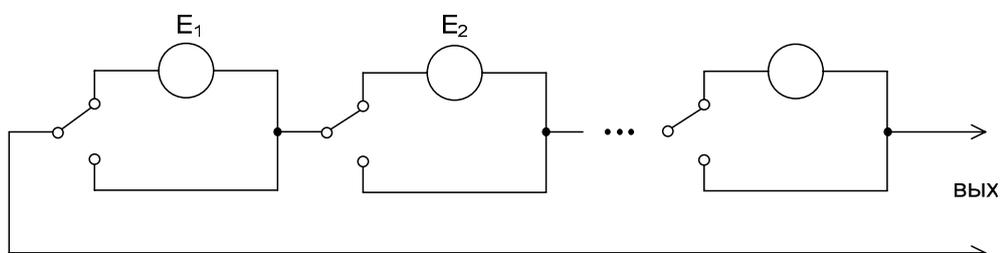
6.1 Цифроаналоговые преобразователи

Выделяют

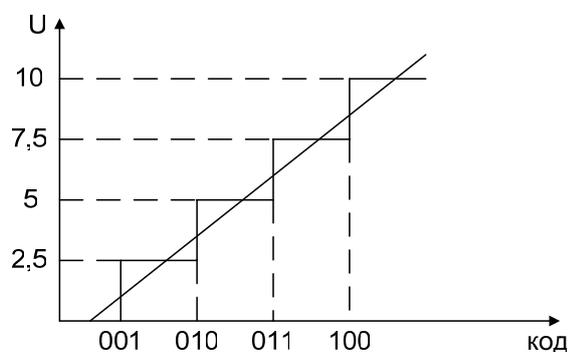
1 Принцип суммирования напряжений (см. рисунок 6.1, а).

Имеется цифровой код, который следует преобразовать в аналоговую форму. По горизонтальной оси откладывается заполнение счетчика прямого счета (см. рисунок 6.1, б), по вертикальной оси – ступени, кванты, которые в идеале можно представить в виде наклонной прямой, аналоговой по природе. Это может быть не прямая, а произвольной формы линия в том случае, если вес кода не как у счетчика прямого счета, а произвольный.

Из построения видно, что прямая выходит не с начала координат. Это погрешность преобразования. Можно прямую провезти через углы квантов, тогда погрешности не будет. Но обычно при фильтрации выделяются средние части квантов, и есть начальная погрешность, которую часто устраняют балансировкой, применяющейся совместно с подобными схемами.



а)



б)

Рисунок 6.1, а – принцип суммирования напряжения, б – цифровое преобразование

Выделяют линейную и нелинейную погрешности (см. рисунок 6.2).

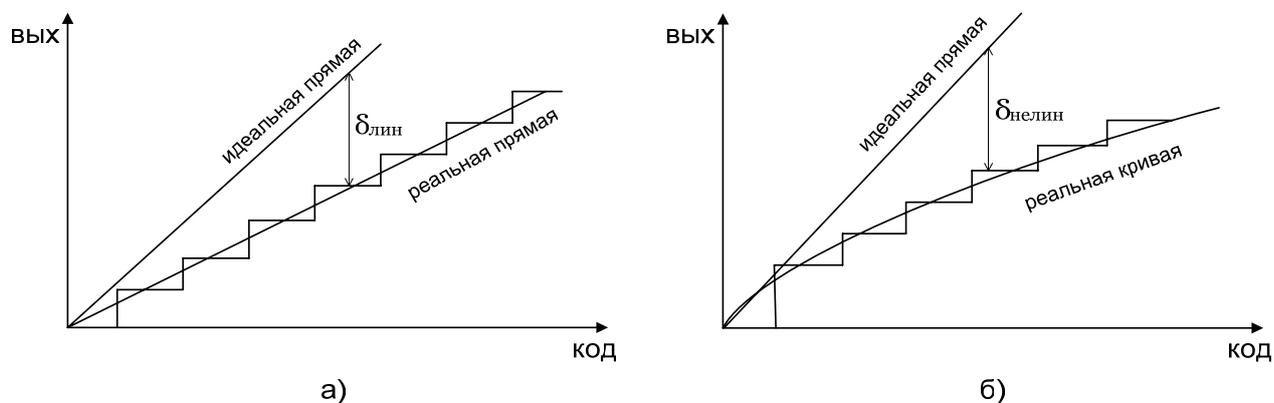


Рисунок 6.2, а – линейная погрешность,
б – нелинейная погрешность

Выделяют шум квантования. Чем меньше ступеньки, тем меньше шум квантования. Можно фильтровать его, но это снижает быстродействие преобразования.

В схеме рисунка 6.1,а ключи замыкаются и размыкаются соответственно нулями и единицами кода. При этом происходит суммирование соответственно разрядов и квантов.

Достоинство: несложность идеи, но метод не применяется, так как большое количество источников трудно реализуемо.

2 Принцип суммирования токов (см. рисунок 6.3).

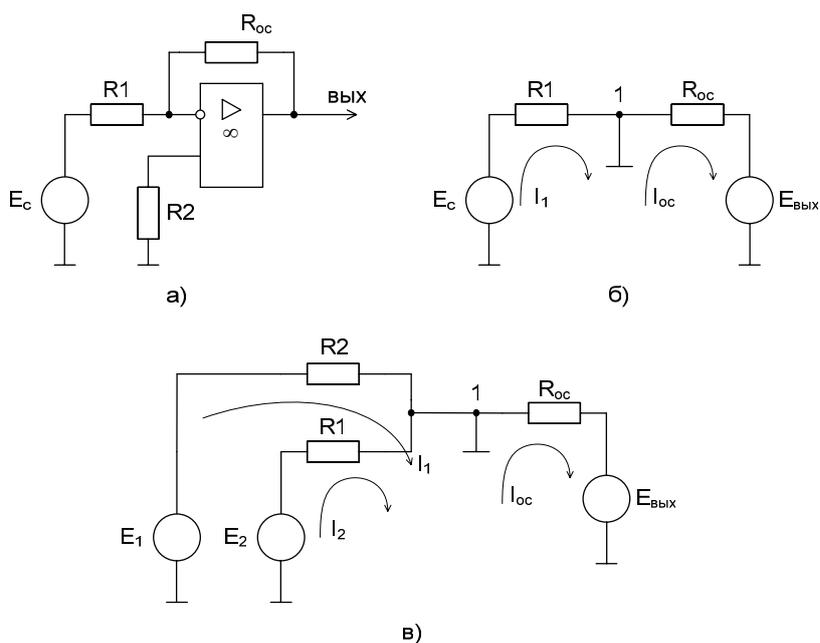


Рисунок 6.3, а – типовое включение ОУ по инвертирующей схеме,
б – эквивалентная схема включения схемы а, в – суммирование токов

Смысл схемы, представленной на рисунке 6.3, б, заключается в том, что точка 1, соответствующая верхнему электроду ОУ (схема 6.3,а), заземлена, потому что здесь действует глубокая ООС по напряжению. Она сводит сопротивление между “-” и “+” входами, а также R2 почти к нулю. Из данной схемы можно сделать выводы:

1 Точка 1 заземлена, следовательно, источник сигнала через R1 работает на землю, а выход источника через R_{oc} также на землю, т. е. они как будто независимы.

2 Так как реально в схеме рисунка 6.3,а сопротивление между “-” и “+” входами стремится к бесконечности, то тока в проводнике между точкой 1 и землей в схеме 6.3,б нет. А это означает последовательное соединение R1 с R_{oc}; токи I₁ и I_{oc} почти равны, следовательно

$$\frac{E_c}{R1} = \frac{E_{\text{ВЫХ}}}{R_{\text{oc}}}$$

$$E_{\text{ВЫХ}} = -\frac{E_c}{R1} \cdot R_{\text{oc}}$$

Это типовая формула коэффициента усиления инвертирующего включения ОУ.

$$U_{\text{ВЫХ}} = -U_{\text{ВХ}} \cdot \frac{R_{\text{oc}}}{R1}$$

Здесь уместно вспомнить пять идеальных свойств операционных усилителей:

- а) R_{вв} → ∞
- б) K_и → ∞
- в) полоса частот стремится к бесконечности;
- г) выходное сопротивление стремится к нулю;
- д) входные и выходные напряжения в режиме ожидания равны нулю.

Разработчики операционных усилителей в интегральном исполнении стараются удовлетворить эти свойства. Именно по этой причине ток в цепи: точка 1 рисунка 6.3,б...земля практически равен нулю. Получается двойственность подхода к точке 1. С одной стороны она заземлена. С другой стороны не соединена с землей, т.е. имеется разрыв в цепи точка 1...земля.

В схеме, изображенной на рисунке 6.3, в, два источника сигнала. Покажем, что в этой схеме суммируются токи, а через них и напряжения со своими коэффициентами усиления.

Так как точка 1 с одной стороны замкнута накоротко на землю, а с другой стороны имеет бесконечное сопротивление, в идеале, по отношению к земле, то сумма токов I₁ и I₂ равна току I_{oc}:

$$I_1 + I_2 = I_{\text{oc}}$$

$$\frac{U_1}{R1} + \frac{U_2}{R2} = \frac{E_c}{R_{\text{oc}}}$$

$$U_1 \cdot \frac{R_{\text{oc}}}{R1} + U_2 \cdot \frac{R_{\text{oc}}}{R2} = E_c$$

Из последней записи следует, что складываются напряжения со своими коэффициентами усиления. На этом принципе суммирования токов, а следовательно и напряжений, строится ЦАП. Их отличительными особенностями являются:

- а) наличие ОУ;
- б) у этого ОУ используется инвертирующий вход.

Выделяют

- ЦАП с весовыми резисторами;
- ЦАП с матрицей $R-2R$.

6.1.1 ЦАП с весовыми резисторами

Весовые резисторы – это означает, что сопротивление каждого резистора, их “вес” соответствует “весу” цифрового кода, так же как и точность исполнения. Наименее точные резисторы младших разрядов, наиболее точные – старших. В интегральном производстве вес резистора уточняют лазерной подгонкой. Здесь, для примера, принимаем всего четыре разряда двоичного кода:

- 1 001
- 2 010
- 3 011
- 4 100

Примем также, что верхнее положение переключателей k_1, k_2, k_3 (см. рисунок 6.4) соответствует единице в кодах 1, 2, 4. В коде 3 две единицы, поэтому, k_1, k_2 в верхнем положении, а k_3 – в нижнем.

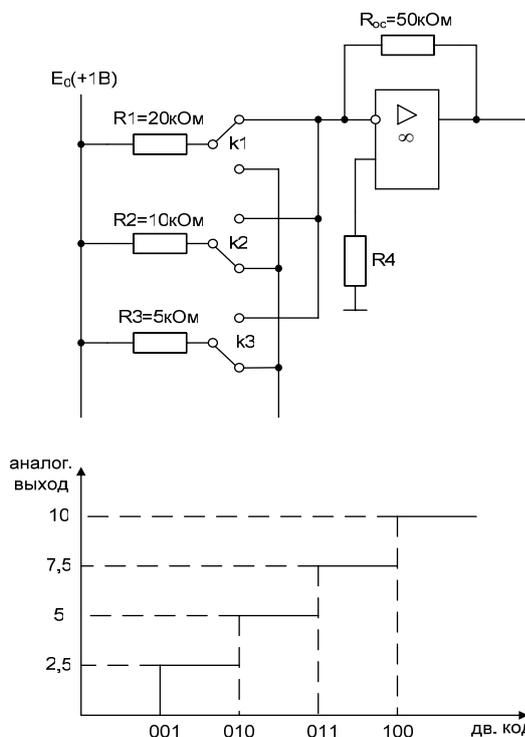


Рисунок 6.4 – ЦАП с весовыми резисторами

Примем $U_{вх} = E_0 = 1\text{ В}$, $R_{oc} = 50\text{ к}\Omega$, $U_{вых}$ старшего разряда кода равным 10 В.

Рассчитаем величины резисторов R1, R2, R3:

1-ый код R1

$$U_{\text{ВЫХ}} = U_{\text{ВХ}} \cdot \frac{R_{\text{ОС}}}{R1}; 2,5 = 1 \cdot \frac{50}{R1}; R1 = \frac{50}{2,5} = 20 \text{ кОм};$$

$$2 \ 5 = 1 \cdot \frac{50}{R2}; R2 = \frac{50}{5} = 10 \text{ кОм};$$

$$4 \ 10 = 1 \cdot \frac{50}{R3}; R3 = \frac{50}{10} = 5 \text{ кОм}.$$

Для третьей позиции рассчитаем необходимую величину сопротивления резистора таким же образом, получится 6,66 кОм. И если установить в верхнее положение переключатели k1, k2 (k3 – нижнее) в соответствии с третьим кодом (011) и рассчитать величину параллельного соединения R1=20 кОм и R2=10 кОм, то получится тоже 6,66 кОм. Следовательно, получаем на графике лесенку (см. рисунок 6.4). Из схемы следует, что внутреннее сопротивление источника сигнала +E₀ должно быть минимальным (почти нулевым) для уменьшения погрешности преобразования (суммирования).

Чем старше разряд кода, тем точнее должен быть соответствующий резистор (например, R3 на рисунке 6.4). На “лесенке” рисунка 6.4 этому резистору соответствует цифра 10 В, а также ступенька такой же величины, как и для младшего разряда. Но если резисторы R1...R3 будут иметь одинаковую погрешность, то ясно, что ступенька старшего разряда может быть значительно большей в сравнении со ступенькой младшего разряда. Следовательно, чем старше разряд, тем выше точность резисторов. Таким образом, различие величин резисторов, а также их точностей принято называть недостатками этого вида схем. Тем не менее, они широко применяются в интегральной схемотехнике.

6.1.2 ЦАП с матрицей R–2R

Схема матрицы R–2R изображена на рисунке 6.5.

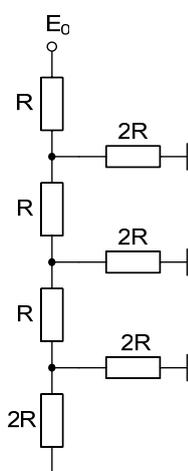
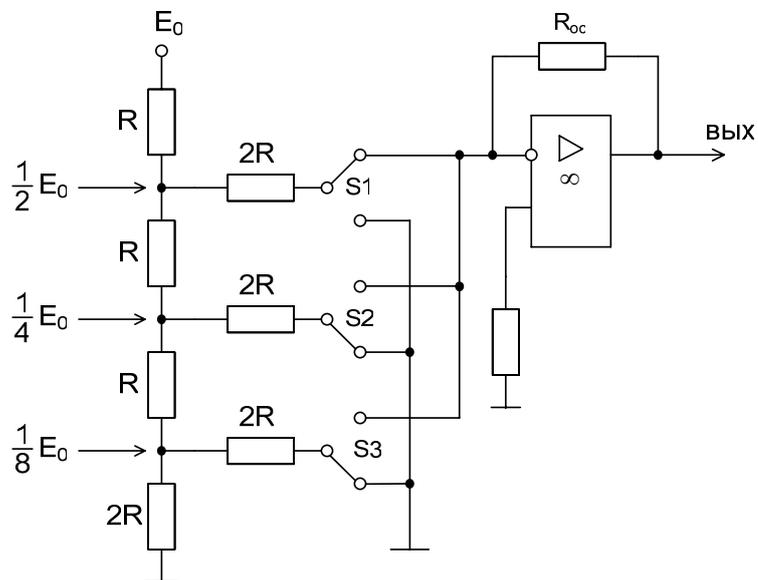


Рисунок 6.5 – Матрица R–2R

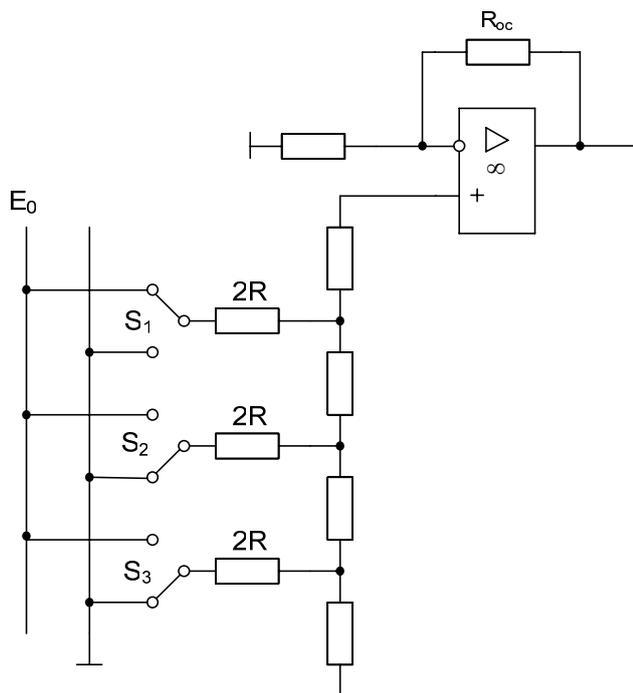
Матрицам R–2R присущи два основных свойства:

- делит напряжение E_0 по двоичному закону;
- обладает неизменным сопротивлением, равным $2R$, независимо от количества входящих элементов.

На рисунке 6.6 приведены две схемы преобразователей на основе матрицы R–2R.



а)



б)

Рисунок 6.6,а – ЦАП с суммированием токов,
б – ЦАП на основе принципа деления напряжения

В схеме, изображенной на рисунке 6.6, а, производится суммирование напряжений со своими коэффициентами усиления (как это следует из принципа

суммирования токов), причем напряжения представлены деленными по двоичному закону. Используется минус-вход ОУ, так как применено суммирование токов.

В схеме на рисунке 6.6, б не производится суммирование напряжений, поэтому в качестве входа ОУ – плюс-вход. Можно вообще без ОУ, если вход, например, осциллограф (у которого большое входное сопротивление) или нагрузки почти нет.

При нижнем положении ключей боковые $2R$ резисторы на земле, что соответствует принципу матрицы $R-2R$. При верхнем положении на E_0 , следовательно, внутренне сопротивление E_0 должно быть почти нулевым для уменьшения погрешности преобразования. Из внешнего вида схемы не просматривается наглядность принципа деления напряжения. Тем не менее производится ЦАП-преобразование.

Для доказательства принципа деления напряжения в схеме рисунка 6.6, б проанализируем два фрагмента этой схемы, изображенных на рисунке 6.7, а, б

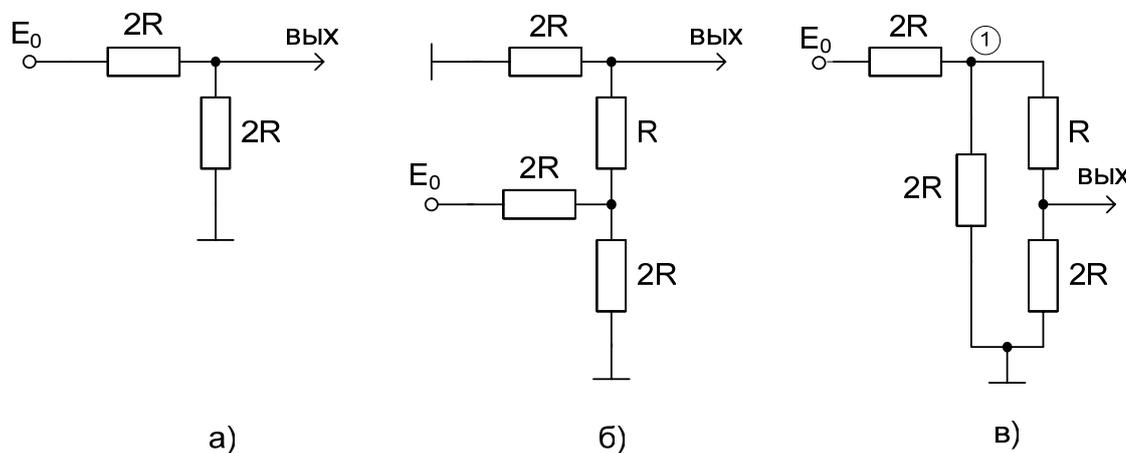


Рисунок 6.7 – Фрагменты матрицы $R-2R$ в схеме рисунка 6.6, б

Первый фрагмент (рисунок 6.7, а) имеет место при верхнем (замкнутом) положении переключателя $S1$, остальные переключатели $S2$, $S3$ в нижнем положении (замкнуты). Ясно, что в этом случае выходное напряжение матрицы равно $\frac{1}{2} E_0$, т.е. поделено на две равные части, что и требуется по двоичному закону, как в схеме рисунка 6.6, а. Второй фрагмент соответствует верхнему положению ключа $S2$, остальные ключи на земле. Покажем, что здесь, на выходе будет $\frac{1}{4}$ напряжения E_0 . Для этого представим схему рисунка 6.7, б так, как на рисунке 6.7, в. Проведя простейшие расчеты, убеждаемся, что действительно, выходное напряжение схемы 6.7, в равно $\frac{1}{4} E_0$. Если перевести в верхнее положение только $S3$, а $S1$, $S2$ в нижнее положение, то на выходе будет $\frac{1}{8} E_0$ и т.д.

6.1.3 ЦАП с сигма-дельта модуляцией

Это импульсный класс интегральных преобразователей (рисунок 6.8). Слово “сигма” – сумма, “дельта” – схема работает на импульсном принципе.

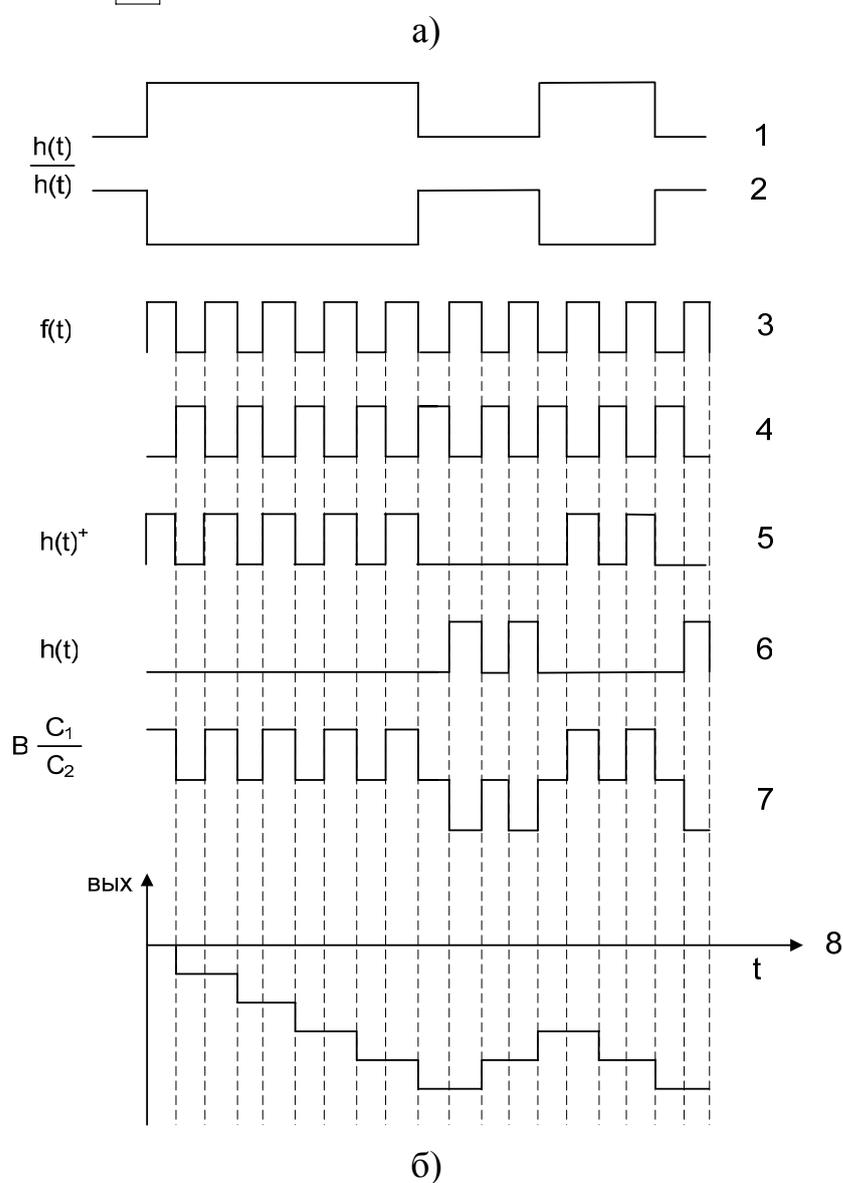
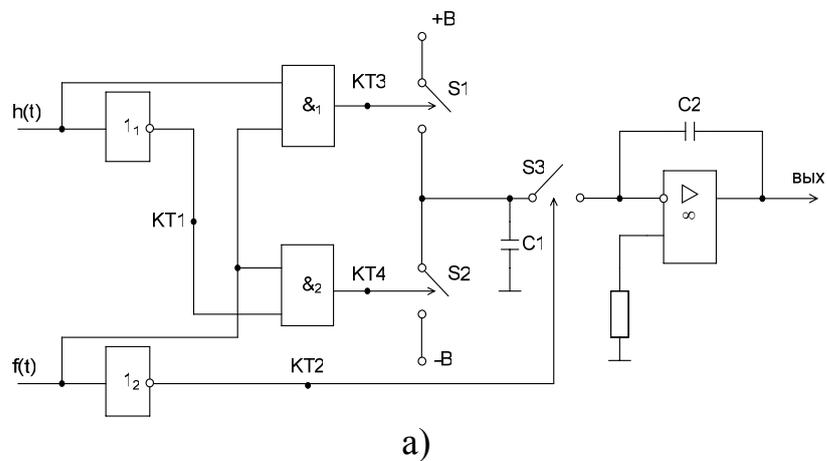


Рисунок 6.8, а – Схема сигма-дельта модулятора; б – графики процессов преобразования (ЦАП)

На вход подается не двоичный сигнал $h(t)$ (график 1 рисунка 6.8,б). Элементом 1_1 с инверсией производится преобразование, как на втором графике на рисунке 6.8, б. Тактовый сигнал с одной стороны подается на нижний вход $\&_1$, верхний $\&_2$; с другой стороны проинвертированный инвертором 1_2 на ключ $S3$ (графики 3, 4). Выходы логических элементов $\&_1$, $\&_2$ выдают импульсы, представленные пятым и шестым графиками на рисунке 6.8, б, которые управляют ключами $S1$ и $S2$. На выходе ключей $S1$ и $S2$ включен конденсатор $C1$, емкость которого в тысячи раз меньше емкости $C2$ интегратора на ОУ.

Через ключи $S1$ и $S2$ происходит заряд $C1$ малой величины от источников $+V$ или $-V$, соответствующей полярности. Замыкается ключ $S3$, передает заряд конденсатора $C1$ в $C2$. Заряд на $C1$ представлен седьмым графиком рисунка 6.8, б, а заряд $C2$ соответственно – восьмым графиком. Из восьмого графика следует, что импульсы сигнала первого графика преобразуются в аналоговый сигнал восьмого графика, т.е. осуществляется операция ЦАП. Достоинства схемы – несложность, высокая точность преобразования, стабильность.

6.1.4 ЦАП с прямым преобразованием

Отличаются несложностью схем, однако имеют невысокую точность преобразования. Один из вариантов прямого преобразования на рисунке 6.9.

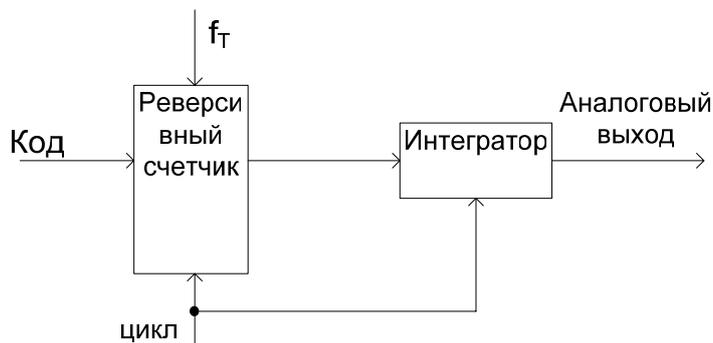


Рисунок 6.9 – ЦАП с прямым преобразованием

В схему вводится реверсивный счетчик, в котором периодически (циклически) параллельным образом записывается цифровой код. На протяжении действия цикла на счетчик, работающий в режиме вычитания (реверсивного считывания) поступают тактовые импульсы f_T , следовательно, на выходе счетчика выводятся импульсы, количество которых определяется цифровым кодом, записанным параллельным образом. Интегратор считает эти импульсы, на его выходе выделяется аналоговое напряжение, пропорциональное записанному в счетчике коду. Один из серьезных недостатков этого принципа – цикличность. Т.е. преобразователь не учитывает того, что происходит с сигналом на протяжении действия цикла. Другие недостатки – невысокое быстродействие, большая погрешность.

6.2 Аналого-цифровые преобразователи

6.2.1 Следящие АЦП

Пример следящих АЦП приведен на рисунке 6.10.

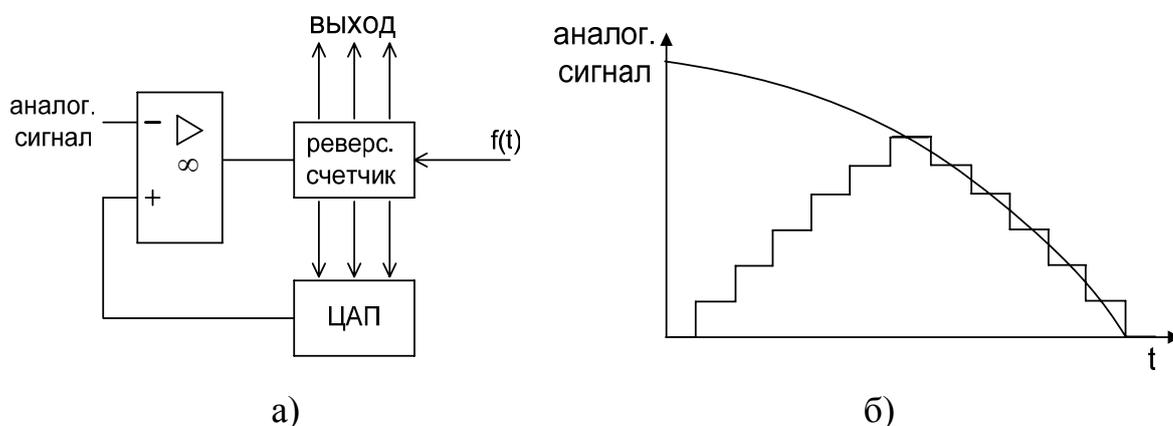


Рисунок 6.10,а - Следящие АЦП; б – следящее аналогово-цифровое преобразование

Преобразуемый аналоговый сигнал подается на минус-вход ОУ, который в сущности работает в качестве компаратора. Выход ОУ в плюс или минус области управляет реверсивным счетчиком: счет “+” или счет “-”. Код этого счетчика воздействует на вход ЦАП, последний выдает в сущности тот же аналоговый сигнал, но ступенчатый, который затем поступает на плюс-вход ОУ. Если больше входной сигнал на минус-входе, то счетчик считает в прямом направлении; если больше выход ЦАП, то счетчик считает в обратном направлении. Выход – это код счетчика. На графике рисунка 6.10, б сначала квантованная прямая до пересечения с аналоговым сигналом, а затем слежение за уровнем аналогового сигнала.

Достоинства: непрерывное слежение и выдача выхода;

Недостаток: невысокая точность ($\approx 0,5 \div 1\%$), присущая следящим системам, поэтому в интегральных микросхемах этот способ не применяется.

6.2.2 Развертывающие АЦП

Функциональная схема развертывающих АЦП подобна рисунку 6.10. Но в данном случае производится квантование до пересечения с преобразуемым сигналом (см. рисунок 6.11), сброс в нуль, затем вновь квантование, сброс и т. д.

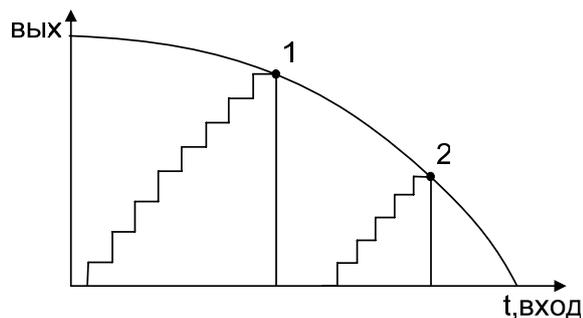


Рисунок 6.11

Достоинство: высокая точность (погрешность в 1 квант).

Недостатки:

- отсчет производится в точках 1, 2, а что в промежутке – неизвестно;
- большое время преобразования, так как необходимо разворачивать квантами;
- циклы преобразования переменные во времени;
- можно сделать постоянные циклы, но это тоже не экономично;
- точки 1, 2 соответствуют коротким интервалам времени, в течение которого нужно произвести отсчет. Для того, чтобы интервал времени между точками 1 и 2 использовался более эффективно вводят УВХ (устройство выборки хранения) наподобие эмиттерных повторителей, хранящих уровни точек 1,2 в течение интервалов времени 1 - 2.

В связи с этими недостатками в интегральных микросхемах не применяются.

6.2.3 АЦП с регистром последовательного приближения

В интегральной схемотехнике широко применяется метод последовательных приближений (поразрядного уравнивания) с использованием регистра РПП (регистр последовательных приближений).

Сущность данного метода заключается в том, что заполняется регистр не от нуля. Первая единица вносится в старший разряд, затем – в ближайший к старшему и т. д. Следовательно, аналоговый выход соответствует не одному кванту, а старшему разряду и т. д. Т. е. регистр заполняется за время, соответствующее числу разрядов двоичного кода.

Процессы преобразования в определенной мере подобны скачкообразным на рисунке 6.11, но приближение к аналоговому сигналу происходит не “лесенкой”, т.е. начиная с младшего разряда, а скачками, вначале большими ступенями, так как заполнение регистра последовательного приближения начинается со старшего разряда кода, затем ступени уменьшаются в соответствии с “весом” разряда.

Функциональная схема, реализующая этот метод, изображена на рисунке 6.12.

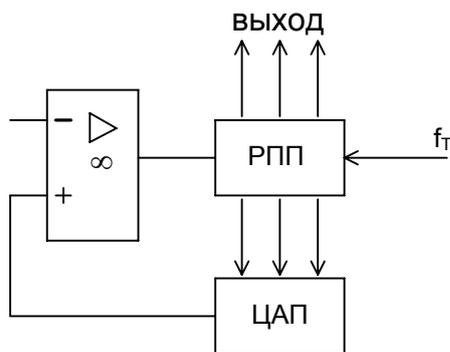


Рисунок 6.12 – Функциональная схема преобразования с регистром последовательного приближения

Достоинство: повышенное быстродействие, так как нет пошаговой развертки.

Недостатки:

– код отсчитывается в точках, число которых должно быть не менее, чем на порядок выше в сравнении с наивысшей частотой в спектре преобразуемого сигнала;

– в промежутках между точками отсчета информация отсутствует;

– необходимо УВХ;

– высший практический предел преобразования – 12 разрядов.

Дерево, иллюстрирующее работу АЦП с регистром последовательных приближений изображено на рисунке 6.13.

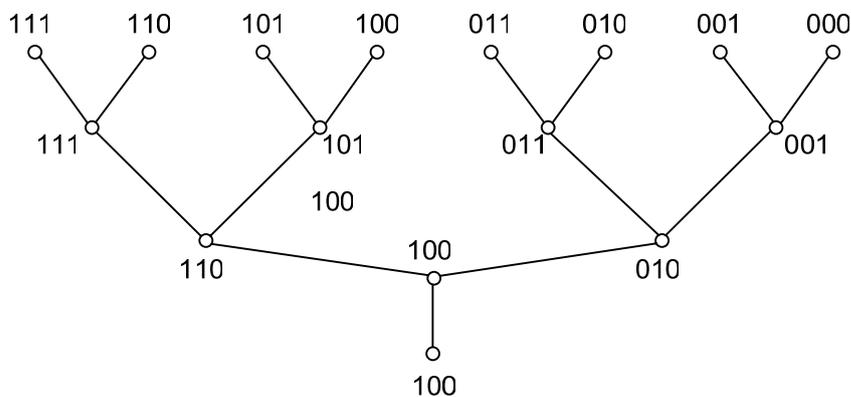


Рисунок 6.13 – Дерево аналого-цифрового преобразования

6.2.4 АЦП с двойным интегрированием

Достоинство: высокая точность преобразований (до 20 разрядов).

Недостатки:

– цикличность, но отсчет производится не в точке, а на отрезке аналоговой характеристики преобразования (это лучше в сравнении с разделом 6.2.3); между отрезками – “черный ящик”;

– невысокое быстродействие, связанное с тем, что в преобразователе затрачивается время на заряд конденсатора и разряд, на интервале которого производится преобразование (см. рисунок 6.14).

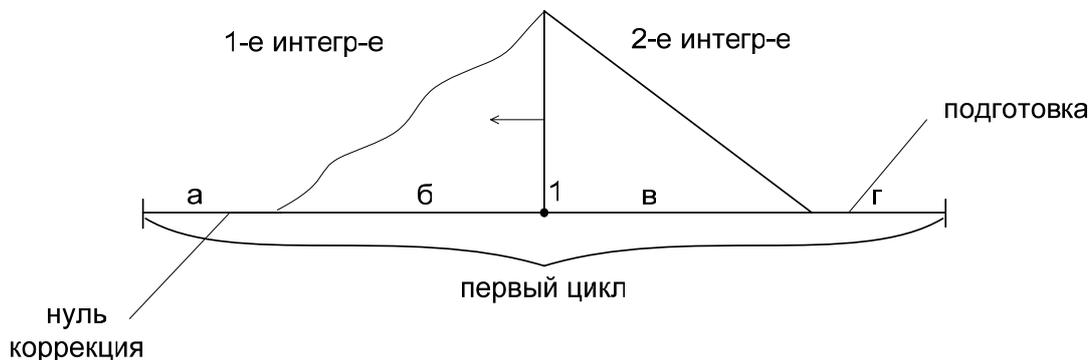


Рисунок 6.14

Фрагмент принципиальной схемы АЦП с двойным интегрированием изображен на рисунке 6.15.

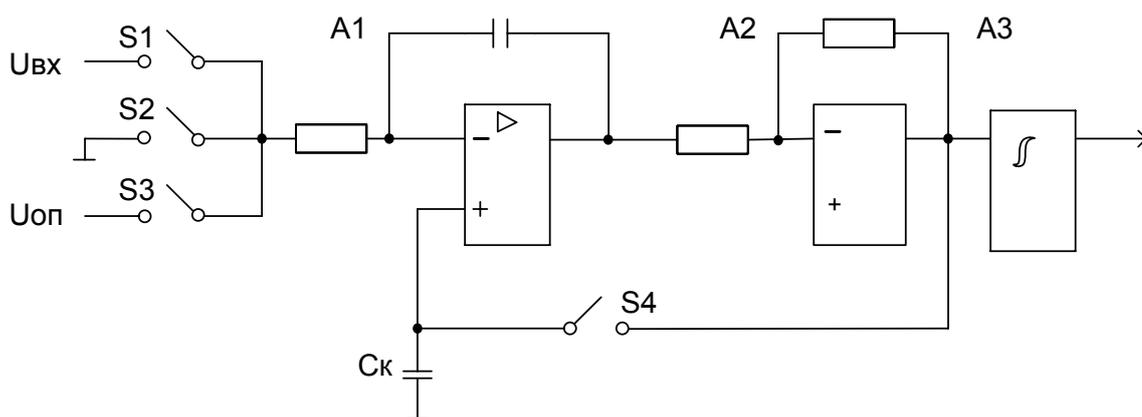


Рисунок 6.15 – АЦП с двойным интегрированием

Весь цикл преобразования делится на четыре подинтервала:

а – балансировка (как у ОУ, так как в состав преобразователя входит обычный интегратор на ОУ). На этом подинтервале S2, S4 замкнуты, S1, S3 – разомкнуты;

б – вход интегратора подключается ключом S1 к преобразуемому сигналу, S2, S3, S4 - разомкнуты;

в – вход интегратора подключается к опорному источнику (высокостабильному, высокофильтрованному) S3 – замкнут, S1, S2, S4 – разомкнуты. На третьем интервале (второе интегрирование по рисунку 6.14) из ГТИ в счетчик, не приведенный на рисунке 6.15, записывается число импульсов, пропорциональное входному аналоговому сигналу;

г – производится подготовка к следующему циклу преобразования.

Особенность работы схемы в том, что по горизонтальной оси времени отсчет производится в импульсах ГТИ. Так как ГТИ может быть нестабильным, то если переводить импульсы во время, оно меняется по горизонтальной оси.

Число импульсов, соответствующее интервалу τ называется базовым. Обычно его принимают равным 1000. Если, например, вследствие нестабильности, частота ГТИ возросла, то момент 1 (см. рисунок 6.14) переместится влево. Следовательно, временные интервалы первого и второго интегрирования становятся меньше. В это более короткое время первого и второго интегрирования пройдет большее число импульсов, результат останется прежним – это физический смысл того, что частота ГТИ не влияет на погрешность преобразования.

На преобразуемый аналоговый сигнал влияют помехи. Для выяснения последствий такого влияния приведем рисунок 6.16.

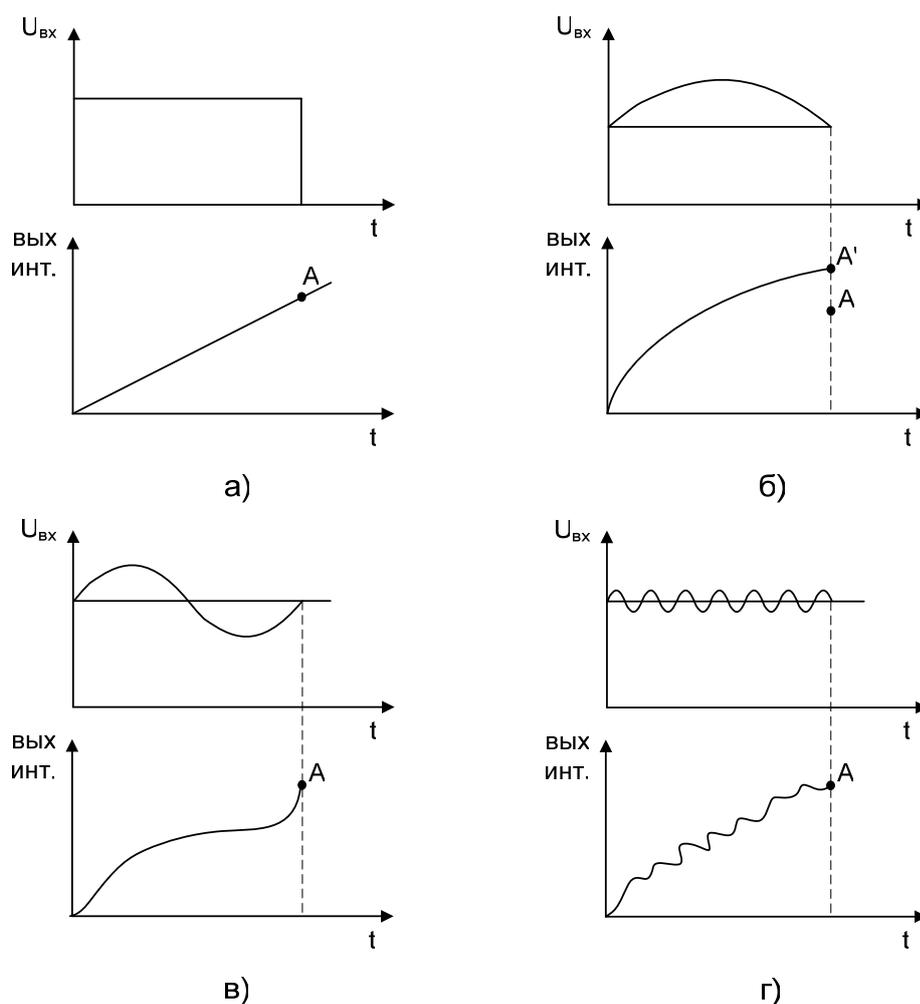


Рисунок 6.16,а - Интегрирование постоянного сигнала без помехи; б – наложение одного полупериода помехи на постоянный входной сигнал; в – наложение двух полупериодов помехи на постоянный входной сигнал; г – наложение многочастотной помехи на постоянный входной сигнал

1 Входной сигнал без помехи при интегрировании достигает уровня точки А (см. рисунок 6.16, а).

2 Накладываем на предыдущий график один полупериод помехи, например сетевого напряжения 50 Гц (см. рисунок 6.16,б). Видно, что результат интегрирования приходит в точку A' , т. е. есть вносится погрешность.

3 На рисунке 6.16,в накладываем два полупериода этого же сетевого напряжения. Результат интегрирования – кривая, но приходит в точку A , (так как площадь интегрирования остается той же, что и на рисунке 6.16,а погрешности нет, несмотря на наличие помехи, поэтому рассчитывают

$$f_T = n_{\text{баз}} \cdot f_{\text{пом}}$$

причем среди всех других помех выбирают наибольшую.

На интервале преобразования укладывается два полупериода колебаний помехи.

4 Накладываем высокочастотную помеху, интегрируется тоже не прямая, но более менее приходит в точку A , т. е. помехи фильтруются преобразователем (см. рисунок 6.16,г).

АЦП с двойным интегрированием выпускаются промышленностью в интегральном исполнении, применяются для преобразования относительно низкочастотных сигналов.

6.2.5 АЦП параллельного преобразования

На рисунке 6.17 изображена функциональная схема АЦП параллельного преобразования. Она прежде всего представлена цепью резисторов $R1-R4$ одинаковой величины. На эту цепь поступает опорное напряжение $U_{\text{оп}}$, которое распределяется резисторами таким образом, что каждая ступень эквивалентна одному кванту, причем, кванты одинаковы по величине. Преобразуемое напряжение $U_{\text{преобр}}$ и уровни напряжений с резисторов, образуемые опорным напряжением $U_{\text{оп}}$, поступают на компараторы $K1-K3$, с выходов которых снимается параллельный N -разрядный единичный код. Число единиц в нем равно числу уровней квантования, по величине меньших значений в сравнении с $U_{\text{преобр}}$.

Полученный единичный код подается на вход дешифратора, в котором он преобразуется в двоичный с числом разрядов $b = \lg_2 N$. В качестве дополнения к схеме рисунка 6.17 может быть регистр, в который записывается результат преобразования.

Этот вид преобразователя работает практически мгновенно, непрерывно, без пропусков, связанных с циклами. Применяют в видеотехнике, быстропротекающих процессах. Количество резисторов соответствует числу квантов преобразования. При увеличении входного напряжения $U_{\text{преобр}}$ срабатывает соответствующий компаратор начиная с нижнего $K3$, выдается квантованное прямое преобразование аналогового сигнала в код. Достоинство схемы – высокая скорость преобразования, недостаток – повышенная стоимость. Выпускается промышленностью в интегральном виде.

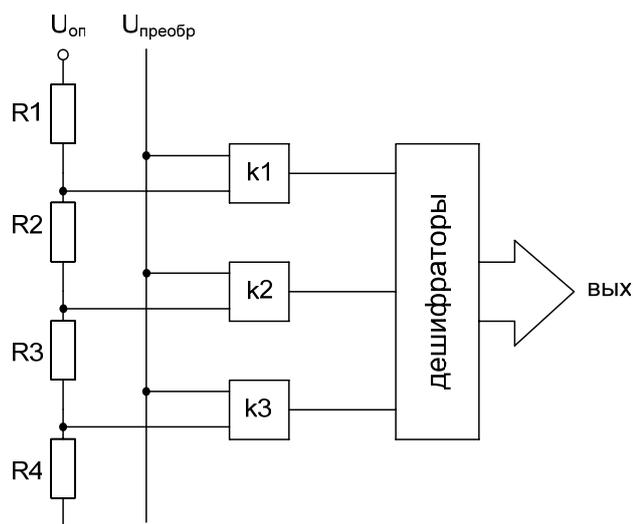


Рисунок 6.17 – АЦП параллельного преобразования

6.2.6 АЦП с сигма-дельта ($\Sigma\Delta$) модуляцией

АЦП с $\Sigma\Delta$ модуляцией не критичны к точности выполнения элементов схемотехники. Кроме того, применение таких преобразователей резко снижает требование к сопутствующим им аналоговым фильтрам, а необходимость в таких прецизионных элементах, как УВХ (устройство выборки-хранения), отпадает совсем.

Структурная схема $\Sigma\Delta$ модулятора 1-го порядка изображена на рисунке 6.18.

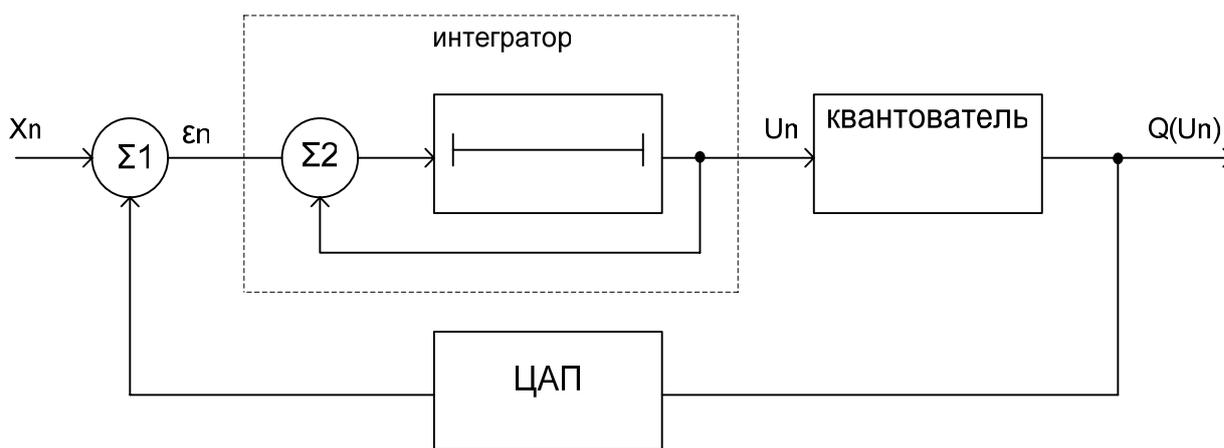


Рисунок 6.18 – Структурная схема $\Sigma\Delta$ модулятора

Функциональная схема $\Sigma\Delta$ модулятора 1-го порядка приведена на рисунке 6.19, на котором операционные усилители показаны в виде треугольников, т.е. в американском стандарте.

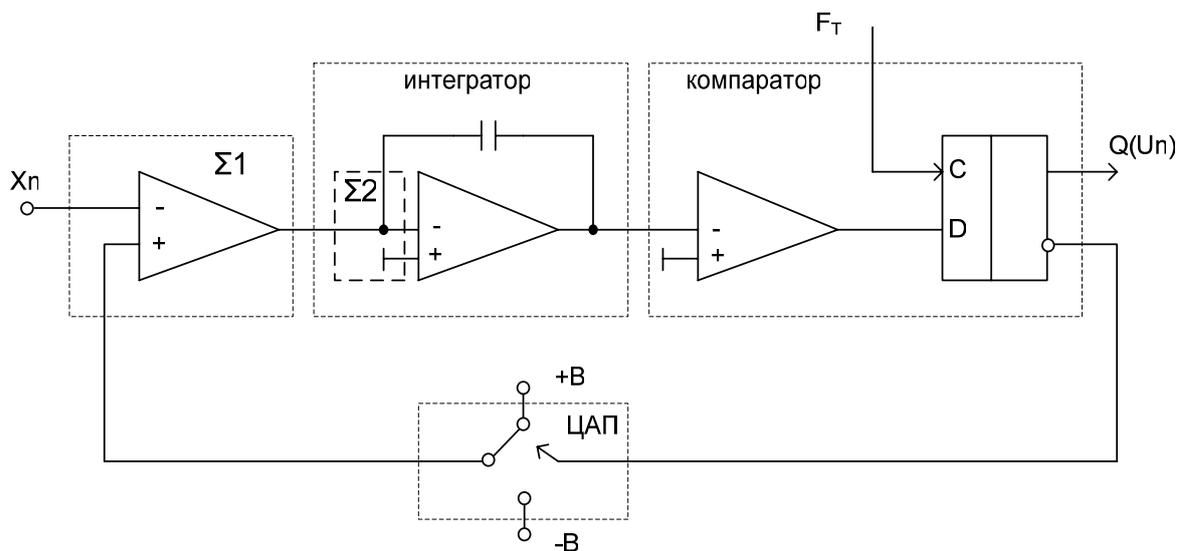


Рисунок 6.19 – Функциональная схема $\Sigma\Delta$ модулятора

Пусть на вход модулятора поступает аналоговый сигнал X_n , амплитуда которого изменяется в пределах от $-V$ до $+V$, а полоса частот ограничена сверху величиной f_v . В результате преобразования на выходе модулятора должен сформироваться одноразрядный поток данных, отражающий форму аналогового сигнала.

Если бы преобразование осуществлялось с помощью общего многоразрядного АЦП, быстродействие которого весьма ограничено, дискретизацию пришлось бы производить со скоростью, чуть большей, чем скорость Найквиста $F_n = 2f_v$, а для предотвращения модуляционных искажений на выходе устройства пришлось бы разместить сложный аналоговый ФНЧ.

В силу особенностей $\Sigma\Delta$ -модулятора преобразование с его помощью может осуществляться с частотой в десятки и сотни раз превосходящей F_n , а для предварительной фильтрации вполне достаточно фильтра 2-3 порядка.

Интегратор – это активный аналоговый ФНЧ с высоким усилением в полосе частот входного сигнала и подавлением частотных составляющих, лежащих вне этой полосы. Квантователь – это в первом приближении, компаратор с порогом срабатывания, равным “0”, выход которого может переключаться из состояния “-V” в состояние “+V”, и который подключен ко входу синхронизируемого тактовой частотой (частотой дискретизации) элемента памяти, сохраняющего это состояние в течение тактового интервала. Если предположить, что на выходе этого элемента памяти, который одновременно является и выходом модулятора, должен формироваться цифровой сигнал с уровнями, соответствующими уровням логического “нуля” и “единицы” (АЦП), то таким элементом памяти может служить обычный D-триггер. Правда, в петле обратной связи при этом понадобится отдельное переключающее устройство, выполняющее функции ЦАП (на рисунке 6.19 показано штриховой линией), который управляется цифровым сигналом, а на выходе формирует либо “-V” либо “+V”.

На выходе модулятора схемы 6.19 устанавливают дешифратор, преобразующий поток импульсов в двоичный или иной код.

На рисунке 6.20 изображена схема модулятора, преобразующая входной аналоговый сигнал в последовательность импульсов (см. также рисунки 1.56, 1.57).

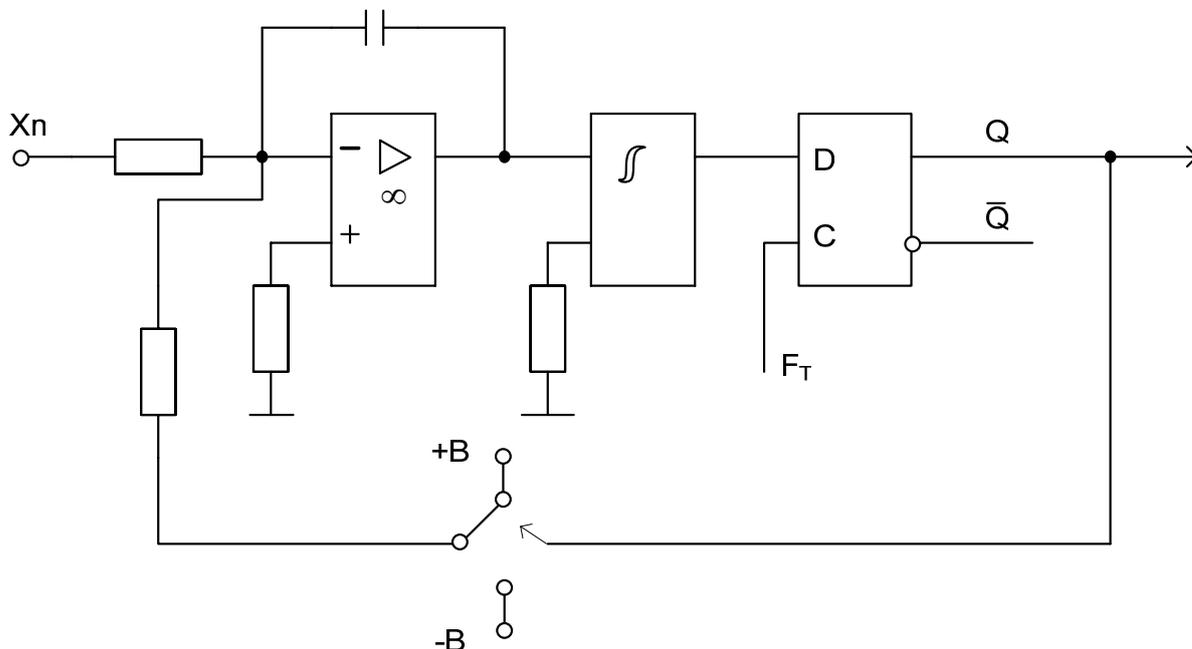


Рисунок 6.20 – Схема интеграторного модулятора

Эта схема практически полностью совпадает с $\Sigma\Delta$ модулятором, применяемым в АЦП преобразователях, поэтому физические процессы подобны.

6.2.7 Микросхема КР1108 ПП-1

Это некоторая условная разновидность АЦП. Производится преобразование аналогового сигнала в частоту импульсов. На вход микросхемы подают положительные и отрицательные уровни напряжения ± 10 В, на выходе получают импульсы прямоугольной формы с калиброванной длительностью. Также служит преобразователем частоты в напряжение, т.е. выполняет обратную операцию преобразования: $0 \dots 10$ В – частота $0 \dots 10$ кГц. Нелинейность менее 10^{-8} .

Принципиальные схемы преобразователя вместе с навесными элементами изображены на рисунке 6.21.

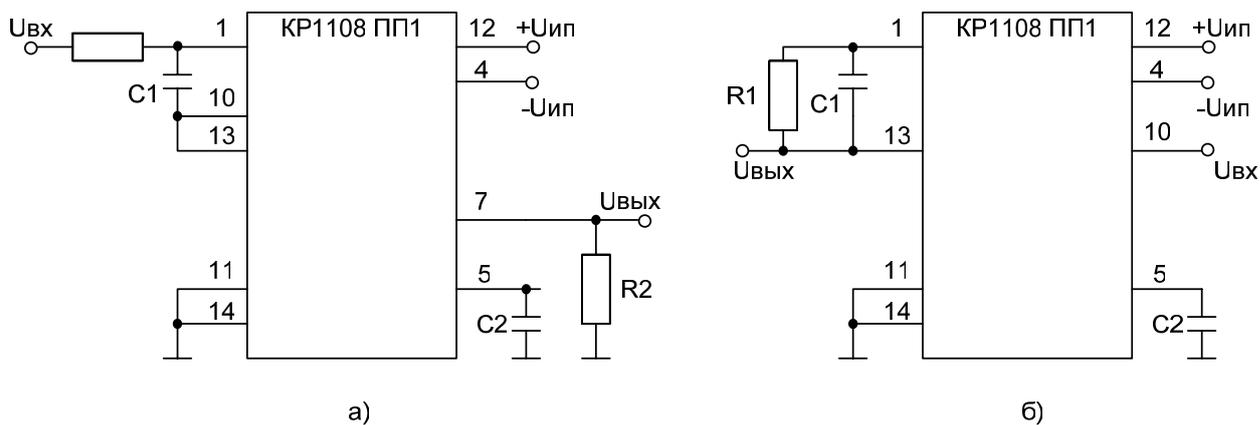


Рисунок 6.21 – Микросхема в режиме преобразования аналог-частота – а; в режиме частота-аналог – б

При снижении точности возможна частота до 500 кГц.