

## Вопросы к зачёту по учебной дисциплине цифровые логические схемы (4 семестр)

зачету, экзамену

полное наименование

1. Логические переменные и Булева алгебра. Основные действия в Булевой алгебре.
2. Теоремы для одной переменной в Булевой алгебре.
3. Основные законы Булевой алгебры.
4. Функционально полная система логических элементов.
5. Последовательность синтеза КЛС (на примере мажоритарной ячейки на три входа).
6. Метод карт Карно.
7. Параметры цифровых схем.
8. Логический выход цифровых элементов.
9. Элементы с тремя состояниями выхода.
10. Выход с открытым коллектором.
11. Режимы неиспользуемых входов ИМС.
12. Нарращивание числа входов ИМС.
13. Дешифратор. Таблица истинности и схема на логических элементах дешифратора 3-8.
14. Нарращивание размерности дешифратора.
15. Селекция (выбор) заданных входных кодов с помощью дешифратора.
16. Перекоммутация входных кодов с помощью дешифратора.
17. ИМС дешифраторов ИД14, ИД7, ИД3.
18. Шифратор. Таблица истинности и схема на логических элементах шифратора 8-3.
19. ИМС шифраторов ИВ1, ИВ3
20. Построение приоритетного шифратора 8-3.
21. Нарращивание размерности приоритетного шифратора.
22. Применение приоритетного шифратора в качестве ключевого шифратора (ИВ3).
23. Мультиплексор. Построение мультиплексора 4-1.
24. ИМС мультиплексоров КП1, КП2, КП11.
25. Сдвиг кода двоичных чисел с помощью мультиплексора.
26. Демультимплексор. Построение демультимплексора 1-4.
27. Полусумматор.
28. Полный сумматор. Построение полного сумматора из двух полусумматоров.
29. ИМС сумматора ИМ6.
30. Построение одноразрядного полного сумматора.
31. Сумматор параллельного действия с последовательным переносом.

32. Компаратор величин.
33. ИМС компаратора СП1.
34. Преобразование двоично-десятичного кода в двоичный.
35. Преобразование двоично-десятичного кода в двоичный на ИМС ИМЗ.
36. Преобразователь кода для семисегментного индикатора.
37. Последовательностные цифровые устройства. Конечные автоматы Мили и Мура.
38. Элементы памяти на основе логических вентилях.
39. Защелка на элементах ИЛИ-НЕ.
40. Защелка на элементах И-НЕ.
41. Применение асинхронного RS-триггера в системе сигнализации.
42. JK-триггер на элементах И-НЕ.
43. Синхронные триггеры со статическим и с динамическим управлением.
44. Схемы обнаружения фронта импульса.
45. Синхронный RS-триггер, управляемый уровнем.
46. Синхронный RS-триггер, управляемый фронтом.
47. Синхронный JK-триггер.
48. D-защелка.
49. Асинхронные входы синхронных триггеров.
50. Работа и реализация D-триггера.
51. Временные процессы в триггерах.
52. Потенциальные проблемы согласования по времени в схемах с триггерами.
53. Четырехбитный сдвиговый регистр.
54. Регистры сдвига IP8, IP9.
55. Организация линий задержки на регистрах сдвига.
56. Преобразование параллельного кода в последовательный и наоборот на регистрах сдвига.
57. Организация умножения и деления двоичных чисел на  $2^n$  с помощью регистров сдвига.
58. Формирование импульсов заданной длительности на регистрах сдвига.
59. Генератор квазислучайной последовательности кодов на регистрах сдвига.
60. Параллельные тактируемые регистры. Регистр IP27.
61. Хранение кода в течение нужного времени на тактируемых регистрах.
62. Запоминание нескольких последовательных значений изменяющегося входного кода на тактируемых регистрах.
63. Конвейерная обработка данных на тактируемых регистрах.
64. Строблируемые параллельные регистры.

65. Двоичный суммирующий счетчик с последовательным переносом.
66. Двоичный суммирующий счетчик со сквозным переносом.
67. Двоичный суммирующий счетчик с параллельным переносом.
68. Недвоичные счетчики.
69. Двоично-десятичный счетчик.
70. Вычитающий счетчик.
71. Цифровой формирователь временных интервалов.
72. Цифровой секундомер.
73. Делитель частоты.
74. Кольцевой счётчик (формирование управляющих импульсов).
75. Счетчик Джонсона.
74. Декодирование значений счетчиков.
75. АЦП.
76. ЦАП.