|  |  |
| --- | --- |
| **Символика** | **Логотип ПИКС_3** |

**ВОПРОСЫ К ЭКЗАМЕНУ**

**по дисциплине**

**«ПРОЕКТИРОВАНИЕ И ПРОГРАММИРОВАНИЕ МИКРОПРОЦЕССОРНЫХ УСТРОЙСТВ»**

**Весенний семестр 2023-2024 учебного года**

**Специальность 1-39 02 01 «Моделирование и компьютерное проектирование радиоэлектронных средств»**

**(группа 012601)**

1. Отличительные особенности микроконтроллера ATmega 128.
2. Отличительные особенности периферийных устройств микроконтроллера ATmega 128.
3. Специальные возможности микроконтроллера ATmega 128.
4. Описание выводов микроконтроллера ATmega 128.
5. Краткий обзор архитектуры микроконтроллера ATmega 128.
6. Процессор микроконтроллера ATmega 128.
7. Память микроконтроллера ATmega 128.
8. Порты ввода/вывода микроконтроллера ATmega 128.
9. Прерывания микроконтроллера ATmega 128.
10. Таймеры/счетчики микроконтроллера ATmega 128.
11. Сторожевой таймер микроконтроллера ATmega 128.
12. Аналоговый компаратор и аналого-цифровой преобразователь микроконтроллера ATmega 128.
13. Универсальный последовательный приемопередатчик и последовательный периферийный интерфейс микроконтроллера ATmega 128.
14. Двухпроводной последовательный интерфейс и интерфейс JTAG микроконтроллера ATmega 128.
15. Тактовый генератор и система реального времени микроконтроллера ATmega 128.
16. Питание микроконтроллера и сброс при снижении напряжения питания микроконтроллера ATmega 128.
17. Временная диаграмма выполнения инструкции микроконтроллера ATmega 128.
18. Регистр статуса микроконтроллера ATmega 128.
19. Файл регистров общего назначения микроконтроллера ATmega 128.
20. Стек микроконтроллера ATmega 128.
21. Карта памяти программ (конфигурации памяти А и В) микроконтроллера ATmega 128.
22. Способы адресации памяти микроконтроллера ATmega 128.
23. Память данных на ЭСППЗУ микроконтроллера ATmega 128.
24. Регистры ЭСППЗУ (адресные, данных, управления) микроконтроллера ATmega 128.
25. Запись в ЭСППЗУ в режиме выключения и меры предотвращения повреждения данных в ЭСППЗУ.
26. Память ввода-вывода микроконтроллера ATmega 128.
27. Интерфейс внешней памяти микроконтроллера ATmega 128.
28. Использование интерфейса внешней памяти микроконтроллера ATmega 128.
29. Временные диаграммы внешней памяти микроконтроллера ATmega 128.
30. Описание регистра XMEM микроконтроллера ATmega 128.
31. Использование всех ячеек внешней памяти микроконтроллера ATmega 128.
32. Источники синхронизации и их распределение в микроконтроллере ATmega 128.
33. Источники синхронизации микроконтроллера ATmega 128.
34. Первоначальный источник синхронизации и кварцевый генератор микроконтроллера ATmega 128.
35. Низкочастотный кварцевый генератор микроконтроллера ATmega 128.
36. Внешний RC-генератор микроконтроллера ATmega 128.
37. Встроенный калиброванный RC-генератор микроконтроллера ATmega 128.
38. Внешняя синхронизация микроконтроллера ATmega 128.
39. Управление энергопотреблением и режимы сна микроконтроллера ATmega 128.
40. Режим холостого хода микроконтроллера ATmega 128.
41. Режим уменьшения шумов АЦП микроконтроллера ATmega 128.
42. Режим выключения микроконтроллера ATmega 128.
43. Экономичный режим микроконтроллера ATmega 128.
44. Дежурный режим и расширенный дежурный режим микроконтроллера ATmega 128.
45. Минимизация потребляемой мощности микроконтроллера ATmega 128.
46. Системное управление и сброс микроконтроллера ATmega 128.
47. Источники сброса микроконтроллера ATmega 128.
48. Сброс при подаче питания в микроконтроллере ATmega 128.
49. Внешний сброс в микроконтроллере ATmega 128.
50. Контроль напряжения питания в микроконтроллере ATmega 128.
51. Сброс сторожевым таймером в микроконтроллере ATmega 128.
52. Регистр управления и статуса (MCUCSR) микроконтроллера ATmega 128.
53. Встроенный источник опорного напряжения (ИОН) в микроконтроллере ATmega 128.
54. Сторожевой таймер в микроконтроллере ATmega 128.
55. Регистр управления сторожевого таймера (WDTCR) в микроконтроллере ATmega 128.
56. Временные последовательности изменения конфигурации сторожевого таймера в микроконтроллере ATmega 128.
57. Прерывания в микроконтроллере ATmega 128.
58. Векторы прерываний в ATmega128.
59. Перемещение между секторами загрузочной и прикладной программы.
60. Порты ввода-вывода микроконтроллера ATmega 128. Эквивалентная схема линии ПВВ.
61. Порты в качестве универсального цифрового ввода-вывода.
62. Настройка выводов микроконтроллера ATmega 128. Считывание состояния вывода.
63. Разрешение цифрового ввода и режимы сна в микроконтроллере ATmega 128.
64. Неподключенные выводы микроконтроллера ATmega 128.
65. Альтернативные функции портов микроконтроллера ATmega 128.
66. Регистр специальных функций ввода-вывода (SFIOR). Альтернативные функции порта A микроконтроллера ATmega 128.
67. Альтернативные функции порта B микроконтроллера ATmega 128.
68. Альтернативные функции порта C и порта D микроконтроллера ATmega 128.
69. Альтернативные функции порта E микроконтроллера ATmega 128.
70. Альтернативные функции порта F и порта G микроконтроллера ATmega 128.
71. Внешние прерывания микроконтроллера ATmega 128.
72. Регистр А управления внешними прерываниями (EICRA) микроконтроллера ATmega 128.
73. Регистр B управления внешними прерываниями (EICRB) микроконтроллера ATmega 128.
74. Регистр маски внешнего прерывания (EIMSK) микроконтроллера ATmega 128.
75. УСАПП. Общие сведения.
76. Реализация двух УСАПП. Совместимость УСАПП ATmega 128 с УАПП других AVR-микроконтроллеров.
77. Генерация тактовых импульсов УСАПП.
78. Функциональная схема логики синхронизации УСАПП.
79. Генерация внутренней синхронизации (генератор скорости связи).
80. Внешняя синхронизация УСАПП.
81. Режим синхронной связи УСАПП.
82. Форматы посылки данных УСАПП. Вычисление бита паритета.
83. Инициализация УСАПП.
84. Передача данных. Передатчик УСАПП. Передача посылок с 5…8 битами данных.
85. Передача данных. Передатчик УСАПП. Отправка посылок с 9 битами данных.
86. Флаги и прерывания передатчика УСАПП. Генератор паритета. Отключение передатчика.
87. Прием данных. Приемник УСАПП. Прием посылок с 5…8 битами данных.
88. Прием данных. Приемник УСАПП. Прием посылок с 9 битами данных.
89. Флаг и прерывание по завершению приема приемника УСАПП.
90. Флаг ошибок приемника УСАПП.
91. Устройство проверки паритета.
92. Отключение приемника УСАПП. Сброс приемного буфера.
93. Асинхронный прием данных по УСАПП. Асинхронный поиск синхронизации. Выборка старт-бита.
94. Асинхронный поиск данных. Выборка данных и бит паритета. Выборка стоп-бита и следующего старт-бита.
95. Рабочий диапазон асинхронной связи.
96. Многопроцессорный режим связи.
97. Использование MPCM.
98. Описание регистров УСАПП.

Вопросы разработали:

ЯЧИН Николай Сергеевич – магистр техники и технологии, старший преподаватель кафедры ПИКС

ПОНОМАРЕВ Иван Сергеевич – ассистент кафедры ПИКС